

VHDL: Simulación y Síntesis Implementación en FPGAs

Primer Día

Introducción a VHDL

- Necesidad e importancia de HDLs
- Conceptos de diseño top-down
- Abstracción del lenguaje VHDL
- Bloques básicos de VHDL
- Diseños jerárquicos

Conceptos Básicos

- Entity/Architecture
- Modelación Estructural
- Modelación Flujo de Datos
- Modelación Comportamiento
- Simulación
- Concurrencia
- Eventos y Transacciones
- Retardo Delta. Retardo inercial y de transporte
- Introducción al ISE (Xilinx) entorno

Elementos del Lenguaje

- Datos Objetos
- Tipos de Datos. Conversión de tipos
- Subtipos
- Arreglos (arrays). Arreglos multidimensionales
- Operadores lógicos, relacionales y aritméticos

Instrucciones Concurrentes

- Asignaciones directas
- Asignaciones condicionales
- Asignaciones seleccionadas
- Procesos
- Generación de lógica combinacional
- Introducción a Test Bench
- Simulación en el entorno ISE
- Laboratorio: Diseño de Lógica Combinacional

Segundo Día

Instrucciones Secuenciales

- Asignación de Señales y de Variables
- Procesos. Generación de lógica secuencial
- Instrucciones Secuenciales
- Laboratorio: Diseño de Lógica Secuencial y Combinacional

Test Benches

- Importancia de un buen Test Bench
- Generación de relojes y señales como estímulos
- Uso de assert
- Distintos ejemplos de TB
- Simulación en el entorno ISE o ModelSim

Paquetes, Librerías y Subprogramas

- Paquetes: declaración y cuerpo
- Librerías
- Subprogramas: Funciones, Procedimientos
- Laboratorio: Use de Paquetes, Funciones y Procedimientos

Síntesis de Máquinas de Estado Finitas (FSM)

- VHDL para modelar y sintetizar FSMs
- Código VHDL para distintas FSMs
- Ventajas y desventajas de los diferentes tipos de FSMs.
- Asignación de código de estado manual o automática
- Laboratorio: Codificación de FSMs

Tercer Día

VHDL para Síntesis

- Codificando en VHDL para Síntesis
- Síntesis Sintaxis, Atributos y Directivas
- VHDL para inferir componentes específicos
- Laboratorio: Uso de ISE y/o Synplify

Dispositivos Lógicos Programables

- Complex Programmable Logic Device (CPLD)
- Lattice MachXO. Xilinx 9500.
- Field Programmable Gates Array (FPGA)
- Xilinx FPGAs. Spartan y Virtex 2
- Diseño top-down usando ISE
- Comprensión de los reportes de ISE
- Inferencia de componentes del FPGA.
- Introducción a mejora de Performance
- Simulación a nivel de compuertas
- Laboratorio: Implementación de un diseño complejo en un FPGA.