

DIGITAL INDUSTRIES SOFTWARE

# 유연한 FPGA 프로토타이핑 시스템으로 펌웨어/소프트웨어 개발을 지원하는 Veloce proFPGA

소프트웨어의 복잡한 특성과 SoC 검증을 위한 필수품

## 개요

시스템 온 칩(SoC) 설계 중에 하드웨어 팀은 다양한 프록시를 사용하여 여러 개발 단계에서 회로를 표현합니다. 초기에는 장치 개발을 위해 거의 전체적인 가시성과 제어 능력을 갖춘 시뮬레이션에 의존합니다. 이후 많은 팀이 지적 재산(IP) 통합 및 기능 테스트를 위해 레지스터 전송 레벨(RTL)을 하드웨어 에뮬레이션 플랫폼으로 옮깁니다.

Siemens Veloce™ 하드웨어 지원 검증 플랫폼처럼 가장 진보한 에뮬레이션 시스템은 이 단계에서도 강력한 시스템 분석 도구를 지원할 수 있습니다.

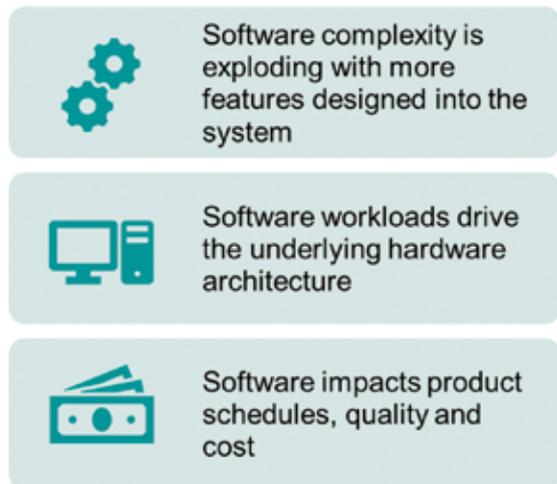
하지만 소프트웨어 팀의 요구 사항은 어떨까요?

Gabriele Pulini

# 서론: 소프트웨어 복잡성 및 SoC 검증에 대한 의미

첫 번째 실리콘이 도착하면 소프트웨어 팀은 안정적인 드라이버, 운영 체제(OS) 및 애플리케이션 코드를 준비해야 합니다. 이때 무엇을 기반으로 개발해야 할까요? 애플리케이션 수준 코드는 범용 시스템 또는 클라우드에서 SoC 및 해당 주변 장치를 나타내는 스텝을 사용하여 개발할 수 있습니다. OS 부팅 수준까지의 소프트웨어 단위 테스트를 하드웨어 에뮬레이션 시스템에서 편리하게 수행할 수 있습니다.

하지만 까다로운 부분이 있습니다. 바로 하드웨어를 소프트웨어와 통합하는 일 또는 모호하거나 반복되지 않는 것처럼 보이는 버그에서 근본 원인을 찾는 일입니다. 소프트웨어 및 IP 회귀 테스트의 일상 작업은 어떨까요? 이러한 작업에는 하드웨어의 정확한 모델과 에뮬레이션 플랫폼에서 제공되는 많은 가시성 및 제어 능력이 필요합니다 또한 에뮬레이션 시스템이 제공하는 것보다 더 빠른 속도, 다시 말해 Real-time에 가까운 속도 역시 필요합니다. 설계 주기 후반에는 이러한 작업이 전 세계의 여러 사이트에서 완료될 수 있습니다. 따라서 이를 지원하는 플랫폼을 확장 및 이식이 가능하도록 만드는 일이 중요합니다.



-  Software complexity is exploding with more features designed into the system
-  Software workloads drive the underlying hardware architecture
-  Software impacts product schedules, quality and cost

이러한 요구 사항에 대한 답은 주로 FPGA 기반 프로토타입입니다. 이러한 프로토타입을 통해 하드웨어 및 소프트웨어 팀 모두 기능적으로 올바른 RTL 구현이 가능하고, 목표 SoC 속도 또는 거의 그에 근접한 속도로 작업을 실행할 수 있습니다. 프로토타입은 이상적으로 in-circuit 모드에서 작동할 수 있으며 내부 신호에 필요한 가시성과 제어 기능을 계속 제공할 수 있습니다.

## FPGA 과제

FPGA(Field Programmable Gate Array) 프로토타입 제작은 이점과 함께 몇 가지 심각한 문제를 야기합니다. 우선 FPGA 사용은 쉽지 않습니다. FPGA 벤더의 도구를 사용하여 ASIC RTL 설계를 FPGA에 매핑하고 높은 작동 속도를 달성하려면 FPGA 칩의 내부 구조와 매핑 알고리즘에 대한 깊은 이해가 필요합니다. 이러한 내부 구조에는 로직 패브릭뿐만 아니라 ARM 중앙 처리 장치(CPU) 코어, 캐시, 다중 누산기 및 메모리 인스턴스 등 특수 블록이 포함되는데, 이를 사용하면 프로토타입 성능을 크게 향상시킬 수 있습니다.

매핑을 복잡하게 만들 수 있는 다른 문제도 있습니다. FPGA의 클럭 구조가 일반적으로 SoC 용으로 생성되는 것과는 상당히 다를 수도 있습니다. 그리고 RTL에 하나 이상의 FPGA 칩이 필요한 경우(일반적으로 적당한 크기의 SoC 설계에서도 해당) RTL을 분할하여 여러 칩에 분산하고 칩을 함께 연결하는 것은 자체적인 기술 형식이 될 수 있습니다.

## 디버그 작업

RTL을 구현하는 일 외에도 FPGA 프로토타입에는 실질적인 문제가 있습니다. 설계자는 관찰하려는 신호에 액세스하고 트레이스 버퍼, 트리거 비교기 및 단일 단계 작동용 클럭 조작 구현을 위한 전반적인 자체 규정을 만들어야 합니다. 이렇게 추가된 신호는 프로토타입에서 호스트로 라우팅되고 디버그 사용자 인터페이스(UI)에서 해석되어야 합니다. 이상적으로는 이러한 사용자 인터페이스와 디자인 팀에서 사용하는 다른 툴의 인터페이스가 서로 일치해야 합니다. 그러나 대부분은 프로토타입에 특화되어 있습니다.

이러한 추가적인 복잡함으로 인해 프로토타입 팀은 종종 특정 디버그 작업을 위해 프로토타입을 구성한 다음 이를 재구성하는 방법을 선택하는데, 이렇게 되면 디버그 작업 또는 RTL이 상당히 변경될 때마다 성능을 최적화하기 위해 RTL 편집 후 다시 컴파일하는 반복적인 작업이 필요합니다.

## Veloce FPGA 프로토타입 제작으로 소프트웨어 개발 해결

이러한 문제를 마주했을 때 자금이 충분한 SoC 팀이라면 자체 FPGA 전문가와 함께 전담 FPGA 프로토타입 제작 그룹을 보유할 수도 있습니다. 하지만 소규모 팀의 경우 디자인 IP의 특정 부분을 확인하기 위해 제한된 프로토타입만 구축하거나 FPGA 프로토타입 제작을 모두 포기하고 대리 시스템에서 개발된 코드가 실리콘에서 동작하기만을 바랄 수도 있습니다. 만약 독립적인 EDA 벤더가 문제를 해결하고 통합 하드웨어/소프트웨어 프로토타입 제작 플랫폼을 제공한다면 대규모 조직의 효율은 높아지고 소규모 조직은 현실적으로 처리할 수 있게 될 것입니다.

SoC 설계 팀의 하드웨어 및 소프트웨어 측면 모두에서 FPGA 프로토타입의 중요성을 인식한 Siemens EDA는 완전한 하드웨어/소프트웨어 프로토타입 제작 플랫폼인 Veloce proFPGA 플랫폼을 제공합니다. 소프트웨어, 하드웨어 및 서비스의

Siemens Xcelerator 비즈니스 플랫폼의 일부인 이 플랫폼은 사용자가 FPGA 프로토타입에서 직면한 문제를 직접 해결합니다(그림 1).



그림 1. Veloce 하드웨어 지원 검증 제품군

Veloce proFPGA 플랫폼에는 다양한 인클로저와 교체 가능한 FPGA 모듈이 포함되어 있어 환경을 변경하지 않고도 단일 FPGA에서 28개 FPGA로 확장할 수 있습니다. 이 플랫폼은 FPGA의 RTL 및 고속 in-circuit 인터페이스를 통해 주변 장치의 에뮬레이션을 지원합니다. FPGA에서 구성 가능한 내부 SRAM 블록을 사용하여 SoC 메모리 인스턴스를 자동으로 구성하거나 외부 DDR4 보드로 SoC 메모리를 Emulation할 수 있습니다.

VPS(Veloce Prototyping Software)로 시작하는 소프트웨어 툴은 플랫폼의 성능과 마찬가지로

중요합니다. 이 툴은 사용자의 ASIC/SoC RTL 설계를 완전 자동으로 또는 다양한 수준의 사용자 지침에 따라 FPGA에 매핑하는 완전한 툴 세트입니다(그림 2). VPS는 SRAM(Static Random Access Memory) 블록과 같은 특수 FPGA 리소스를 사용할 기회를 추론할 수 있습니다.

다양한 SoC 외부 메모리 인터페이스를 프로토타입의 DDR4 인터페이스에 매핑하여 다양한 외부 메모리 장치를 에뮬레이션할 수 있습니다. 더불어 VPS는 FPGA Clock의 구조 및 로직 패브릭을 사용하여, Gated 혹은 Generated clock처럼 까다롭게 매핑된 구조를 인식하고 올바르게 매핑하는 Clock 회로 처리에 특히 능숙합니다.

여러 FPGA에 걸쳐 설계를 분할하는 일도 처리합니다. VPS는 RTL의 자동 혹은 가이드 된 partitioning 기능을 제공하여 사용자가 어려운 작업에서 벗어날 수 있게 되며, SoC가 작동하는 방식에 대한 고유한 지식을 적용하여 프로토타입 제작 플랫폼 성능 극대화를 위한 매핑을 최적화할 수 있는 제어권을 얻을 수 있습니다.

이러한 매핑 기능의 조합은 설계 팀이 RTL을 프로토타입으로 가져올 때 직면하는 심각한 문제를 극복하게 해 주거나 문제의 영향을 줄여줍니다. 이러한 기능을 함께 사용하면 설계 팀에서는 FPGA 전문가가 없어도 실리콘 가용성 이전에 OS를 부팅하고 생산 소프트웨어를 실행 및 검증하는 데 충분한 최대 80MHz의 프로토타입 작동 속도를 달성할 수 있습니다.

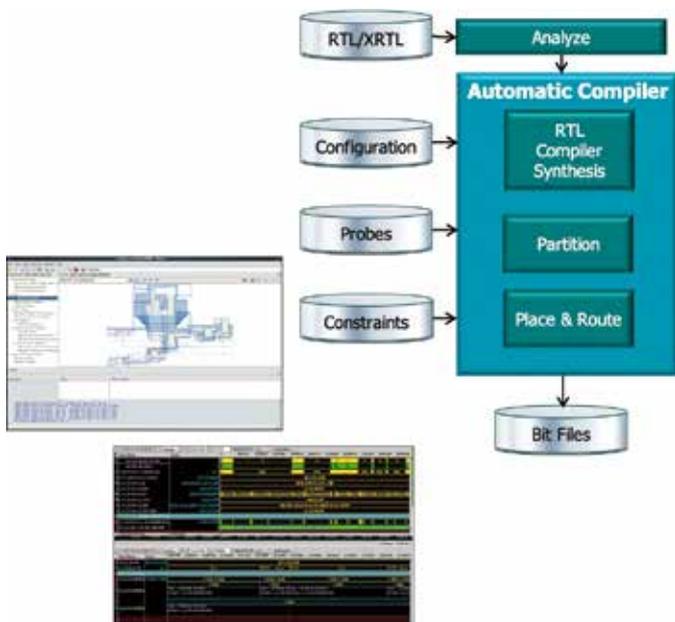


그림 2. ASIC/SoC RTL 설계를 FPGA로 매핑

## 가시성 및 제어 가능성

설계에 가관측성과 제어 가능성을 구축하는 것은 FPGA 프로토타입으로 작업하는 팀의 영원한 숙제입니다. 시뮬레이션과 하드웨어 에뮬레이션을 통해 사용자는 모든 주기에서 설계의 모든 신호를 본질적으로 볼 수 있지만 FPGA 프로토타입은 훨씬 더 제한적일 수 있습니다. 대부분의 경우 사용자는 RTL을 설계 코드에 추가하여 관심 있는 신호를 가로채 디버그 컨트롤러로 라우팅해야 합니다.

하지만 이는 일손이 집중적으로 필요하기 때문에 팀에서는 디버그 프로세스에 필요할 것으로 생각되는 신호에 대해서만 계획하는 경향이 있습니다(그림 3). 물론 머피의 법칙에 따르면 이러한 계획은 어긋나기 마련이지만 말입니다. 퍼즐을 풀고 난 뒤에 신호가 하나 정도 더 보이는 경우도 항상 있습니다. 그러나 하나 이상의 신호를 가로채서 라우팅하면 재컴파일하게 될 수도 있습니다.

제어 가능성도 마찬가지로 문제가 있습니다. 전체 SoC 프로토타입을 일시 중지하고 한 단계씩 진행하려면 설계의 클럭 트리, 서로 간의 관계 및 프로토타입에서 구현된 방식을 잘 이해해야 합니다. 중단점만 설정하는데도 설계의 다양한 클럭 영역에서 동시성이 의미하는 바를 이해해야 할 수도 있습니다.

Veloce proFPGA는 다양한 방법으로 이러한 문제를 완화합니다. 우선 FPGA당 최대 250만 개의 프로브를 프로토타입 신호에 자동 삽입합니다. 따라서 대부분의 설계에서 거의 모든 신호가 자동으로 프로브됩니다. 이어서 Veloce proFPGA는 선택한

신호를 트리거 및 조건부 캡처 회로를 통해 무손실 데이터 압축을 통해 실시간 트레이스 버퍼로 라우팅합니다.

여기에서 추적 데이터를 DRAM(Dynamic Random Access Memory)으로 스트리밍하거나 호스트로 직접 스트리밍할 수 있습니다. 주시하려는 신호를 변경하고 런타임에 트리거 및 추적 파라미터를 변경할 수 있기 때문에 재컴파일을 막을 수 있습니다. 프로토타입에 여러 FPGA가 포함된 경우 Veloce proFPGA는 서로 다른 칩의 신호를 자동으로 시간 정렬합니다.

더욱 자세한 검사를 위해 트리거로 프로토타입 clock 을 멈추고, Single step 모드로 진행할 수 있습니다. 이 모드에서는 모든 레지스터 및 메모리 내용에 액세스할 수 있습니다. 모든 메모리 인스턴스는 가능 회로를 방해하지 않고 읽고 쓸 수 있는 백도어 포트를 통해 액세스할 수 있습니다. 필요한 경우 이 도구는 레지스터 간의 조합 회로 내의 신호 값도 재구성합니다.

이런 광범위한 가시성과 제어 기능을 통해 까다로운 하드웨어-소프트웨어 상호 작용을 수행할 수 있습니다. 팀은 Veloce proFPGA 임베디드 ARM 코어에서 실행되는 코드에 대해 선호하는 소프트웨어 디버그 환경을 사용하거나 Veloce proFPGA 프로브 및 디버그 기능을 사용하여 트리거를 설정하고 FPGA 패브릭에 구현된 프로세서 코어에서 실행되는 코드를 추적할 수 있습니다. 이렇게 하면 소프트웨어 실행과 RTL 작동을 동기화된 방식으로 조사할 수 있습니다.

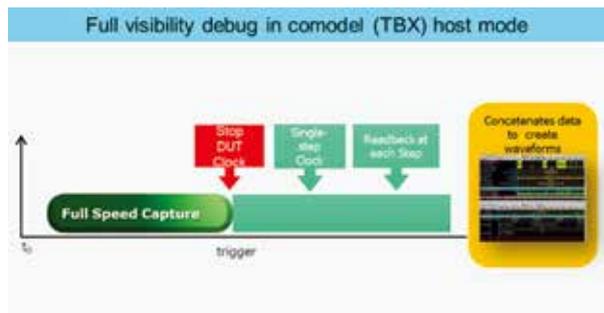
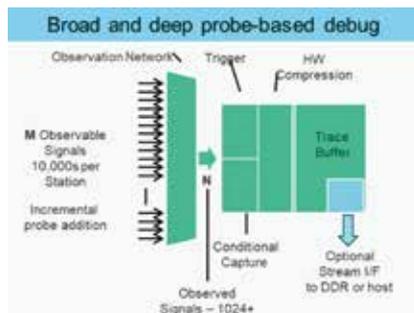
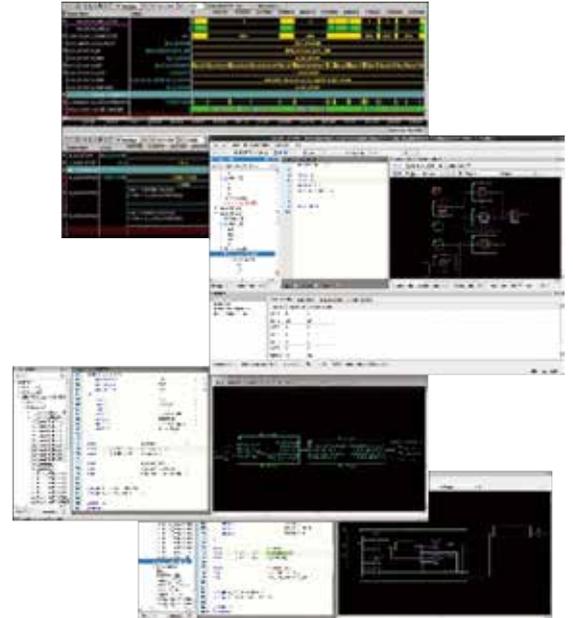


그림 3. 디버그 프로세스

## Visualizer

이 모든 가관측성 기능과 제어 기능은 사람이 결과 데이터를 이해할 수 있는 방법이 있는 경우에만 유용합니다. 따라서 Veloce proFPGA는 Siemens Visualizer 디버그 환경을 사용하여 트리거 및 트레이스를 관리하고 데이터를 표시하며 원래 설계 신호 이름을 사용하여 RTL 설계 및 FPGA Netlist를 탐색합니다. 이 도구는 FPGA에서 Clock net, Combinational loop 및 기타 해석이 어려운 구조의 이해에 특히 집중되어 있습니다.

Questa™ 시뮬레이션, Veloce Strato 에뮬레이션 플랫폼 및 Veloce Primo 엔터프라이즈 프로토타입 제작 시스템과 함께 일부 포맷 검증 및 클럭 도메인 교차 도구와 함께 사용되는 것과 동일한 Visualizer 환경입니다. 따라서 팀 구성원은 설계 중 작업 간 이동을 할 때 또는 다른 그룹과 데이터를 공유할 때 사용자 인터페이스를 변경할 필요가 없습니다.



## 실용성

완벽하고 확장 가능한 시스템인 Veloce proFPGA는 FPGA 프로토타입 제작 전문가나 기술 지원 그룹에 의존하지 않고 검증 팀 자체에서 사용하고 관리할 수 있도록 설계되었습니다. 즉 필요한 곳에 시스템을 배치할 수 있습니다. 검증 활동이 제3자 IP 또는 코드 개발자 또는 초기 고객을 포함하도록 확장됨에 따라, Veloce proFPGA 시스템은 박스에서 개봉하는 즉시 올바르게 실행되는 것을 기대할 수 있는 상태로 원하는 위치에 배송될 수 있습니다. 이를 통해 섬세하고 가져오기가 복잡하거나 제작한 실험실 외부에서 단순하게 재현할 수 없는 단편적 또는 일회성 프로토타입에 비해 큰 이점이 있음을 증명할 수 있습니다.

Veloce proFPGA는 이러한 유연성을 FPGA 프로토타입의 기능과 결합하여 설계 주기 초기부터 SoC 설계의 준고속 또는 고속 에뮬레이션을 제공함으로써 IP 개발자, 검증 엔지니어 및 코드 개발자에게 큰 도움이 될 수 있습니다. 과거에 FPGA 기반 프로토타입을 둘러싼 문제를 극복함으로써 이 Siemens EDA 플랫폼은 팀이 FPGA 전문가나 FPGA 프로그래밍 전문가에 대한 의존하지 않을 수 있도록 놀라운 능력을 선사합니다. Veloce proFPGA 플랫폼은 IP 개발 초기부터 현장 시스템 통합의 최종 단계에 이르기까지 모든 방식의 SoC 개발 노력에 도움이 될 수 있습니다.

## Siemens Digital Industries Software

미주 지역 1 800 498 5351

유럽, 중동, 아프리카 지역:

00 800 70002222

아시아 태평양 지역: 001 800 03061910

다른 지역 번호는 [여기](#)를 클릭하십시오.

**Siemens Digital Industries Software**는 규모에 관계없이 모든 조직이 Siemens Xcelerator 비즈니스 플랫폼의 소프트웨어, 하드웨어 및 서비스를 사용하여 디지털 방식으로 혁신할 수 있도록 지원합니다. 기업은 Siemens의 소프트웨어와 포괄적인 디지털 트윈을 통해 설계, 엔지니어링 및 제조 프로세스를 최적화하여 오늘날의 아이디어를 미래의 지속 가능한 제품으로 전환할 수 있습니다. **Siemens Digital Industries Software**는 모든 산업에서 칩에서 전체 시스템까지, 그리고 제품에서 프로세스까지 트랜스포메이션을 가속화합니다.

[siemens.com/software](https://www.siemens.com/software)

© 2023 Siemens. 관련 Siemens 상표 목록은 [여기](#)서 확인할 수 있습니다. 기타 모든 상표는 해당 소유자에 귀속됩니다.

85333-D3-KO 7/23 in-c