

## 제 2 장 OP-AMP의 특징과 설계시 주의사항

### 1. 이상적인 OP-AMP의 특징

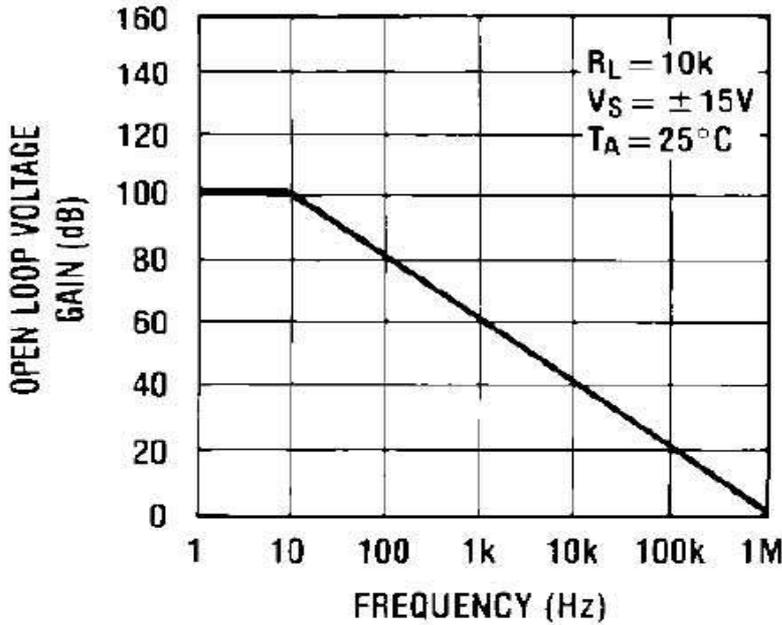
- 1) 입력 임피던스가  $\infty$  (무한대) 이다.
- 2) 출력 임피던스는 "0"이다.
- 3) 증폭도를 무한대로 할 수 있다.
- 4) 대역폭이 DC에서 무한대 주파수까지이다.
- 5) 잡음이 없고 입력이 "0"일 때 출력도 "0"이다.
- 6) 아주 큰 부궤환이 안정적으로 걸린다.

위와 같은 것들이 OP-AMP의 대표적인 특징으로 이론적으로는 가능하나 현실적으로는 그에 가까울 따름이지 실현이 불가능하다. 하지만 위와 같은 부분들을 OP-AMP의 특징으로 보는 이유는 어디까지 정밀도 있게 요구하는가의 가정에 따라서 회로설계에 반영되어지기 때문이다.

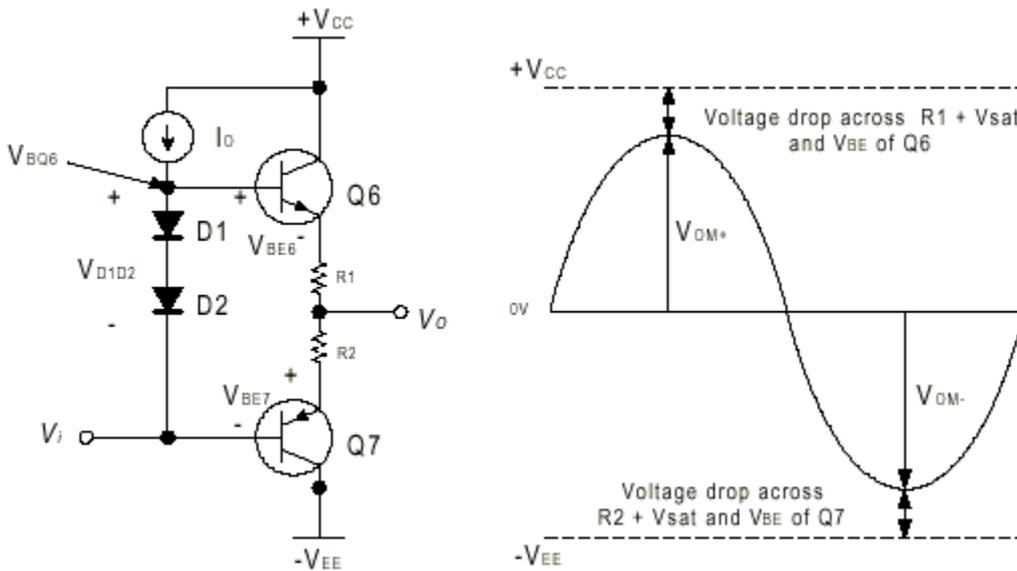
### 2. 설계시 주의사항

- 1) 증폭도를 1000배(과도한 증폭도) 이상 일때와 입력신호 레벨이 10mV이하는 문제가 있다.  
OP-AMP는 오프셋이나 드리프트가 문제가 되어 입력을 "0"으로 해도 출력이 "0"에서 벗어나기 때문에 너무 작은 신호나 아주 큰 증폭도는 상당한 오차 요인이 발생한다. 예를 들어 10mV의 편차가 있는 1000배의 증폭도를 가질 때 10V 입력에서는 출력에 100V의 오차를 가지게 된다.  
그러므로 증폭도는 사용하고자 하는 OP-AMP의 안정도와 잡음 정도를 고려해서 설계하여야 한다.
- 2) 입력 단자간에 10k $\Omega$  이하의 저항 접속은 문제를 일으킨다.  
OP-AMP의 특징 중 하나인 입력임피던스가 상대적으로 작아져 증폭도가 큰 회로 설계시 출력 전류가 저항에 의하여 소비되어 증폭률이 부족하게 되는 경우가 발생하는 원인이 된다.
- 3) 수 10KHz 이상의 주파수 입력은 범용 OP-AMP로는 문제가 있다.  
OP-AMP의 데이터 시트를 보면 많은 그래프들이 그려져 있는데 이중에 아래의 그림1과 같은 부분을 보면 일정 주파수 이상 올라가게 되면 증폭도가 지수함수 적으로 감쇄하는 부분을 확인 할 수 있다.
- 4) 출력 응답이 빠른 상승곡선을 필요로 할 때는 문제가 된다.  
OP-AMP의 단점이라고 말할 수 있는 부분으로 출력이 빨리 상승하지 않는 점이다. 보통의 OP-AMP에서는 1 $\mu$ s당 0.3~0.5V 최대이다.
- 5) 대전류, 대전폭의 출력을 필요로 한다.  
보통의 OP-AMP 전원 전압은  $\pm 15V$  최대 출력 진폭은  $\pm 12V$  정도밖에 되지 않는다. OP-AMP에서 가질 수 있는 최대 증폭(진폭)도는 전원 전압의 3/4선이나 보다 안정적인 증폭도를 갖기 위해서는 2/3 선으로 맞추는 것이 좋다.

## Open Loop Frequency Response



<그림1>



<그림2>

위의 좌측 그림은 OP-AMP의 출력부분의 내부 등가로 출력의 최대값은 전원 전압에서 Q6의  $V_{BE6}$  와  $R_1$ ,  $R_2$ , Q7의  $V_{BE7}$ 의 값을 빼면 최대 출력 값이 된다. 이참에 조금은 수식적인 것으로 표현해보자.

("+")최대값은  $V_O \leq +V_{CC} - V_{R1} - V_{BEQ6} - V_{SATQ6}$  ("-")최저값은  $V_O \geq -V_{EE} + V_{R2} + V_{BEQ7} + V_{SATQ7}$ 이다. 출력 전류는 소자에 따라 다르지만 대개 10mA라고 보면 된다. 단 이 값은 모노리딕식의 범용 OP-AMP사용하였을 때의 값이고 외부에 회로를 추가하면 수 10A 또는 수 100A 까지도 확장할 수 있다.

위와 같은 내용은 OP-AMP를 설계 할 때의 주의 사항으로 최근에는 이러한 문제점들을 해결한 OP-AMP가 지속적으로 출시되고 있는 상황이며 외부회로를 추가함으로 어느 정도까지는 해결 할 수가 있다.

## OP amp.의 data sheet에 나오는 용어해설

출처 : MagLAB 자기학 실험실 (<http://www.maglab.pe.kr/analog.htm>)

최대 정격 : OP amp.가 손상될 염려없이 안전하게 동작 할 수 있는 최대치.

### 1. 공급전압 (Supply Voltage : $\pm V_s$ )

OP amp.에 전원으로 사용될 수 있는 최대의 전압.

### 2. 내부 소비전력 (Internal Power Dissipation : PD)

OP amp.의 주어진 규정된 주위온도에서 소비할 수 있는 최대 전력.  
(ex.  $600 \text{ mW} \leq 75 \text{ }^\circ\text{C}$ )

### 3. 차동 입력 전압(Differential Input Voltage : $V_{id}$ )

OP amp.의 입력 단자인 inverting(-), non-inverting(+) 단자 양단에 인가 할 수 있는 최대전압.

### 4. 입력 전압 (Input Voltage : $V_{icm}$ )

입력과 접지 사이에 동시에 인가할 수 있는 최대입력 전압이고, 이를 동상전압(Common Mode Voltage)라고 함. 일반적으로 이 최대 전압은 공급 전압과 같다.

### 5. 동작온도 (Operating Temperature : $T_a$ )

OP amp.가 이상없이 동작하는데 데 대한 주변 환경 중에서 최대 온도 환경.

### 6. 출력 단락 회로 지속시간 (Output Short-Circuit Duration)

OP amp.의 출력 단자가 접지나 전원의 한 단자와 단락 되어도 OP amp. 가 손상되지 않고 견딜 수 있는 시간.

7. 입력 오프셋 전압 (Input Offset Voltage :  $V_{oi}$ )

OP amp.의 출력 전압을 "0"으로 만들기 위하여 입력 단자중의 하나에 가해지는 전압. (이상적인 OP amp. 의 경우 offset은 "0"이다.)

8. 입력 바이어스 전류 (Input Bias Current :  $I_b$ )

OP amp.의 두 입력 단자에 흐르는 전류의 평균치이다. 이상적인 경우 두 입력 단자의 바이어스 전류는 같다.

9. 입력 오프셋 전류 (Input Offset Current :  $I_{os}$ )

출력 전압이 "0"인 경우에 두 입력 단자의 바이어스 전류의 차이.

10. 입력 전압범위 : (Input Voltage Range :  $V_{cm}$ )

두 입력 단자와 접지간의 전압 범위.

11. 입력 저항 (Input Resistance :  $Z_i$ )

어느 한 입력 단자를 접지시켰을 때 나머지 입력 단자와 접지간을 입력 측에서 본 저항.

12. 출력 저항 (Output Resistance :  $Z_o$ )

OP amp.의 출력 측에서 본 저항.

13. 출력전압진동 (Output Voltage Swing :  $\pm V_{o\ max}$ )

부하저항에 따라서 OP amp.가 포화나 클리핑 없이 공급할 수 있는 최대 전압.

14. 개방루프 전압이득 (Open Loop Voltage Gain : AOL)

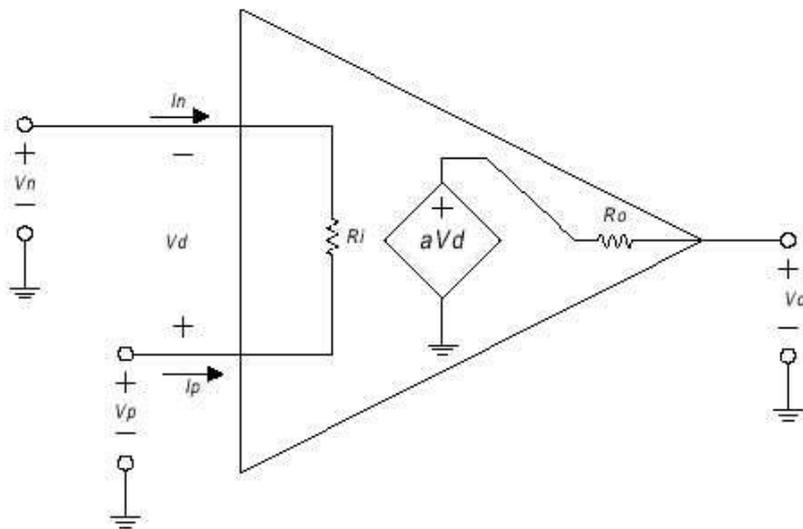
외부 과환(feedback)을 없이 한 후 OP amp.의 입력 전압에 대한 출력 전압의 비.

### 제 3 장 OP-AMP 관련 용어해설

어떠한 회로를 설계하더라도 회로 목적에 맞는 소자를 찾기 위해서는 각종 Data Sheet를 보아야 할 필요성이 있는데 이 장에서는 OP-AMP에 관련된 용어들의 의미를 살펴보기로 한다. 그리고 또 하나 OP-AMP의 회로를 설계하고 제작 시에는 굳이 회로에 표기가 되지 않았더라도 특별한 이유가 없으면 **전원 단자에 바이패스(Bypass) 콘덴서  $0.01\mu F \sim 0.1\mu F$  (103 또는 104)**를 부착하는 것으로 습관들인다. 콘덴서의 종류는 고주파 특성이 좋은 세라믹 또는 모노 콘덴서를 사용한다.

바이패스 콘덴서는 **회로의 임피던스를 낮게 하고 외래 잡음을 제거함과 OP-AMP 내부에서 신호가 신호라인 이외의 경로에 의해 귀환하는 것을 방지하는 역할**을 한다. 때로는 바이패스 콘덴서의 부착 여부에 따라 발진이 생기기도 한다.

기타 디지털 회로에서도 바이패스 콘덴서는 아주 중요하다. 수많은 신호 주파수 등을 스위칭 하므로 전원에 자체 스위칭 노이즈로 인하여 오동작의 원인이 되기도 한다.



<OP-AMP의 기호 및 기본 등가>

#### 1. 입력 오프셋 전압 (Input Offset Voltage)

이상적인 OP-AMP에서는 입력이 "0"일 때 출력도 "0"이나 실제 OP-AMP에 있어서는 "0"가 되지 않는다.

- 1) OP-AMP의 입력 부분을 구성하고 있는 T.R Pair의 차동증폭회로에서 두 개의 T.R 특성의 언밸런스에 의하여 발생한다. (순도 100.00000%의 금을 만들 수 없는 것과 같다.)
- 2) 위와 같은 상황에 의하여 출력이 "0"일 때 입력단자 간에 남은 등가적인 직류 전압을 입력 오프셋 전압이라 하며 보통은 수 mV 이내이다.
- 3) 저레벨 직류증폭을 목적으로 하는 회로에서는 큰 증폭오차를 가지게 되므로 입력 오프셋을 조정하여 "0"가 되게 하여야하며 이 경우에는 오프셋 조정 단자가 있는 OP-AMP를 선택한다.
- 4) 오프셋 전압은 온도에 따라 약간씩 변화하기 때문에 오프셋 조정회로가 있을 경우에는 온도보상회로 여부도 고려하여 설계하여야 한다.

#### 2. 입력 바이어스전류(Input Bias Current)

- 1) 입력단자에 유입 또는 유출하는 직류전류를 바이어스 전류라 한다.
- 2) OP-AMP 내부 입력단의 T.R을 구동시키기 위해서는 **항상 베이스 전류를 흘려두지 않으면 안되는데** 보통 수 nA ~ 수  $\mu$ A 이다. 입력단이 F.E.T형은 수십 pA 정도이다. 입력신호원의 소스 전류가 극히 미약하면 F.E.T 입력구조의 OP-AMP를 선택하여 입력 임피던스를 보다 더 높인다.
- 3) 입력 바이어스 전류도 온도에 따라 변한다.

### 3. 입력 오프셋 전류(Input Offset Current)

두 개의 입력단자에 입력되는 바이어스 전류차의 절대값을 말하며 **온도 영향을 받는다.** 오프셋 전압 또는 전류가 온도 영향을 받아 변화하는 것(오프셋 전압 또는 오프셋 전류) 드리프트(drift)라 한다.

### 4. 차동입력 저항(Differential Input Resistance)

OP-AMP가 오픈 루프 상태에서 입력 양단간의 실효저항을 말한다. 소진폭의 교류신호 동작에 있어서 정의된 것으로 실용상으로는 그다지 문제점이 없다.

### 5. 차동입력 용량(Differential Input Capacitance)

OP-AMP가 오픈 루프 상태일 때 입력 양단간의 정전용량을 말한다. 위의 4번 내용과 함께 **차동 입력 임피던스**라고 부르며 **저항과 콘덴서의 병렬 증가**로 나타낸다.

### 6. GB적(積)(Gain Bandwidth Product)

OP-AMP의 이득에 대한 주파수 특성 곡선을 말한다. GB곱이 10MHz 이상의 것을 고주파용 또는 광대역 OP-AMP라 한다.

### 7. 슬루레이트(SR : Slew Rate)

입력신호 전압이 시간적 변화가 빨라지면 출력 전압은 빠른 변화에 따라가기 어려워진다. 출력전압의 단위시간당 어느 정도 변화하는가를 규정한 파라미터가 슬루레이트 이다.

### 8. 래치업(Latch Up)

입력단이 이미터 팔로워형으로 구성되어 있지 않은 구형의 OP-AMP에서 최대 동상입력 전압을 넘는 입력신호를 가하면 출력전압이 갑자기 포화전압으로 상승하여 입력 신호를 내려도 한동안 포화전압을 유지하는 현상

래치업에 관계없이 **입력신호를 동상입력 전압 범위를 초과하여 반복 입력하면 특성이 열화되므로 주의** 하여야 한다.

이장에서는 모든 OP-AMP의 관련 용어를 해설하지는 않았다. 설계시 고려해야만 될 것만 간추려 보았고 여기에 없는 용어들 중에는 강좌가 진행되는 동안에 자연스럽게 설명되어진다.

## 제 4 장 기본적인 증폭기

### 1. 반전 증폭기

반전 증폭기는 입력 전압과 역 위상의 출력 전압이 얻어지며 그 기본회로는 그림 1의 (a)와 같고 실용 회로는 (b)와 같이 사용된다.

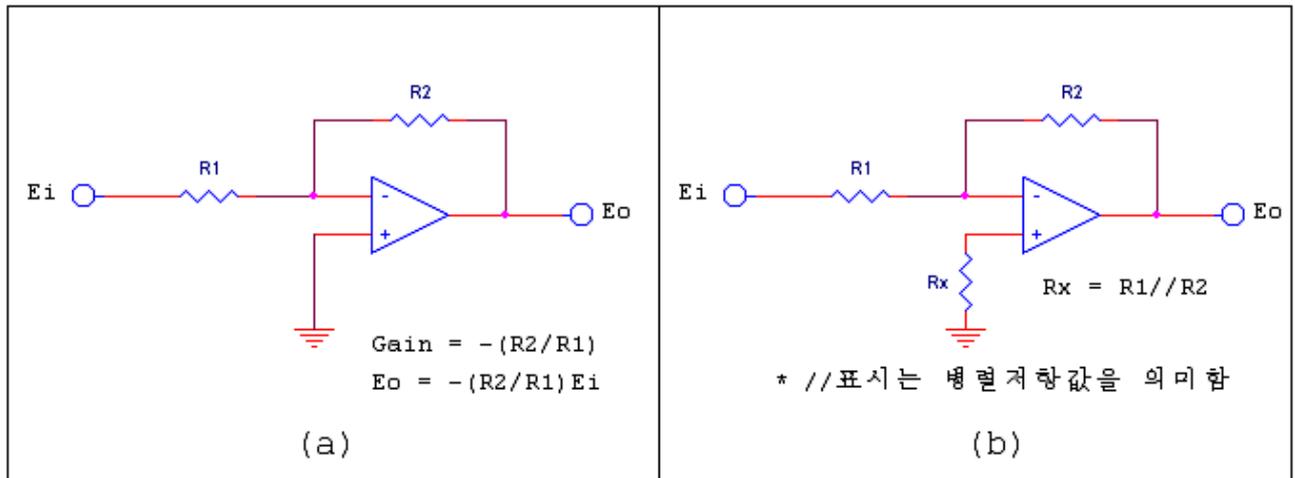


그림 1

- 1) 반전 증폭기의 증폭도 (그림 1 참고) : 증폭도(Gain) :  $G = -\left(\frac{R2}{R1}\right)$
- 2) 직류 오프셋 전압과 전류의 영향을 고려하자.

그림 1의 (b)는 OP-AMP의 입력 단자에 존재하는 직류성분의 오프셋 전류, 전압의 영향을 고려하여 저항  $R_x$ 를 추가한 직류 증폭기에 사용할 때의 예이다.  $R_x$ 는 반전 증폭기의 등가회로 해석에서 테브난의 정리에 의한 것이며, 오프셋 전류( $I_{os}$ 라 하자)는 "-"단자의 바이어스 전류( $I_{b1}$ ) 빼기 "+"단자의 바이어스 전류( $I_{b2}$ )이다.

다시 정리하면  $I_{os} = I_{b1} - I_{b2}$  이다.  $R_x$ 를 삽입하지 않을 경우는 직접 바이어스 영향을 받지만  $R_x(=R1//R2)$ 를 삽입하면 오프셋 전류분의 영향밖에 받지 않는다.

오프셋 전류의 영향을 없애기 위해 오프셋 조정핀이 있는 OP-AMP들도 있으며 이러한 OP-AMP를 사용할 경우에는 가변 저항을 접속하고 입력이 "0"일 때 출력이 "0"이 되도록 가변 저항을 조정하여 맞춘다.

위와 같은 점을 고려하여할 경우는 직류 증폭기를 설계 할 때의 경우도 교류신호만 증폭하는 것이 목적인 회로는 RC 결합 회로로 하면 직류 오프셋 전압이나 드리프트는 별로 신경 쓰지 않아도 된다.

### 3) R1 과 R2의 저항 값은 얼마로?

$R1$ 은 입력 신호원의 구동능력에 따라  $R1$ 의 하한 값이 결정되어진다. 예를 들어 입력 신호원의 크기가 1V에 1mA라면  $R1$ 은 1kΩ이하로 설정 할 수 없다. 그렇다고 1kΩ을 사용할 수 있다는 이야기는 아니다. 왜냐하면 입력 바이어스 전류가 존재하기 때문이므로 1kΩ + 입력 바이어스 전류를 고려한 저항 값이어야만 한다.

$R1$ 이 설정되면  $R1$ 을 기준으로  $R2$ 의 값을 설정하면 되는데 이는 증폭하자하는 비를 맞추면 된다. 그러나 한가지 고려해야 할 사항은 부하전류의 문제가 있으므로 부하는 등가적으로

$R2//RL$ 로 되기 때문에 최대출력 전압일 때 부하에 흐르는 전류가 최대출력 전류 이하로  $R2$ 를 설정 하여야한다.

OP-AMP의 출력전류는 특별한 이유가 없으면 10mA이하가 되게 설계하는게 바람직하다.

$R1$ 과  $R2$ 의 상한값은 입력 오프셋 및 저항에서 발생하는 열 잡음을 고려하여 정해지며  $R1$ ,  $R2$ 를 너무 크게 하면 보상용 저항  $R_x$ 가 있더라도 오프셋 전류와 전압에 의하여 잡음이 많이 발생하고 증폭기의 S/N비를 나쁘게 한다.

$R1, R2$ 의 값은  $100\Omega$ 보다 커야하고  $1M\Omega$ 이하 이어야 한다. 통상  $1k\Omega \sim 100k\Omega$ 사이로 설정하는 것이 바람직하나  $10k\Omega$ 을 기준으로 설정하는 것이 모든 영향을 고려할 때 가장 무난한 값이 된다.

### • 가상 접지 ( virtual ground )

이상적인 연산증폭기의 전압이득이 무한대이기에, 증폭기 입력단자간의 전압은 영(zero)이 되며 이는 단락을 의미한다. 그러나, 이 단락현상을 물리적인 실제적 단락이 아니기에 이를 가상접지라고 한다. 여기서 접지한 회로가 단락되었음을 가리킨다. 연산증폭기의 입력저항이 무한대이기에 입력단자로 전류가 유입될 수 없다. 즉 그림1 에서 증폭기를 들여 다 본 입력저항은 무한대이면서, 그 양단 전압은 영이 됨을 유의해야 한다. 도입된 가상접지 개념은 연산증폭기를 이용한 회로 해석에서 중요한 역할을 한다.

### ▶반전증폭기 및 비반전증폭기

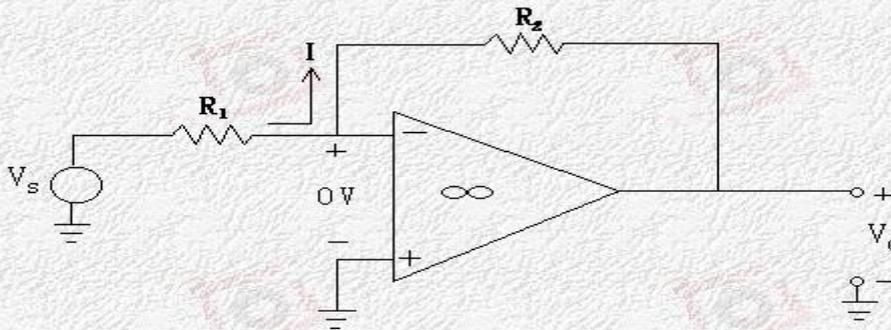
연산 증폭기의 기본회로는 반전 증폭기와 비반전 증폭기이다. 비반전 증폭기에서는 입력전압과 출력전압의 위상차이가 영이고, 반전 증폭기에서는 입력전압과 출력전압의 위상차이는 역상인  $180^\circ$ 가 된다.

### • 반전 증폭기

그림2는 반전 증폭기이다. 증폭기 기호인 삼각형 내에 있는 무한대 기호는 이상적인 연산 증폭기임을 표시한다. 가상접지에 의해 증폭기 입력단자의 전압은 영이고, 또한 연산증폭기의 입력저항이 무한대이기에 연산증폭기의 입력단자로 전류가 들어 갈 수 없다. 이를 감안하여 신호전압과 출력 전압간의 비인 전압증폭도를 구하면 식(1)이 된다.

$$A_v = \frac{V_o}{V_s} = -\frac{R_2}{R_1} \quad (1)$$

연산증폭기가 이상적인 증폭기이면, 신호전압의 형태나 주파수에 무관하게 식 (1)이 성립된다. 즉 증폭도는 단순히 두 개이 저항비만에 의해서 결정된다. 식 (1)의 앞에 나타난 음의 부호는 신호전압  $V_s$ 와 출력전압  $V_o$  간의 위상차가  $180^\circ$ 임을 가리킨다. 즉 반전되었음을 나타낸다.

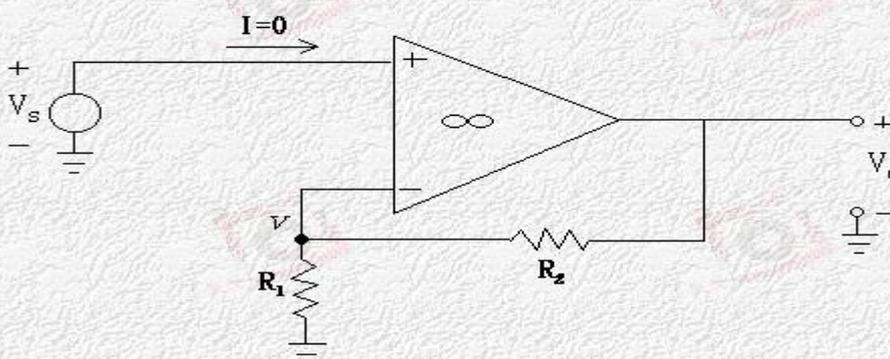


<그림 2>

그림 2의 회로에서, 신호전압에서 우측을 들여다 본 입력저항은  $R_1$  이고, 출력전압에서 좌측을 들여다 본 출력저항은 0(zero)  $\Omega$ 이다.

### • 비반전 증폭기

그림 3은 비반전 증폭기이다. 출력단자와 연산증폭기의 반전입력단자인 (-)에 저항이 연결되어 있다. 이를 부궤환이라고 한다. 만약 출력단자가 비반전단자인 (+)에 연결되면 이는 정궤환으로 구성되며, 그 특성은 부궤환인 경우와 판이하게 달라진다. 그림 3처럼 부궤환으로 구성되면 이는 증폭기이지만, 정궤환으로 구성되면 이는 증폭기가 아니다. 따라서 출력단자의 입력 연결시에 그 극성에 주의해야 한다. 가상접지는 부궤환회로에서 발생하는 것이지만 정궤환 회로에서 발생하는 것이 아니다.



<그림 3>

그림 3에서 연산증폭기의 입력저항이 무한대이기에 신호원에서 회로쪽으로 흐르는 전류  $I = 0$  이다. 가상접지에 의하여  $V_s = v$  가 된다. 그리고  $v$  점에서 연산증폭기의 (-)입력단자측을 들여 다 본 저항은 무한대이다. 따라서 전압 이득식은 다음처럼 주어진다.

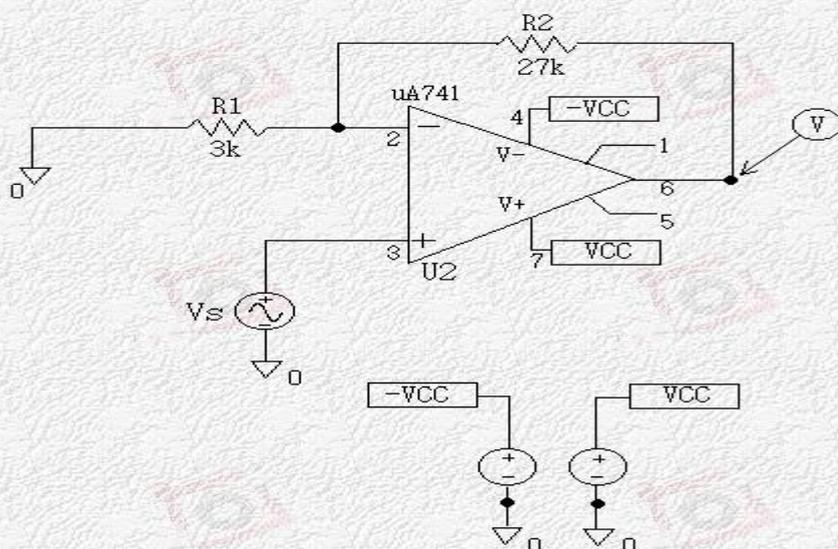
$$\frac{V_o}{V_s} = 1 + \frac{R_2}{R_1} \quad (2)$$

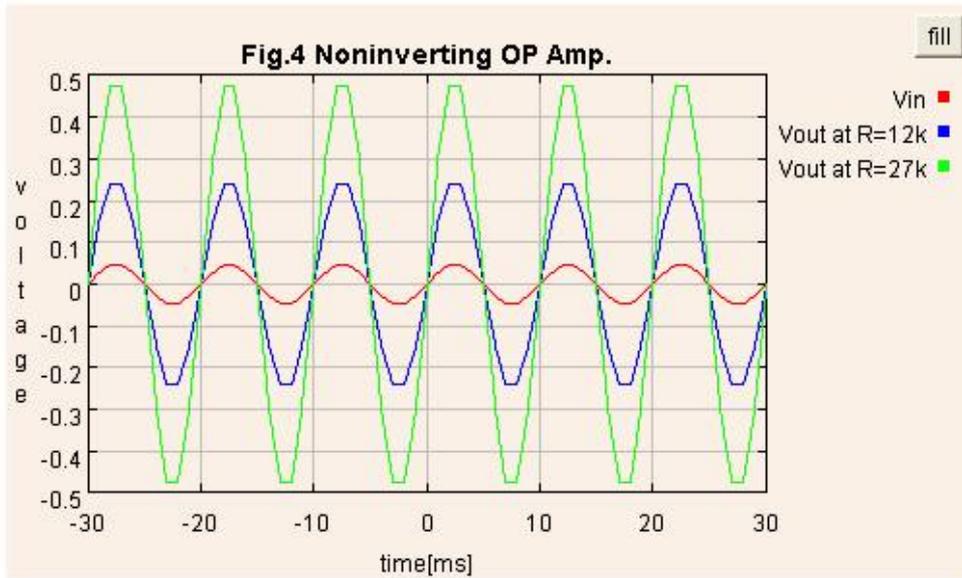
식 (2)로부터 출력전압과 신호전압간의 위상차는 영임을 알게 되며, 따라서 그림 3의 회로를 비반전증폭기라고 부른다. 식 (2)역시 식 (1)과 마찬가지로 이상적인 연산증폭기란 전제하에서는, 전압이득은 신호원의 전압파형과 주파수에 무관하게 식 (2)로 주어진다.

그림 4는 비반전증폭기이다. 증폭기 입력에 인가된 신호원은 진폭이 50[mV] 이고 주파수가 100[Hz]인 정현파이다. 저항 R을 조정하게 되면, 이득이 변화되기에 출력전압의 크기가 변화된다. 식 (2)에 의하여 저항 R이 각각 12[kΩ] 및 27[kΩ]인 경우, 이에 대응되는 이득은 각각 5 및 10이 된다. 이를 모의실험을 통하여 확인할 수 있을 것이다.

+ Schematics Netlist +

```
R_R1 0 1 3k
V_Vs 2 0 DC 0 AC 0
+SIN 0 0.05 100 0 0 0
X_U3 2 1 VEE VCC 3 uA741
V_V7 VCC 0 DC 15 AC 0
V_V8 -VCC 0 DC -15 AC 0
R_R2 1 3 27k
```





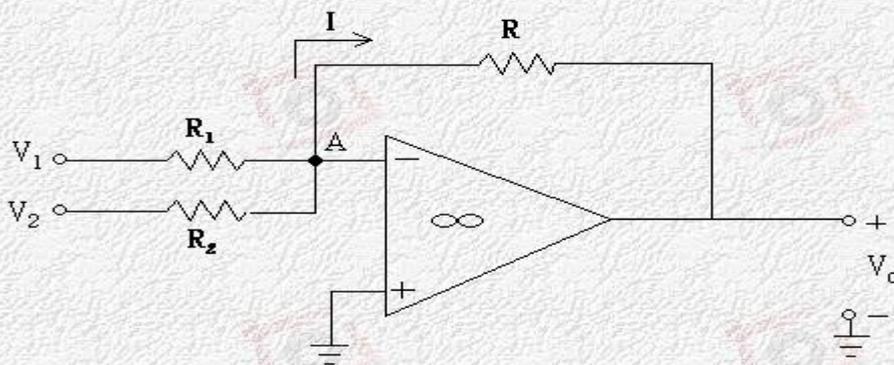
$V_s = 0.05 \sin(\omega t)$	freq = 100Hz	R = 12 k $\Omega$	gain = 5	$V_o = 0.25 \sin(\omega t)$
$V_s = 0.05 \sin(\omega t)$	freq = 100Hz	R = 27 k $\Omega$	gain = 10	$V_o = 0.5 \sin(\omega t)$

• 가산기 회로

그림 2에 보인 반전증폭기 입력단자를 한 개 더 추가한 것이 그림 5이며, 이를 가산기 회로라고 한다. 점 A에서 전류법칙(KVL)을 적용하고, 세 개의 저항치가 서로 동일한 경우를 가정하면,

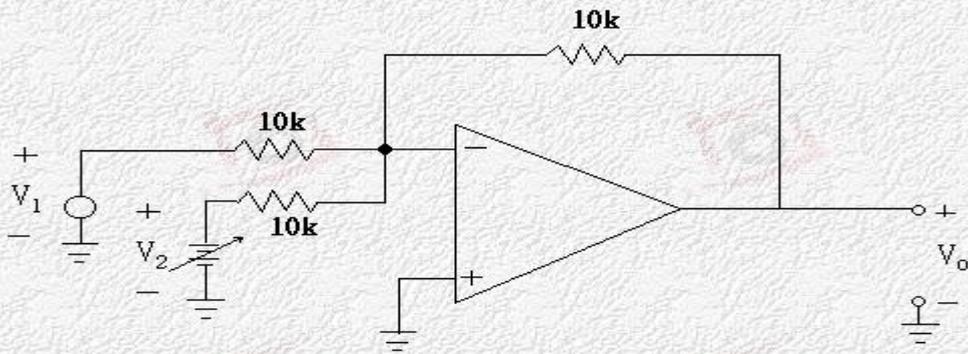
$$V_o = - ( V_1 + V_2 ) \quad (3)$$

가 얻어진다. 식 (3)을 보면, 출력전압은 두 입력전압의 합과 같다. 따라서 그림 5를 가산기 회로라고 부른다. 식 (3)은 전체 응답은 부분응답의 합과 같다는 중첩의 원리를 나타내는 식이기도 하다.



< 그림 5 >

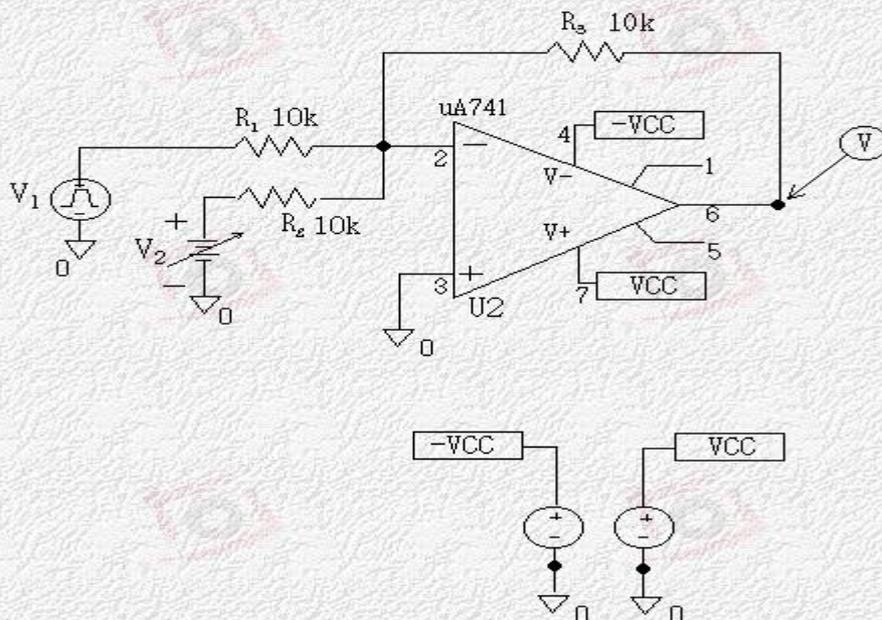
그림 6은 그림 5에 보인 가산기 회로이다. 입력  $V_1$  은 진폭이 5[V]이고 주파수가 100[Hz]인 삼각파이다. 그리고 입력  $V_2$  는 가변범위가 0[V]에서 5[V]까지인 직류 전원이다.이 때 출력전압은 식 (3)에 의해 주어진다.

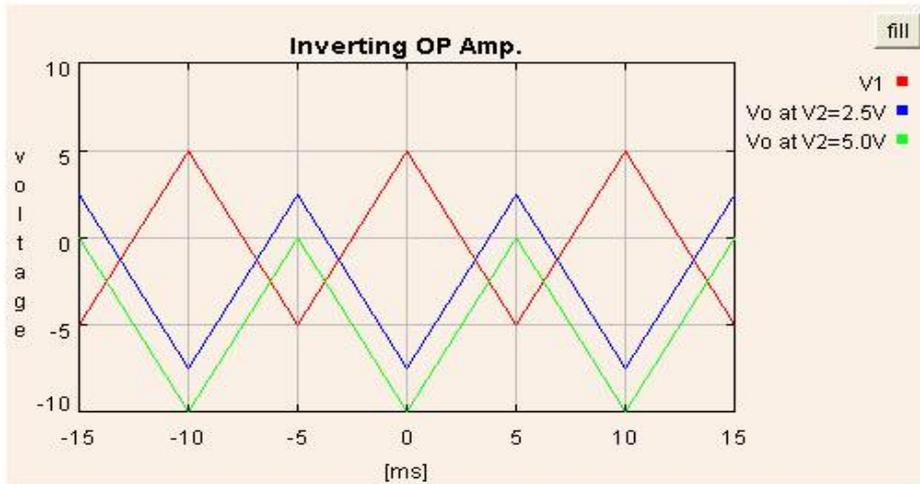


< 그림 6 >

\* Schematics Netlist \*

```
V_V1 -VCC 0 DC -15 AC 0
V_V2 VCC 0 DC 15 AC 0
X_U2 0 1 VEE VCC 2 uA741
R_R1 5 1 10k
R_R2 6 1 10k
R_R3 1 2 10k
V_V5 5 0 DC 0 AC 0
+PULSE 5 -5 0 5ms 5ms 1us 10ms
V_V4 6 0 5v
```





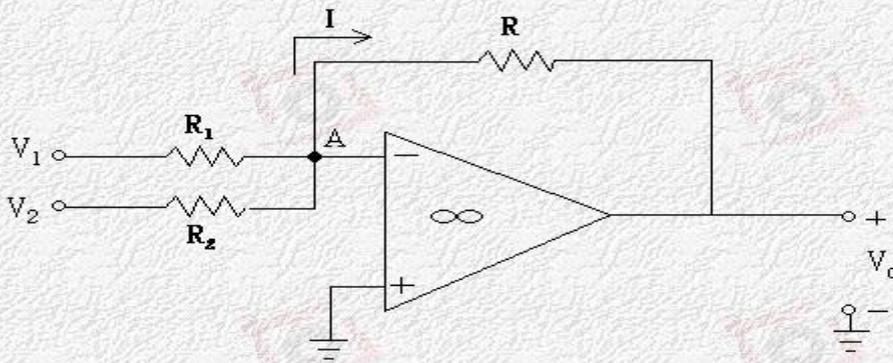
V<sub>1</sub> = 5V 삼각파      freq = 100 Hz      V<sub>2</sub> = 0V , 2.5V , 5V 가변      V<sub>o</sub> = - ( V<sub>1</sub> + V<sub>2</sub> )

• 가산기 회로

그림 2에 보인 반전증폭기 입력단자를 한 개 더 추가한 것이 그림 5이며, 이를 가산기 회로라고 한다. 점 A에서 전류법칙(KVL)을 적용하고, 세 개의 저항치가 서로 동일한 경우를 가정하면,

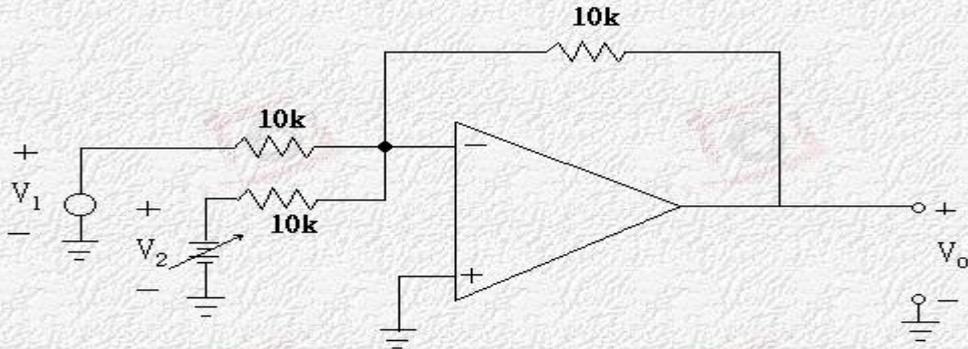
$$V_o = - ( V_1 + V_2 ) \quad (3)$$

가 얻어진다. 식 (3)을 보면, 출력전압은 두 입력전압의 합과 같다. 따라서 그림 5를 가산기 회로라고 부른다. 식 (3)은 전체 응답은 부분응답의 합과 같다는 중첩의 원리를 나타내는 식이기도 하다.



< 그림 5 >

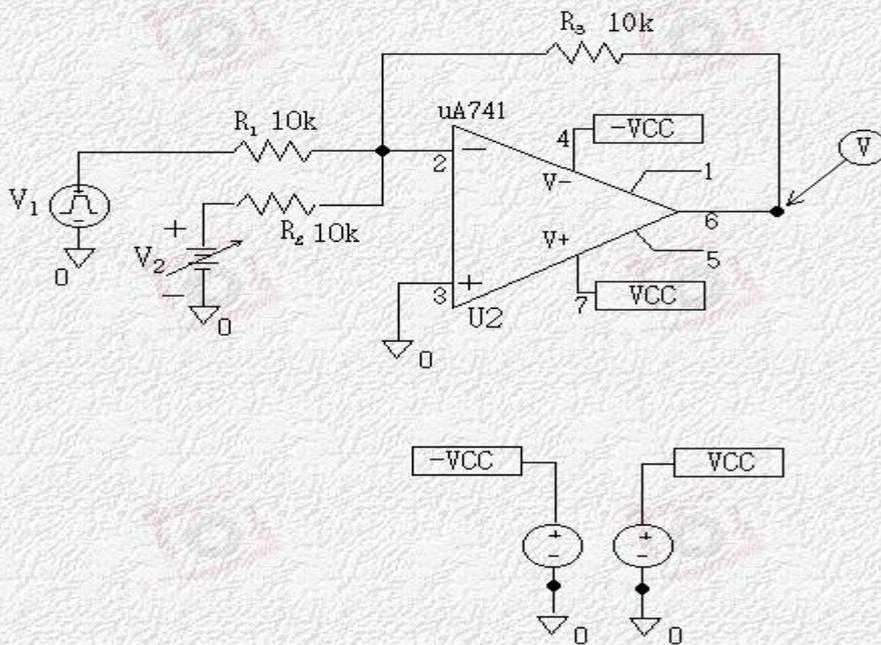
그림 6은 그림 5에 보인 가산기 회로이다. 입력  $V_1$  은 진폭이 5[V]이고 주파수가 100[Hz]인 삼각파이다. 그리고 입력  $V_2$  는 가변범위가 0[V]에서 5[V]까지인 직류 전원이다.이 때 출력전압은 식 (3)에 의해 주어진다.

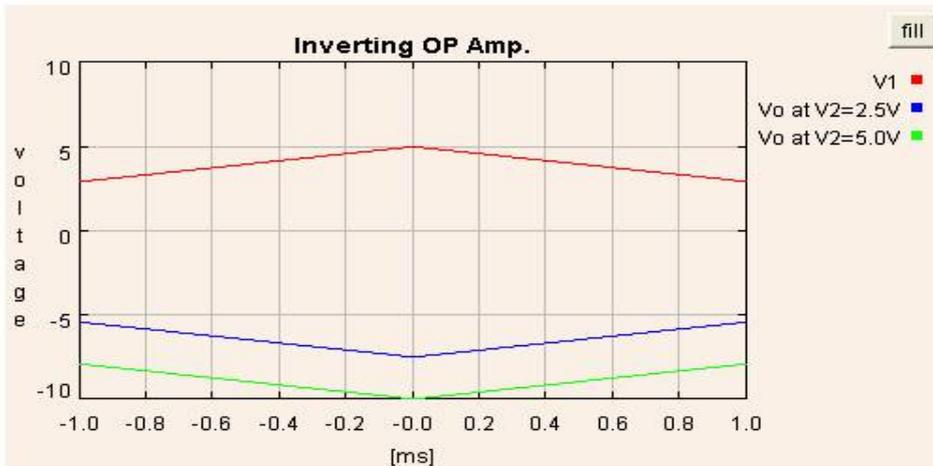


< 그림 6 >

+ Schematics Netlist +

```
V_V1 -VCC 0 DC -15 AC 0
V_V2 VCC 0 DC 15 AC 0
X_U2 0 1 VEE VCC 2 uA741
R_R1 5 1 10k
R_R2 6 1 10k
R_R3 1 2 10k
V_V5 5 0 DC 0 AC 0
+PULSE 5 -5 0 5ms 5ms 1us 10ms
V_V4 6 0 5v
```





$V_1 = 5V$  삼각파     $freq = 100\text{ Hz}$      $V_2 = 0V, 2.5V, 5V$  가변     $V_o = -(V_1 + V_2)$

입력  $V_2$  를 각각 0[V], 2.5[V], 5[V]로 가변하면서 출력전압이 변화되는 것을 관찰하기 바라고, 또한 각각의 경우에 식 (3)이 성립되는지를 조사하기 바란다. 입력  $V_2$ 의 극성이 반대가 되면 출력전압에 포함된 직류성분은 양수가 된다. 즉 극성이 감안된 입력  $V_2$ 를 가변함으로써, 교류전압과 직류전압을 중첩시킬 수가 있다. 신호발생기 중에는 오프셋 기능을 가진 경우가 있다. 이 경우 출력 오프셋 단자를 조절하면, 교류전압과 직류전압이 중첩된 전압파형을 얻게 되는데 이 원리를 보인 것이 그림 6이다.

**발진기 회로**

**• 발진 조건**

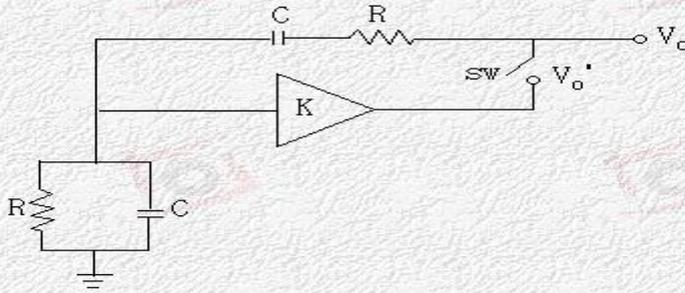
증폭기와 달리 인가된 신호가 없이, 회로 스스로 출력전압을 발생시키는 회로를 발진기라고 한다. 발진을 시키는 원리에 따라서 여러 종류의 발진기가 있지만, 연산증폭기를 이용한 경우에는 보편적으로 다음의 발진조건을 사용한 발진기가 사용된다. 주증폭기의 이득을  $A(f)$ 라고 하고, 케환회로의 케환량을  $\beta(f)$ 라고 할 때, 발진이 되기 위한 발진조건은

$$A(f) \cdot \beta(f) = 1 \tag{4}$$

로 주어진다. 이득과 케환량의 곱인  $A\beta$ 를 루프이득이라고 한다. 식 (4)를 만족하는 주파수는 한 개 일수도 있고, 두 개 이상일 수도 있다. 만약 두 개 이상의 주파수가 나올 경우에는 발진기 출력에는 기본파와 고조파의 합으로 주어진다. 그 결과 출력전압은 완전한 정현파가 되지 못하며 이는 바람직하지 않다. 그러나 주 증폭기와 케환회로가 갖는 주파수응답 특성상 두 개 이상의 주파수가 동시에 식 (4)를 만족시키기는 극히 힘들다. 그 결과 식 (4)의 발진원리하에서 발생된 발진기 출력신호는 대부분의 경우 기본파 성분만을 갖는데, 이는 매우 바람직한 결과이다.

• 윈-브리지 발진기 ( Wien-bridge oscillator )

식 (4)에 주어진 발진조건을 이용한 회로중의 하나가 윈-브리지 발진기이며, 그림7에 주어져 있다.



< 그림 7 >

그림 7에서 K는 이득이다. 이득 K를 가진 증폭기를 제외한 나머지 부분이 케환회로 이다. 그림 7에서 SW는 스위치이다.

식 (4)의 발진 조건을 만족하게 되면 전압  $V_o = V_o'$  과 같게된다. 즉 두 전압이 서로 동일 하기에 발진조건을 만족할 경우에는 스위치를 닫더라도 회로적으로 달라지는 것은 없다.

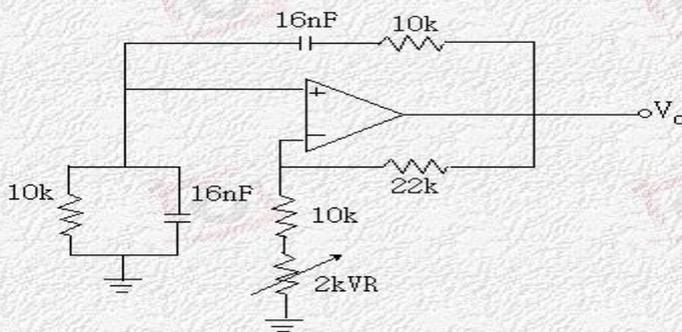
그 결과 출력에는 정현파전압이 발생된다. 그림 7로부터 다음식이 얻어진다.

$$\frac{V_o'}{V_o} = K \frac{(s/RC)}{s^2 + (3/RC)s + 1/(RC)^2} = 1 \quad (5)$$

식 (5)는 식 (4)에 주어진 발진조건을 이용한 것이다. 정상상태인 경우  $s = j\omega$  가 되고, 이를 식 (5)에 대입하여서 식을 정리하면 발진에 필요한 증폭기 이득 K와 발진 주파수  $f_0$  가 다음처럼 구해진다.

$$\begin{cases} K = 3 \\ f_0 = \frac{1}{2\pi RC} \end{cases} \quad (6)$$

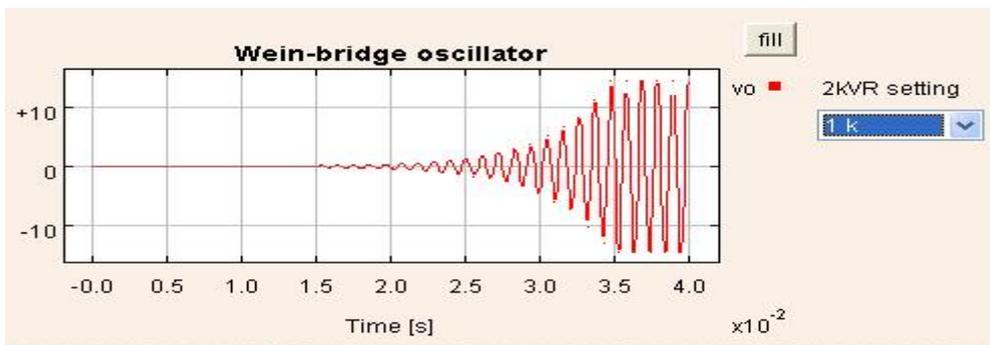
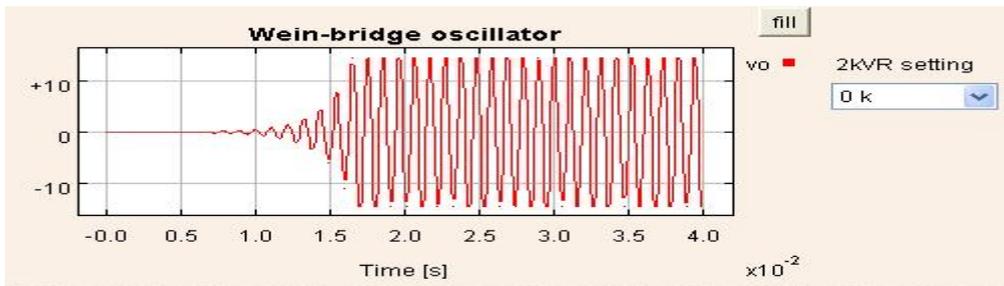
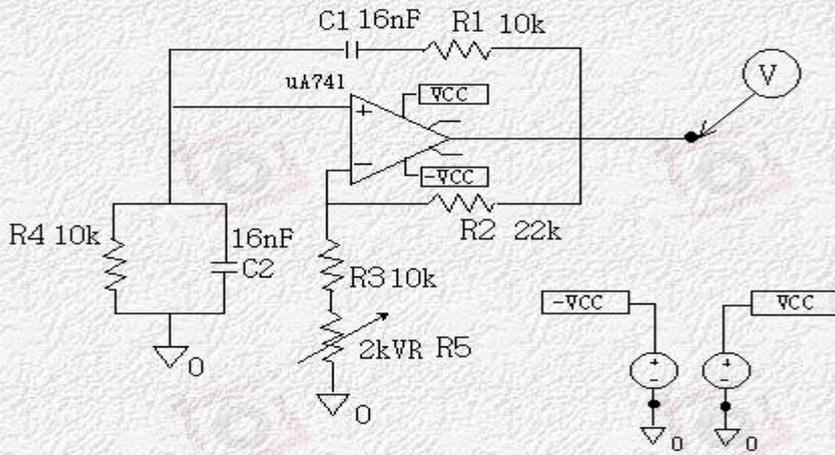
그림 8은 그림 7의 회로에다 수치를 부여한 것이다. 증폭이득 K의 구현을 위하여 그림3에 보인 비반전증폭기를 이용하였다. 회로에 보인 저항치와 용량치인 10[k $\Omega$ ]과 16[nF]을 식 (6)에 대입하면 발진주파수는 1[kHz]이다. 가변 저항인 2kVR을 각각 0[k $\Omega$ ] , 1[k $\Omega$ ] , 2[k $\Omega$ ]으로 조절하면서 발진상태를 관측하기 바란다. 참고로 가변저항 2kVR이 1[k $\Omega$ ]인 경우, 증폭기 이득 K=3이 된다.



< 그림 8 >

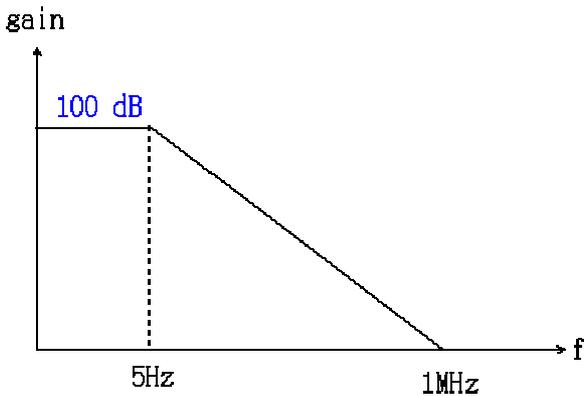
\* Schematics Netlist \*

```
R_R1 2 1 10k  
R_R4 0 3 10k  
R_R2 4 1 22k  
V_V5 -VCC 0 DC -15 AC 0  
V_V4 VCC 0 DC 15 AC 0  
X_LU1 3 4 VEE VCC 1 uA741  
R_R3 7 4 10k  
C_C2 0 3 16nF IC=0  
C_C1 3 2 16nF IC=0  
R_R6 0 7 {1k+0.5+.001}
```



## 용어해설

실제적인 연산증폭기는 이상적인 연산증폭기와는 달리 몇 가지의 제약을 받게 된다. 그 중의 하나는 유한한 증폭도와 대역폭이다. 참고로 741 연산증폭기의 경우, 직류이득은 약 100[dB]이다. 여기서 직류이득이란 5[Hz]이내의 이득을 가리킨다. 직류이득으로부터 3[dB] 낮아진 점의 3[dB] 대역폭은 5[Hz]이다. 그리고 이득이 0[dB]인 점의 대역폭은 1[MHz]이다. 이를 보인 것이 그림 9이다. 즉 그림 9는 보드 그림(Bode plot) 에 의해서 직선화된 741 연산증폭기의 주파수 응답이다.



< 그림 9 >

실제적인 연산증폭기는 유한한 이득과 대역폭이외에 다음 용어에 의해서 기술되는 동작상의 제약을 받고 있다.

- **동상모드 제거비 ( CMRR ;Common mode rejection ratio )**

연산증폭기는 차동 증폭기이다. 여기서 차동이란 차이란 의미이며, 연산증폭기의 두 입력단자에 인가된 전압의 차이만을 증폭한다는 의미이다. 즉 이상적인 연산증폭기인 경우에는 증폭기입력에 인가된 전압의 차이가 아무리 적더라도 이를 증폭해 낼 수 있다는 의미이다. 그러나 실제적인 연산증폭기는 매우 작은 차이 전압을 구분한 후에 이를 증폭해 낼 수 없다. 그리고 그 차이 전압을 구분해 내는 능력은 연산증폭기의 종류에 따라서 달라진다. 즉 인가된 두 전압의 차이를 구분해 낸 후, 이를 증폭할 수 있는 능력의 정도를 가름케 해 주는 척도가 곧 동상모드 제거비이다. 이상적인 연산증폭기의 동상모드 제거비는 무한대이다. 용어에서 동상의 의미는 두 입력신호가 공통으로가진 신호란 뜻이다. 즉 입력에 인가되는 두 신호를 표현할 때, 각각의 신호는 두 신호가 가진 공통신호와 차이신호로 표현될 수 있다. 표현된 신호 중에서 연산증폭기가 증폭해 내는 신호는 차이신호이다.

- **오프셀 전압**

연산증폭기의 두 입력단자를 서로 연결한 후, 연결된 두 단자를 접지시켰을 때 출력전압은 영이 되어야 한다. 그러나 실제적인 연산증폭기의 경우 출력에는 영이 아닌 직류전압이 나타난다. 이를 오프셀 전압이라고 한다. 입력의 한 단자에다 가상적

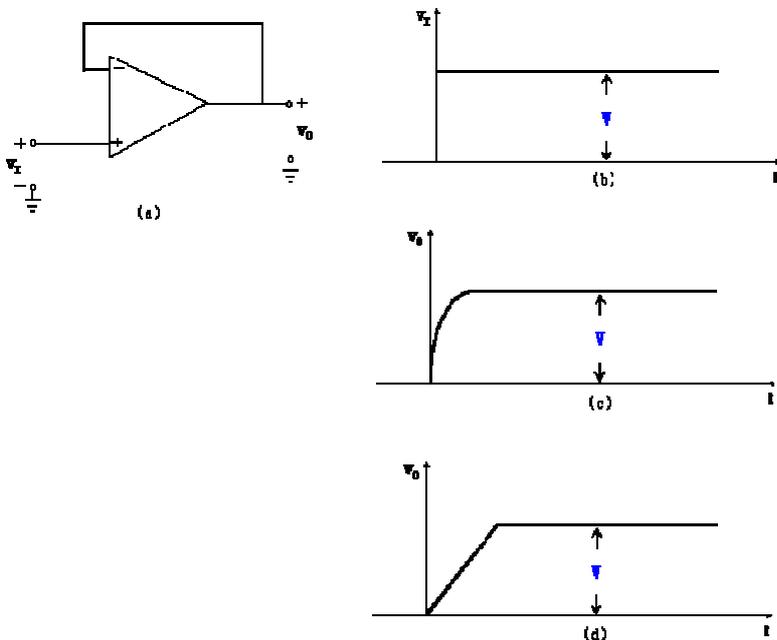
인 직류전압을 연결한 후에 그 크기를 조절하면 출력에 나타난 오프셋 전압이 영이 되게 할 수 있다. 이 때 입력에 인가한 가상 직류전압의 크기를 입력 오프셋 전압이라고 부른다. 그 크기는 약 1~5[mV]이다.

• **입력바이어스 전류**

연산증폭기의 초단은 대부분 차동증폭기로 되어 있다. 이는 BJT나 FET 소자로 구현 되어 있다. 따라서 이들 소자의 직류동작을 위한 바이어스 전류가 필요하다. 물론 BJT의 경우가 FET 보다 더 큰 직류 바이어스 전류를 필요로 한다. 여기서 차동 증폭기의 초단에 흐르는 직류의 평균치를 입력 바이어스 전류라고 하며, BJT의 경우 그 값은 약 100[nA]이다. 그리고 두 입력 바이어스 전류의 차이를 입력 오프셋 전류라고 하는데 그 값은 약 10[nA]정도 이다. 입력 오프셋 전류는 두 개 차동단의 균형의 정도를 나타내는 양이다. 즉 두 개 차동단이 완전 대칭인 경우에는 입력 오프셋 전류는 영이 되어야 한다.

• **슬루 율 ( Slew rate )**

연산증폭기의 출력단자를 반전단자에 직접 연결시키면 이는 전압이득이 1인 증폭기가 된다. 이 연결 상태하에서 비반전 입력단자에 신호를 연결한 후에 출력 전압의 시간에 따른 변화를 관측한다. 이 때 출력전압의 시간 변화율이 최대인 값을 슬루 율이라고 부른다. 무한대인 슬루 율이 이상적인 경우이다. 슬루 율에 의해서 이득이 0[dB]인 점의 대역폭이 결정된다. 그리고 이 슬루 율이 발생하는 이유는 연산증폭기 내에 들어 있는 주파수 보상용 용량에 기인된다. 연산증폭기를 사용하여 매우 낮은 이득과 매우 높은 이득을 구현할 수 있다. 이를 다른 말로 표현하면, 연산증폭기 역시 하나의 증폭기이기에 발진 가능성이 높아진다. 이를 방지하기 위하여 연산증폭기 내부에는 우성극점 보상법(dominant pole compensation)에 의한 주파수 보상용 용량을 사용해야만 한다. 그러나 용량이 가진 주파수에 따른 리액턴스의 변화로 인하여 주파수에 무관한 특성을 갖는 증폭기의 제작은 불가능하다. 이 이유로 인하여 실제의 연산증폭기는 유한한 이득-대역폭 곱을 가지게 된다.



(a)단위-이득 플로워. (b)입력 계단 파형.

(c)V가 작을 때 관측되는, 지수적으로 상승하는 출력 파형.

(d)V가 클 때 관측되는, 선형적으로 증가하는 출력 파형(이 경우, 증폭기가 슬루율에 제한된다.).

특히 슬루 율의 조사시는 출력단자를 반전단자에 연결하고, 비반전 단자에 펄스를 인가한다. 이 경우 인가된 펄스가 주파수 보상용 용량을 충전 및 방전시키기 위한 유한한 시간이 필요하며, 유한한 이 시간으로 인하여 슬루 율이 유한하게 된다.

밑의 그림에 보인 단위-이득 플로워에 대해 생각해 보면, 선형적으로 상승하는 출력 파형의 기울기를 슬루율이라고 부르며, 슬루율(SR)은, 연산 증폭기가 따라갈 수 있는 출력 전압의 최대 변화율로서

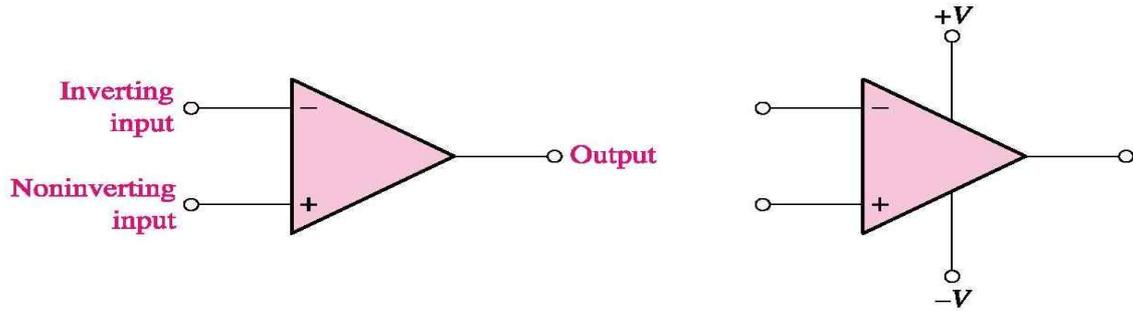
$$SR = \left. \frac{dv_o}{dt} \right|_{max}$$

로 정의된다.

# 연산증폭기

## 1. 연산증폭기의 개요

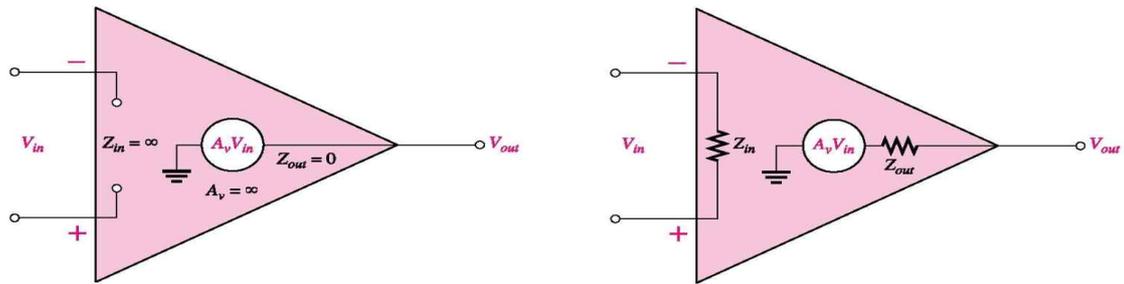
### 1) 기호와 단자



(a) 기호

(b) 직류 공급전압 연결 기호

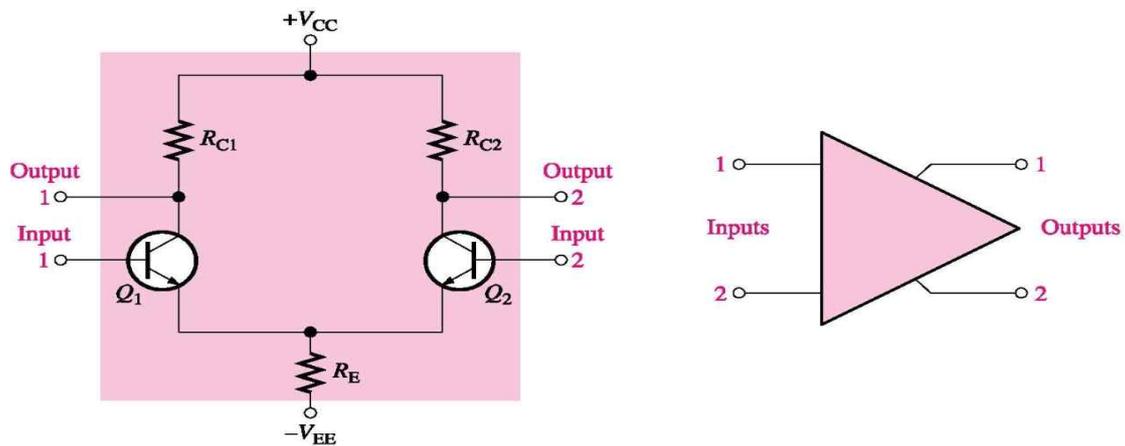
### 2) 이상적인 연산증폭기



(a) 이상적인 연산 증폭기 표현

(b) 실제 연산 증폭기 표현

### 4) 차동증폭기의 입력단

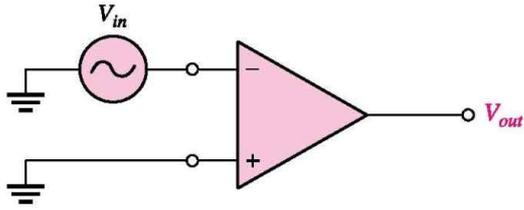


(a) 회로  $Q_{B2}$   $Q_{B1}$

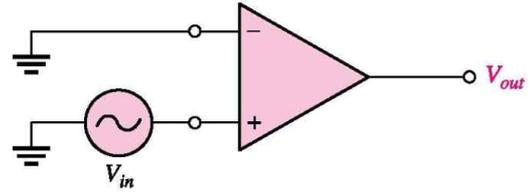
(b) 기호

## 2. 연산증폭기 입력 모드와 파라미터

### 1) 입력신호방식

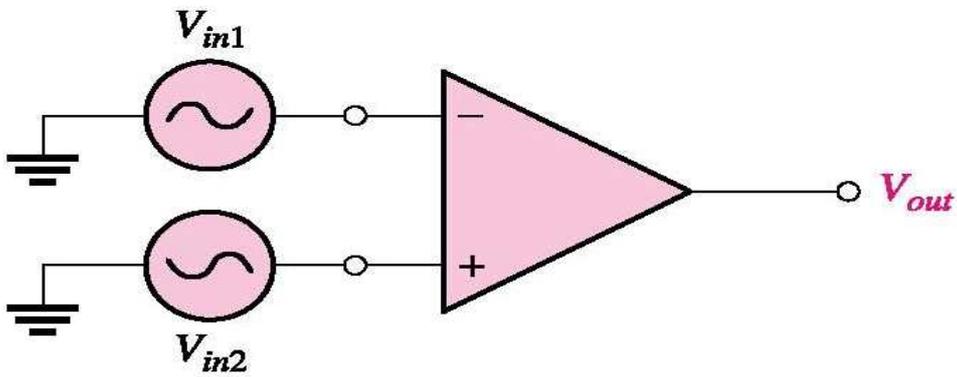


(a)

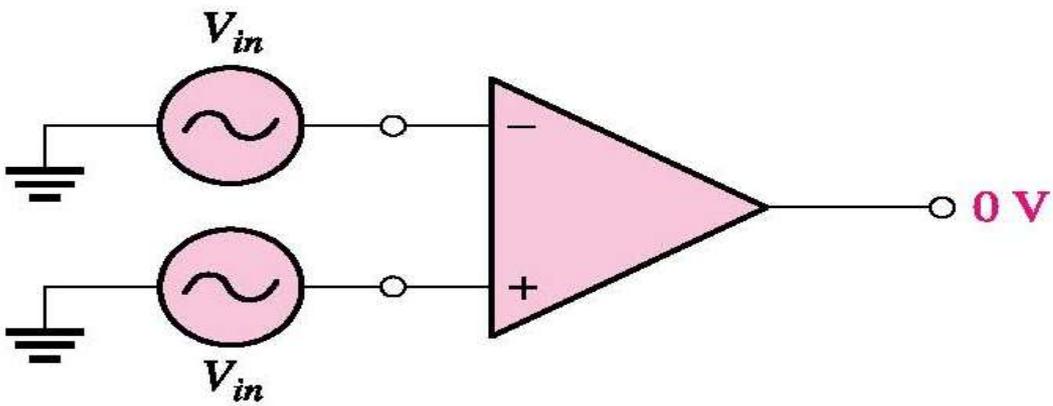


(b)

단일 입력



차동 입력



동상입력

## 2) 동상신호제거비

→ 잡음이 차동 입력에 의해서 증폭되는 방지하기 위하여 동상입력을 인가하여 잡음에 의한 출력이 나타나지 않도록 함.

$$CMRR = \frac{A_{ol}}{A_{cm}}$$

$$CMRR = 20\log \frac{A_{ol}}{A_{cm}}$$

예제12.1) 연산증폭기의 개방루프 전압이득은 100,000이고 동상이득은 0.2이다. CMRR을 계산하고 dB로 나타내라.

sol)

$$CMRR = \frac{A_{ol}}{A_{cm}} = \frac{100,000}{0.2} = 500,000$$

$$CMRR = 20\log \frac{A_{ol}}{A_{cm}} = 20\log \frac{100,000}{0.2} = 114dB$$

## 3) 동상입력전압범위

→ 입력 단자에 신호를 가하였을 때 출력이 클리핑 또는 왜곡을 초래하지 않는 입력 전압의 범위

## 4) 입력 오프셋 전압

→ 베이스와 에미터 사이의 전압이 약간 차이가 나기

때문에 입력이 "0 V"일 때 출력이 관찰된다.

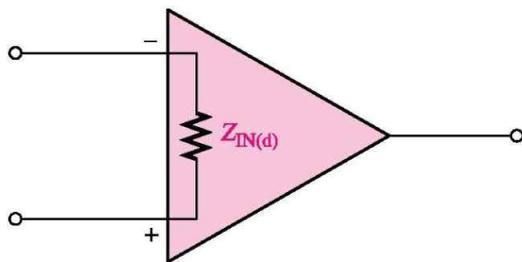
→ 출력 전압을 "0V"로 만들기 위한 반전 또는 비반전 단자에 인가하는 전압

→ 보통 2mV이하

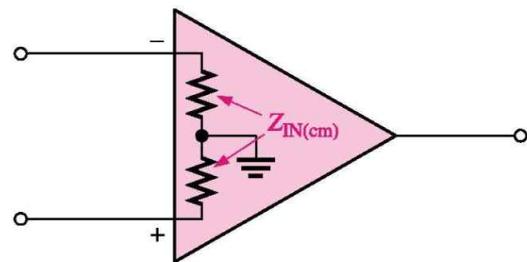
5) 입력 바이어스 전류

$$I_{BIAS} = \frac{I_1 + I_2}{2}$$

6) 입력 임피던스

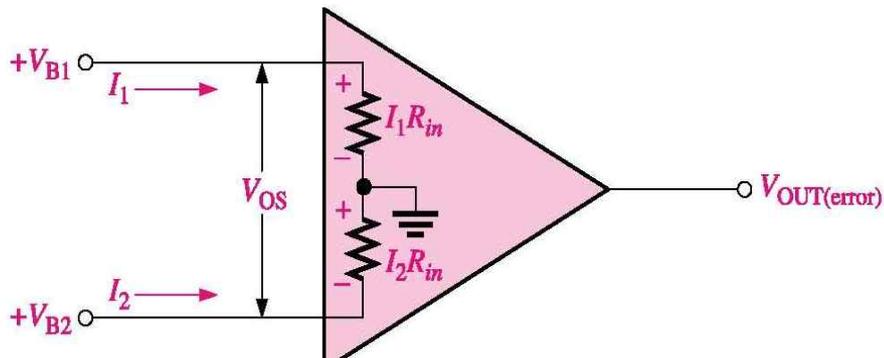


(a) 차동입력 임피던스



(b) 동상입력 임피던스

7) 입력 오프셋 전류

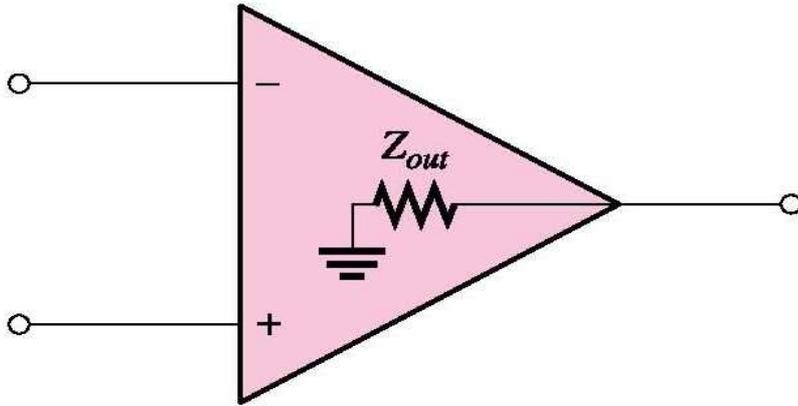


$$I_{os} = |I_1 - I_2|$$

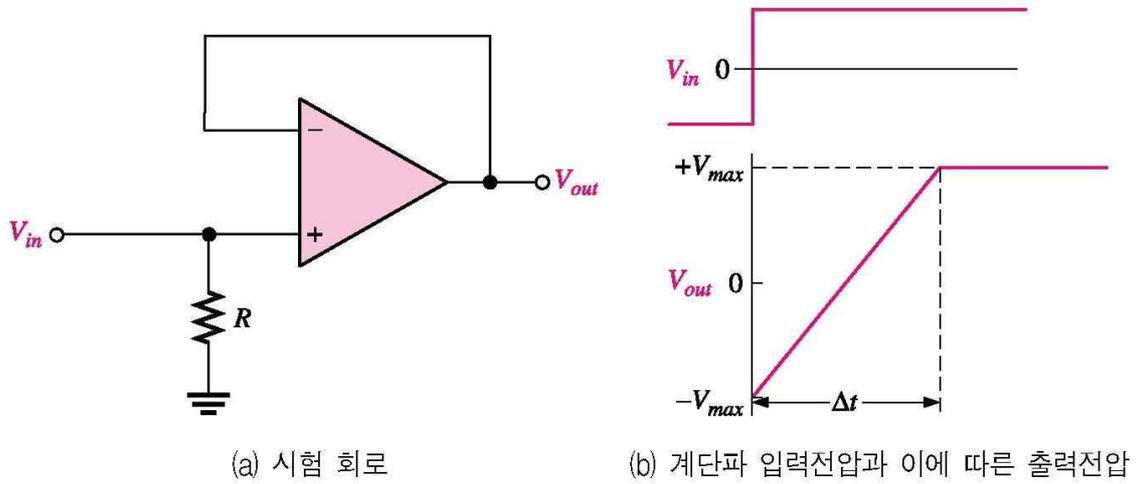
$$V_{os} = I_1 R_{\in} - I_2 R_{\in} = (I_1 - I_2) R_{\in} = I_{os} R_{\in}$$

$$V_{out} = A_v I_{os} R_{\in}$$

8) 출력 임피던스



9) 슬루레이트

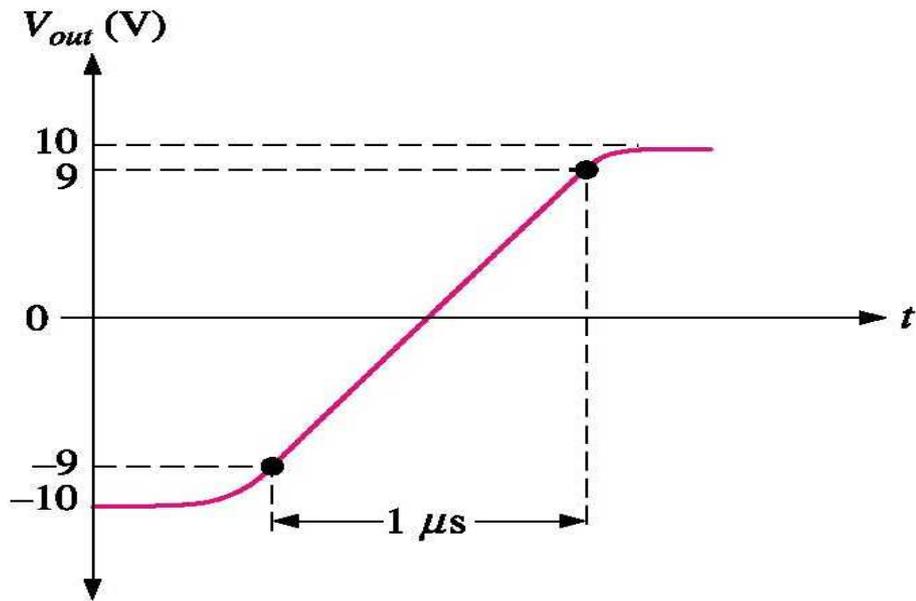


(a) 시험 회로

(b) 계단파 입력전압과 이에 따른 출력전압

$$Slew\ rate = \frac{\Delta V_{out}}{\Delta t} = \frac{+V_{max} - (-V_{max})}{\Delta t}$$

예제12.2) 계단파 입력에 대한 연산 증폭기의 출력 전압이 그림과 같을 때 슬루레이트를 계산하라.



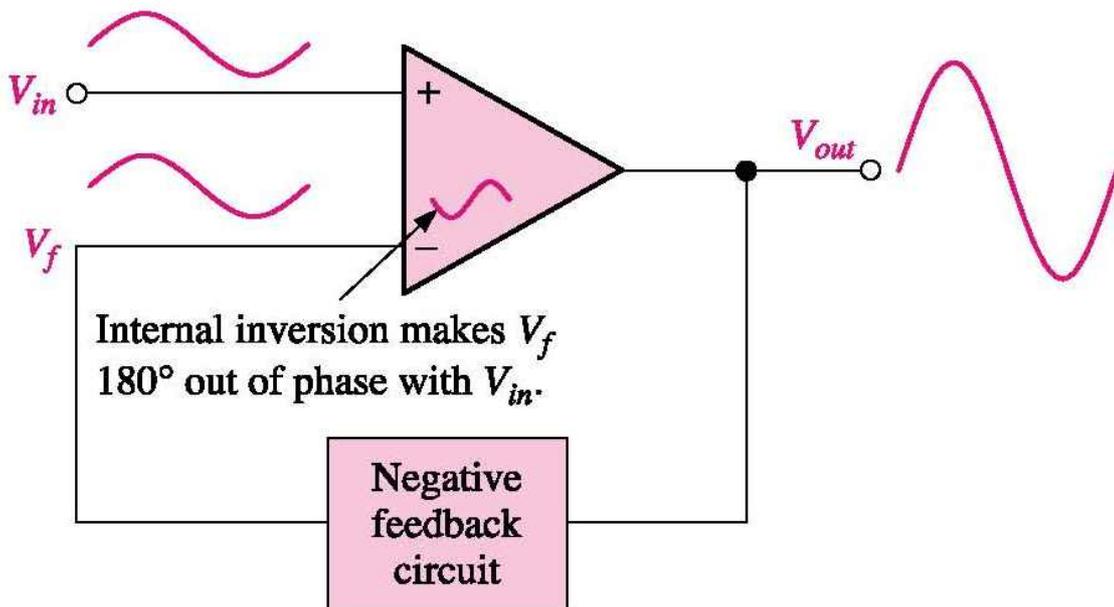
sol)

$$Slew\ rate = \frac{\Delta V_{out}}{\Delta t} = \frac{+V_{max} - (-V_{max})}{\Delta t} = \frac{9V - (-9V)}{1\mu s} = 18V/\mu s$$

### 3. 부귀환

1) 왜 부귀환을 사용하는가?

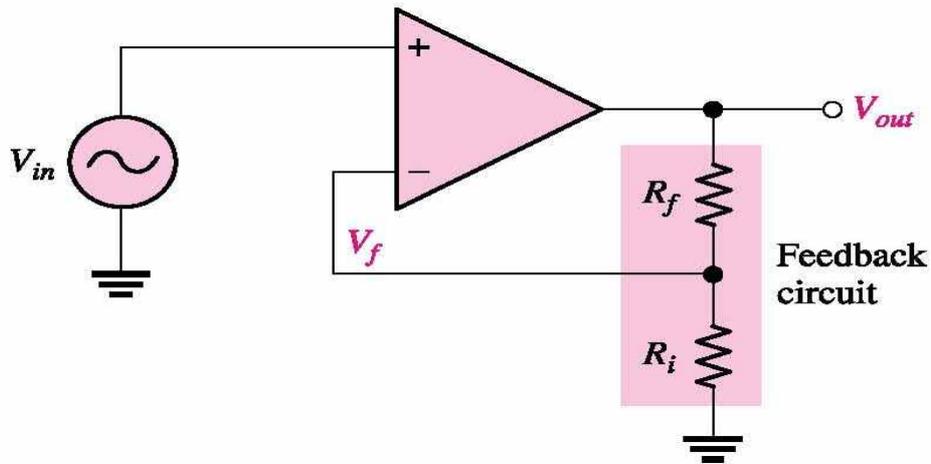
구분	전압이득	입력 임피던스	출력 임피던스	대역폭
부귀환이 없는 경우	선형 증폭기로 사용하기 위해서는 $A_{ol}$ 이 너무 크다	비교적 높음	비교적 낮음	비교적 좁음
부귀환을 사용한 경우	귀환회로에 의해 원하는 값으로 $A_{cl}$ 조절	회로의 형태에 따라 원하는 값으로 증가 감소 가능	원하는 값으로 줄일 수 있음	상당히 넓음



### 4. 부귀환을 갖는 연산증폭기의 구성

1) 페루프 전압이득  $A_{cl}$  : 외부귀환이 있을 경우의 전압 이득

## 2) 비반전 증폭기



$$V_f = \frac{R_i}{R_i + R_f} V_{out}$$

$$V_{out} = A_{ol} V_{dif} = A_{ol} (V_{in} - V_f)$$

$$\frac{R_i}{R_i + R_f} = \beta$$

$$V_{out} = A_{ol} V_{dif} = A_{ol} (V_{in} - \beta V_{out}) \quad : \quad \frac{R_i}{R_i + R_f} V_{out} = V_f = \beta V_{out}$$

$$V_{out} = A_{ol} V_{dif} = A_{ol} (V_{i.n} - \beta V_{out}) = A_{ol} V_{i.n} - A_{ol} \beta V_{out}$$

$$V_{out} + A_{ol} \beta V_{out} = A_{ol} V_{i.n}$$

$$V_{out} (1 + A_{ol} \beta) = A_{ol} V_{i.n}$$

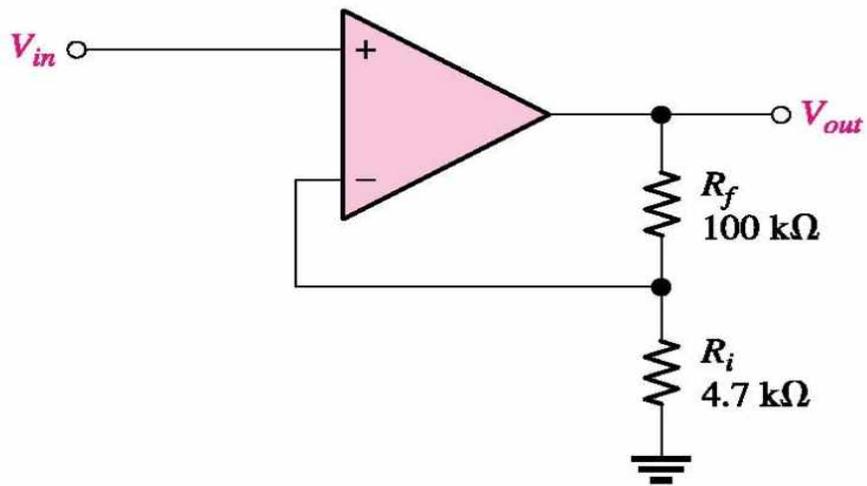
$$V_{out} = \frac{A_{ol}}{1 + A_{ol} \beta} V_{i.n}$$

$$\frac{V_{out}}{V_{i.n}} = \frac{A_{ol}}{1 + A_{ol} \beta}$$

$A_{ol} \beta \gg 1$ 이면

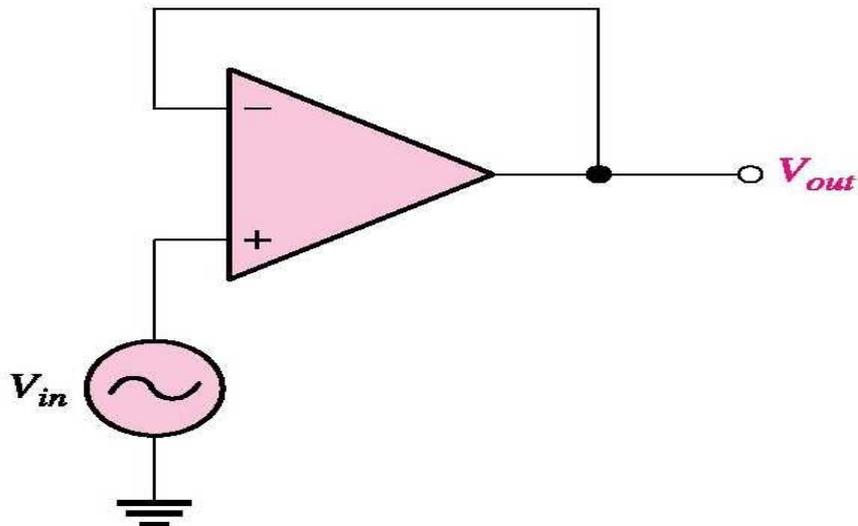
$$\frac{V_{out}}{V_{i.n}} = \frac{A_{ol}}{A_{ol} \beta} = \frac{1}{\beta} = \frac{R_i + R_f}{R_i} = 1 + \frac{R_f}{R_i} = A_{cl} (\cong)$$

예제 12.3) 증폭기의 이득을 계산하라. 이때 개방루프 이득은 100,000이다.



sol)  $A_{d(\ominus)} = 1 + \frac{R_f}{R_i} = 1 + \frac{100k\Omega}{4.7k\Omega} = 22.3$

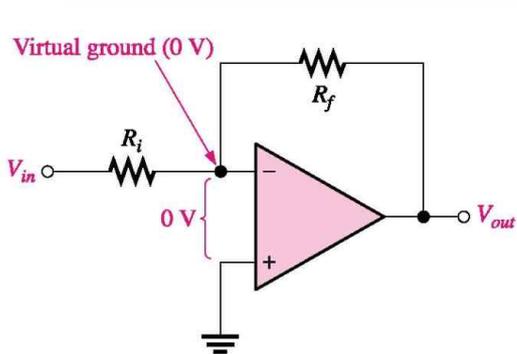
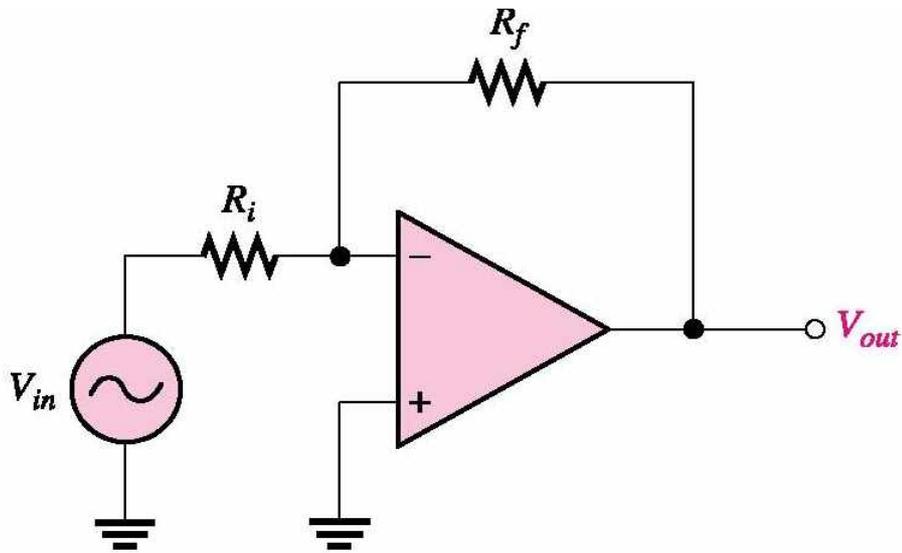
### 3) 전압플로워



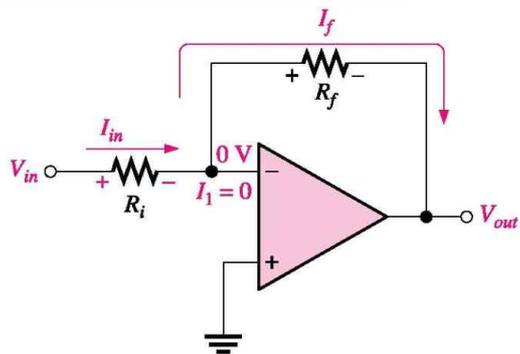
$R_i = \infty, R_f = 0$ 의 조건을 대입하면

$$A_{d(\ominus)} = 1 + \frac{R_f}{R_i} = 1$$

### 4) 반전증폭기



(a) 가상접지



(b)  $I_{IN} = I_f$  이고 따라서 반전 입력단자( $I_1$ )로 흐르는 전류는 0

→ 가상접지 : 비반전 단자의 접지는 두 입력단에 전압강하가 발생하지 않고 반전단자의 전압은 “0”이다

$$I_{i.n} = I_f$$

가상 접지에 의해

$$I_i = \frac{V_{i.n}}{R_i}$$

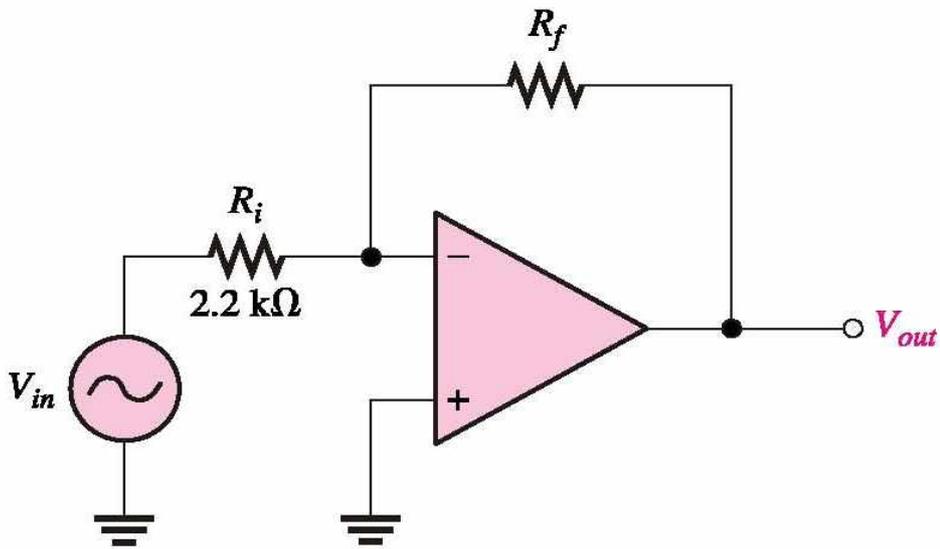
$$I_f = \frac{-V_{out}}{R_f}$$

$$I_i = I_f$$

$$\frac{-V_{out}}{R_f} = \frac{V_{i.n}}{R_i}$$

$$\frac{V_o}{V_{i.n}} = -\frac{R_f}{R_i} = A_{cl(\ominus)}$$

예제12.4) 그림과 같은 연산 증폭기 회로가 있다. 페루프 이득이 -100이 되기 위해 필요한  $R_i$ 는 얼마인가?



sol)

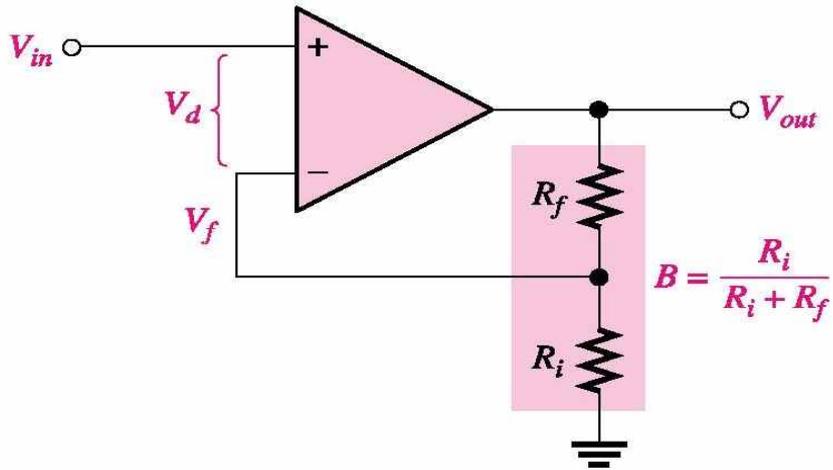
$$A_{cl(\ominus)} = -\frac{R_f}{R_i}$$

$$-100 = -\frac{R_f}{2.2k\Omega}$$

$$R_f = 100 \times 2.2k\Omega = 220k\Omega$$

## 5. 연산증폭기 임피던스에 부귀환이 미치는 영향

### 1) 비반전 증폭기의 임피던스



#### ● 입력 임피던스

$$V_{i.n} = V_d + V_f$$

$V_f = \beta V_{out}$ 로 치환하면

$$V_{i.n} = V_d + \beta V_{out}$$

$V_{out} = A_{ol} V_d$ 이므로

$$V_{i.n} = V_d + \beta A_{ol} V_d = V_d(1 + \beta A_{ol})$$

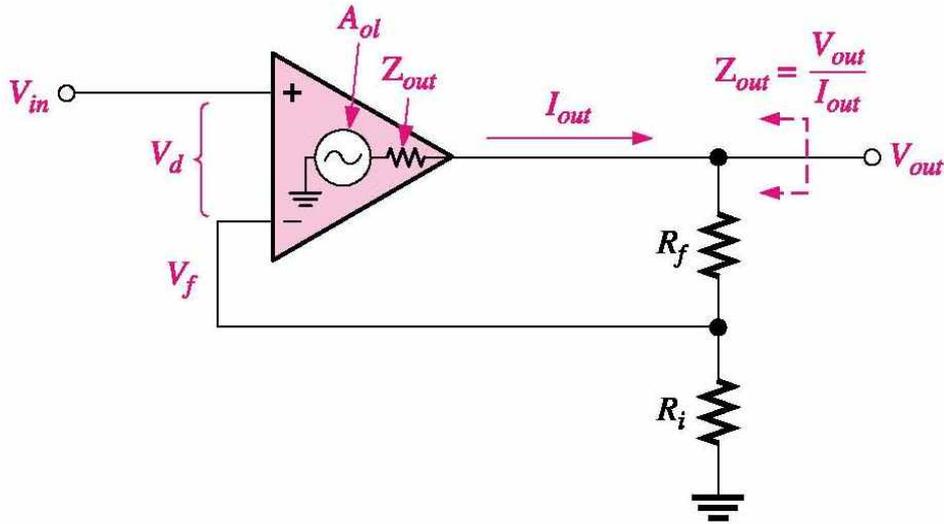
$V_d = I_i Z_i$ 이므로

$$V_{i.n} = V_d + \beta A_{ol} V_d = I_i Z_i (1 + \beta A_{ol})$$

$$\frac{V_{i.n}}{I_i} = (1 + \beta A_{ol}) Z_i = Z_{iNI}$$

: 입력 임피던스가 연산 증폭기의 내부 임피던스보다 크다

● 출력 임피던스



$$A_{ol} = \frac{V_{out}}{V_d} \text{ 이므로}$$

$$V_{out} = A_{ol} V_d = A_{ol} (V_{i.n} - V_f)$$

$$V_f = \beta V_{out} \text{로 치환하면}$$

$$V_{out} = A_{ol} V_d = A_{ol} (V_{i.n} - \beta V_{out}) = A_{ol} V_{i.n} - A_{ol} \beta V_{out}$$

$$A_{ol} V_{i.n} = V_{out} + A_{ol} \beta V_{out} = V_{out} (1 + A_{ol} \beta)$$

$$Z_{out(\infty)} = \frac{V_{out}}{I_{out}} \text{ 이므로}$$

$$V_{out} = Z_{outNI} I_{out}$$

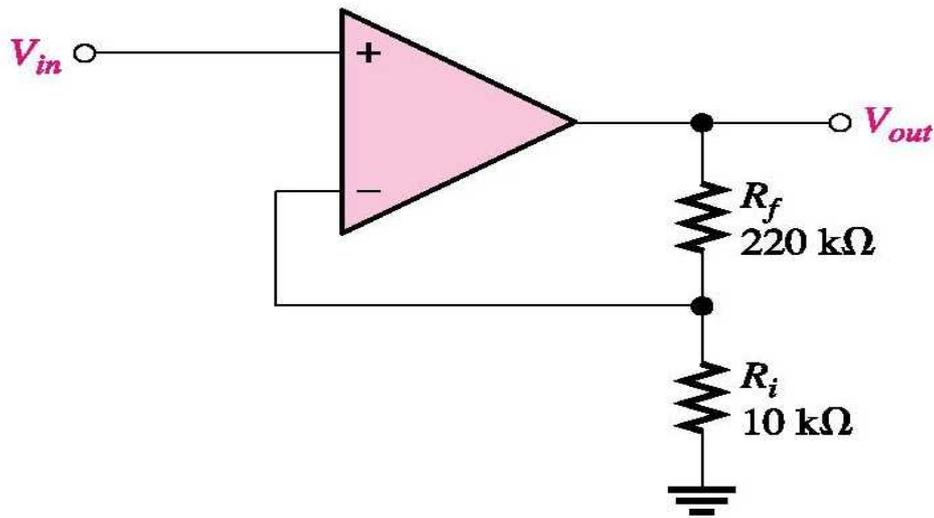
$$A_{ol} V_{i.n} = Z_{outNI} I_{out} (1 + A_{ol} \beta)$$

$$\frac{A_{ol} V_{i.n}}{I_{out}} = \frac{V_{out}}{I_{out}} = Z_{out} = Z_{outNI} (1 + A_{ol} \beta)$$

$$Z_{outNI} = \frac{Z_{out}}{1 + A_{ol} \beta}$$

: 부귀환 증폭기의 출력 임피던스가 귀환이 없는 연산 증폭기 자체의 내부 출력 임피던스보다 훨씬 작다

예제12.5) (a) 증폭기의 입출력 임피던스를 구하라. 연산증폭기의 규격표에서  $Z_i = 2M\Omega$ ,  $Z_{out} = 75\Omega$ ,  $A_{ol} = 200,000$ 이다  
 (b) 페루프 전압 이득을 구하라.



sol)

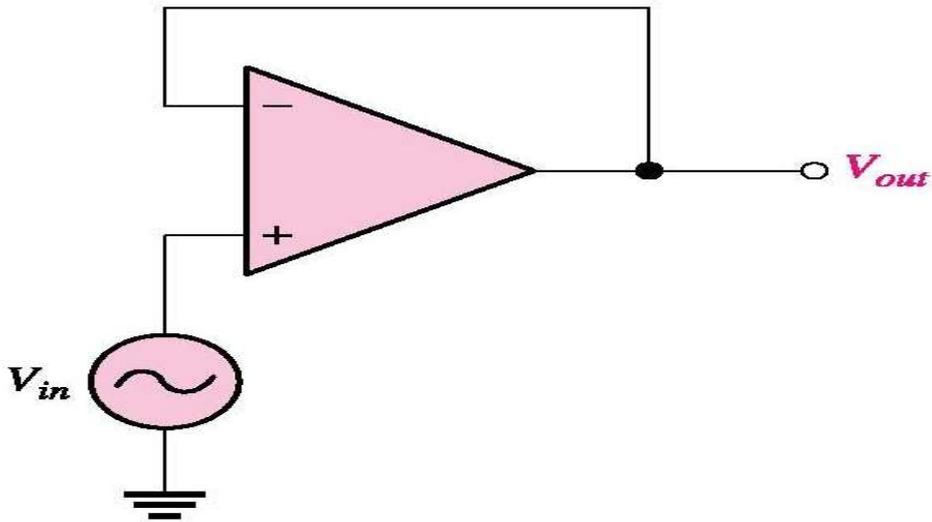
$$(a) \beta = \frac{R_i}{R_i + R_f} = \frac{10k\Omega}{220k\Omega + 10k\Omega} = 0.0435$$

$$Z_{outNI} = \frac{Z_{out}}{1 + A_{ol}\beta} = \frac{75\Omega}{1 + 200,000 \times 0.0435} = 8.6m\Omega$$

$$Z_{iNI} = (1 + \beta A_{ol})Z_i = (1 + 200,000 \times 0.0435) \times 2M\Omega = 17.4G\Omega$$

$$(b) A_{cl\ominus} = 1 + \frac{R_f}{R_i} = 1 + \frac{220k\Omega}{10k\Omega} = 23$$

## 2) 전압폴로워 임피던스



전압 폴로워는  $\beta=1$ 인 경우의 비반전 회로이므로

$Z_{iNI} = (1 + \beta A_{ol})Z_i$ 에서  $\beta=1$ 을 대입하면

$$Z_{iVF} = (1 + A_{ol})Z_i$$

$Z_{outNI} = \frac{Z_{out}}{1 + A_{ol}\beta}$ 에서  $\beta=1$ 을 대입하면

$$Z_{outVF} = \frac{Z_{out}}{1 + A_{ol}}$$

예제 12.6) 동일한 연산증폭기를 전압폴로워 회로에 사용하였다. 입출력 임피던스를 구하여라.

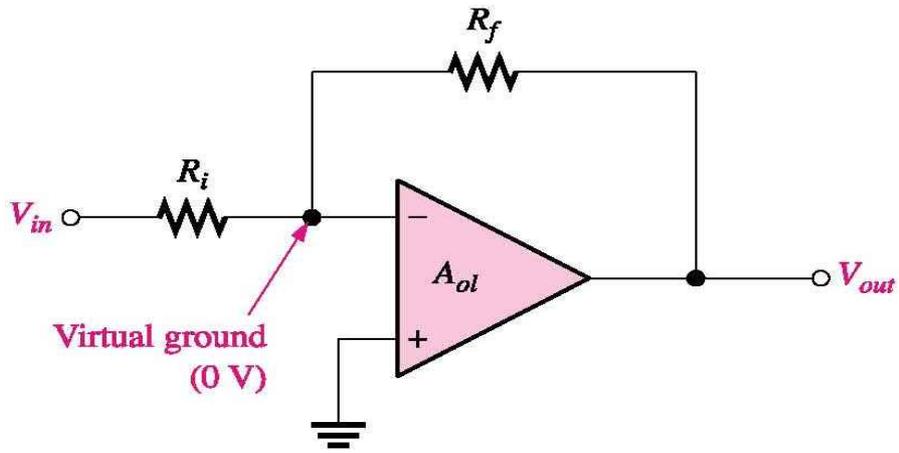
sol)

귀환율  $\beta=1$  이므로

$$Z_{iVF} = (1 + A_{ol})Z_i = (1 + 200,000) \times 2M\Omega = 400G\Omega$$

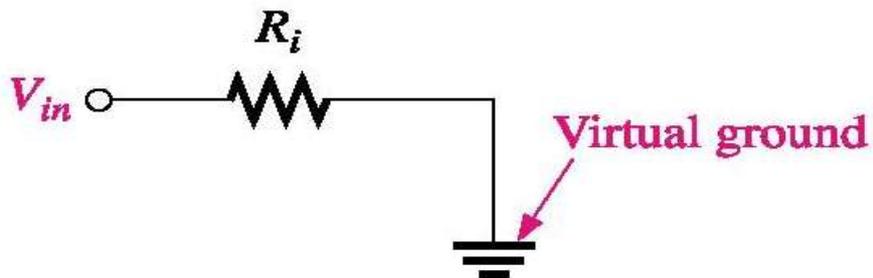
$$Z_{outVF} = \frac{Z_{out}}{1 + A_{ol}} = \frac{75\Omega}{1 + 200,000} = 375\mu\Omega$$

### 3) 반전증폭기의 임피던스



#### ● 입력 임피던스

$Z_{i(I)} \cong R_i$  : 반전입력이 가상접지(0V)와 연결되어 있기 때문에 입력의 관점에서 보면  $R_i$ 는 접지와 연결

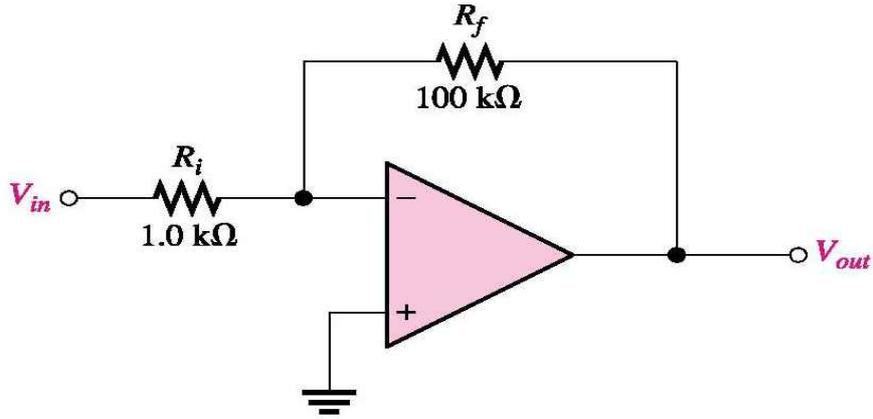


#### ● 출력 임피던스

$$Z_{out(I)} = \frac{Z_{out}}{1 + A_{ol}\beta}$$

예제12.7) 입출력 임피던스의 값을 계산하라. 또, 페루프 전압이득을 계산하라.

단, 연산증폭기는  $A_{ol} = 50,000$ ,  $Z_i = 4 M\Omega$ ,  $Z_{out} = 50\Omega$ 이다.



sol)

입력 임피던스는

$$Z_{i(I)} \cong R_i = 1k\Omega$$

출력 임피던스는

$$\beta = \frac{R_i}{R_i + R_f} = \frac{1k\Omega}{1k\Omega + 100k\Omega} = 0.001$$

$$Z_{out(I)} = \frac{Z_{out}}{1 + A_{ol}\beta} = \frac{50\Omega}{1 + (50,000)(0.001)} = 980m\Omega$$

페루프 전압이득은

$$A_{cl(I)} = -\frac{R_f}{R_i} = -\frac{100k\Omega}{1k\Omega} = -100$$

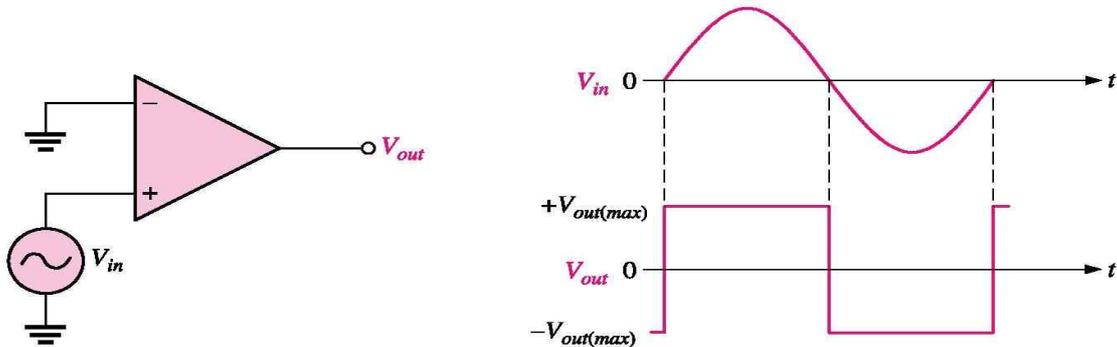
<2014. 3.27>

# 기본연산증폭기회로

## 1. 비교기

### 1) 영전위검출

→ 비교기 : 입력 전압이 어느 일정 레벨을 넘을 때 감지



$$V_{out} = A_{ol}(V_i - V_{ref})$$

:  $A_{ol}$ 이 매우 높기 때문에  $V_i - V_{ref}$ 가 조금만 변화해도  $V_{out}$ 는 포화된다.

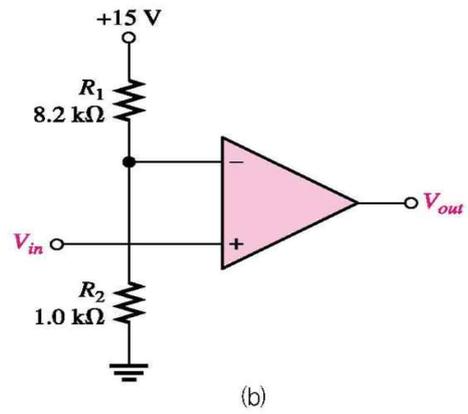
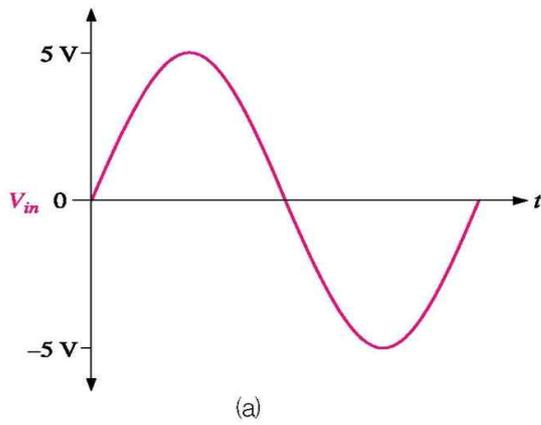
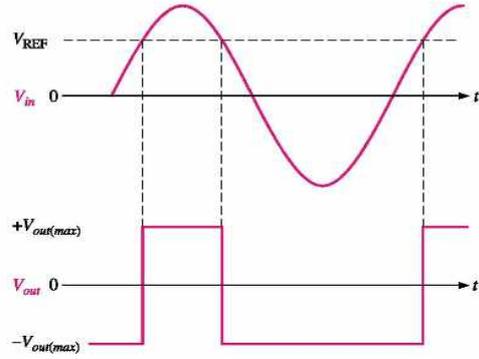
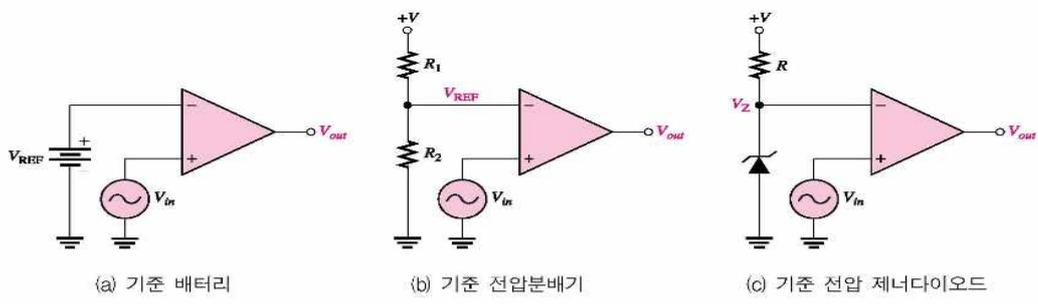
$$V_{ref} = \frac{R_2}{R_1 + R_2} V$$

### 2) 영이 아닌 전위 검출

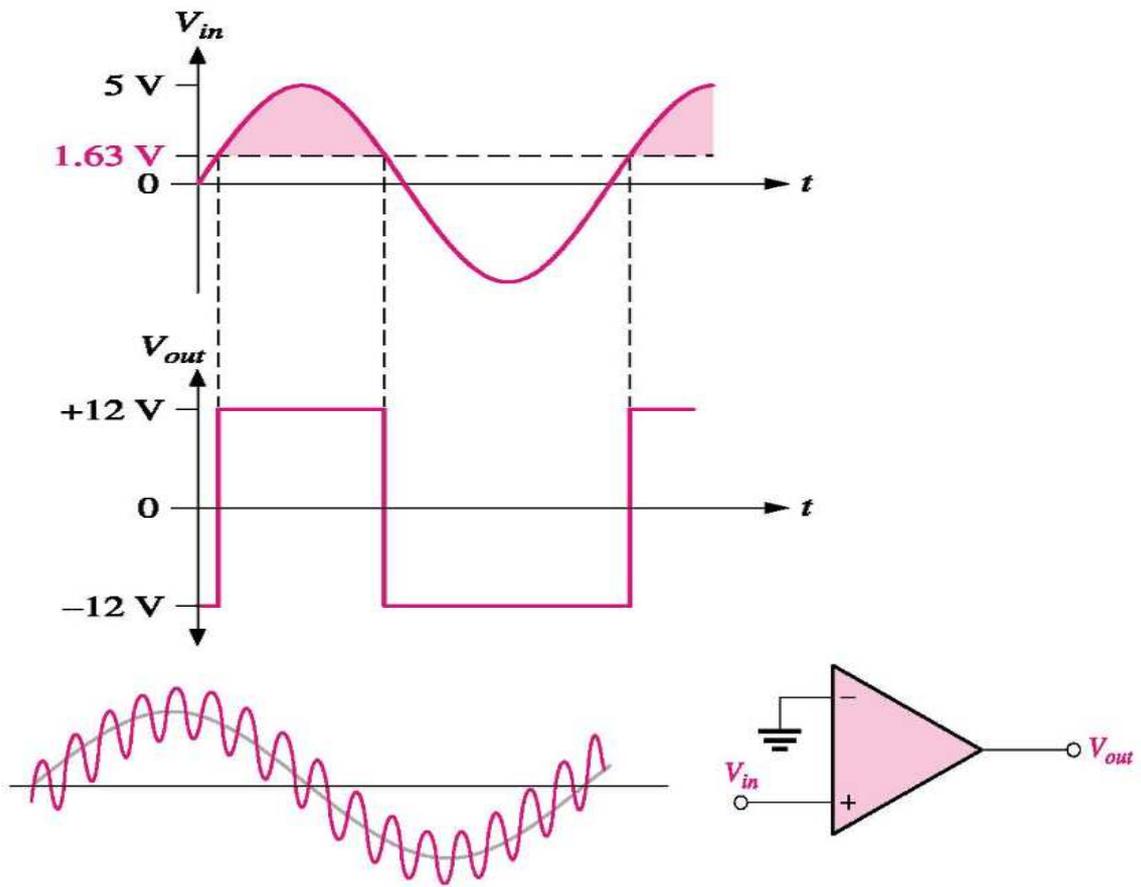
예제 13.1) 그림에서 입력에 대한 출력을 그려라. 최대출력 레벨은  $\pm 12V$ 이다

sol)

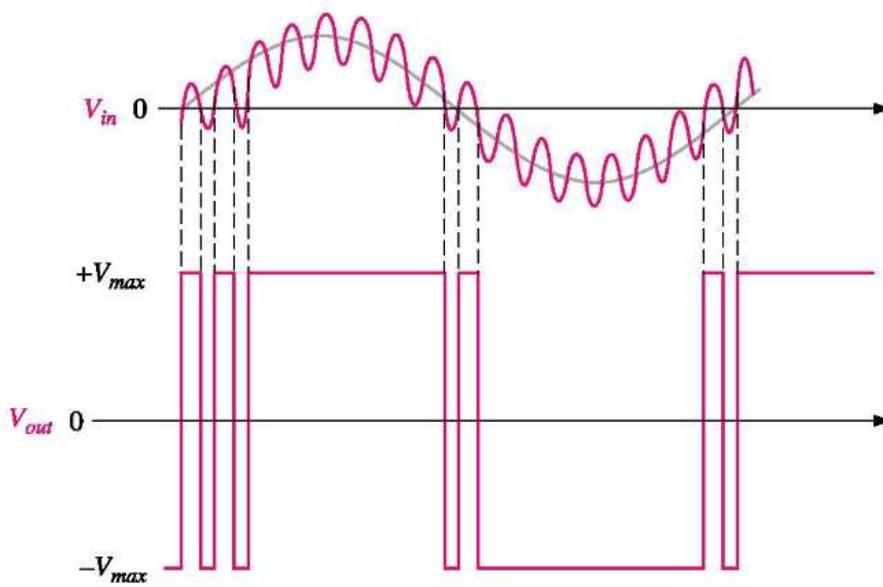
$$V_{ref} = \frac{R_2}{R_1 + R_2} V = \frac{1k\Omega}{1k\Omega + 8.2k\Omega} 15V = 1.63V$$



### 3) 비교기에서 입력 잡음의 영향

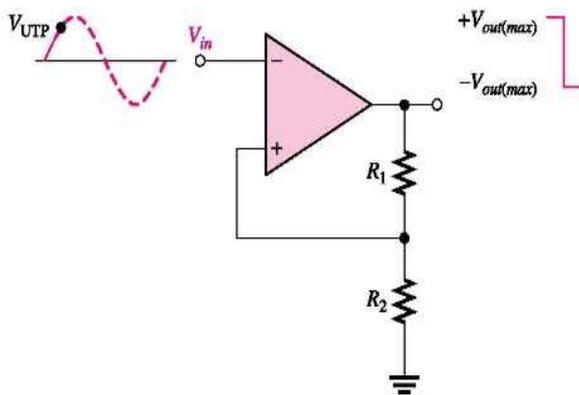
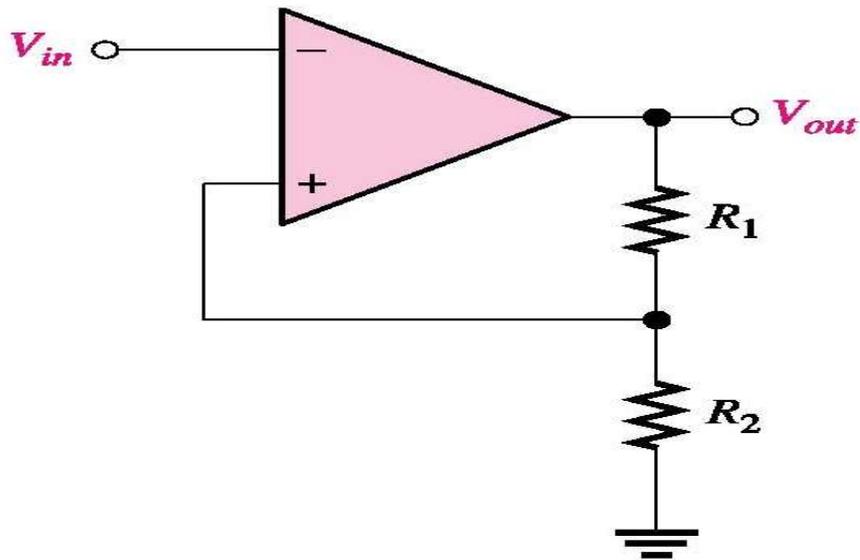


(a)

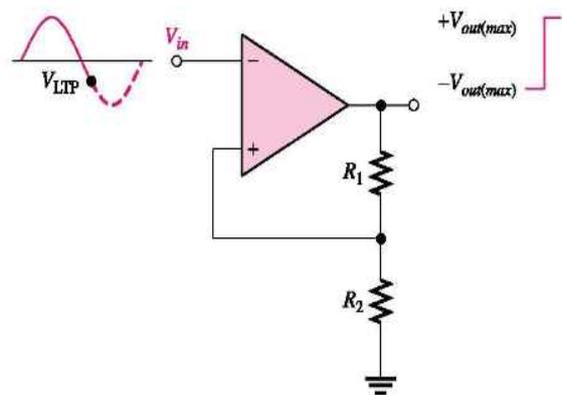


(b)

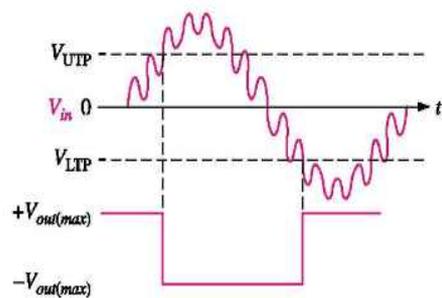
#### 4) 히스테리시스에 의한 잡음의 영향 줄이기



(a) 입력이 UTP를 지나는 순간 출력은 최대 정(+)에서 최대 부(-)의 전압으로 전환



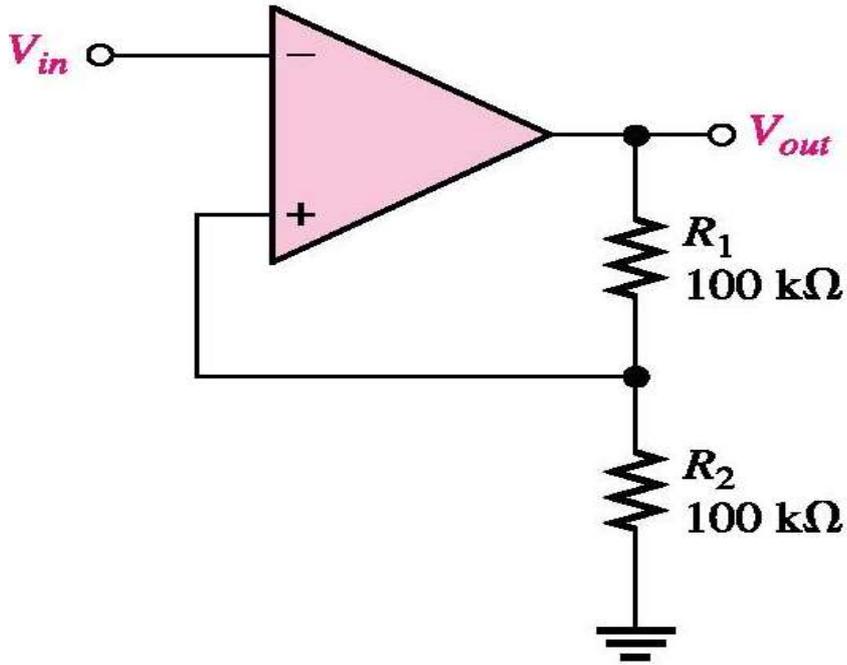
(b) 입력이 LTP를 지나는 순간 출력은 최대 부(-)에서 최대 정(+)의 전압으로 전환



(c) UTP나 LTP에 도달하면 한 번만 트리거된다.  
입력신호에 포함된 잡음의 영향은 무시할 수 있다.

예제 13.2) 비교기에 대한 UPT, LPT를 결정하라

단,  $V_{out} = 5V$ ,  $-V_{out} = -5V$



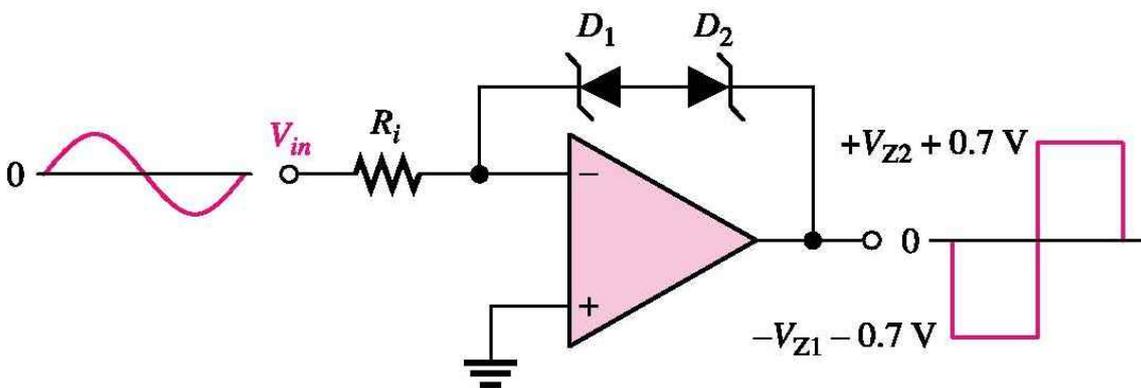
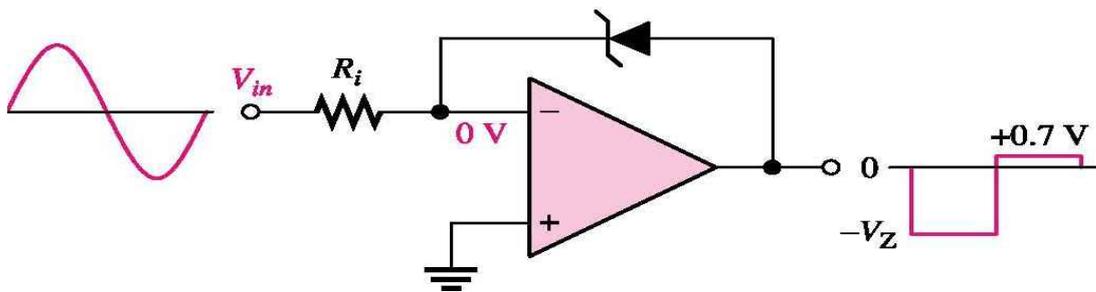
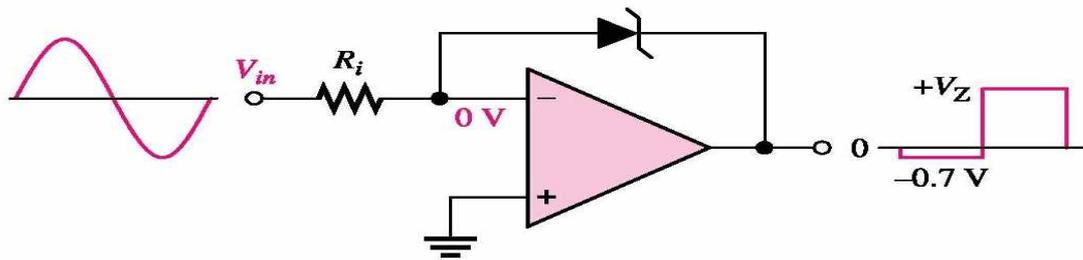
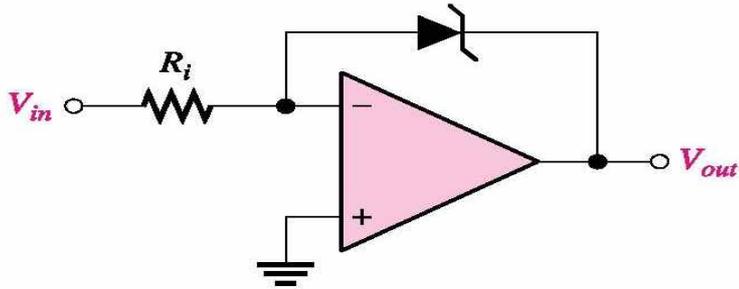
sol)

$$V_{UPT} = \frac{R_2}{R_1 + R_2} (+V) = \frac{100\text{ k}\Omega}{100\text{ k}\Omega + 100\text{ k}\Omega} 5V = 2.5V$$

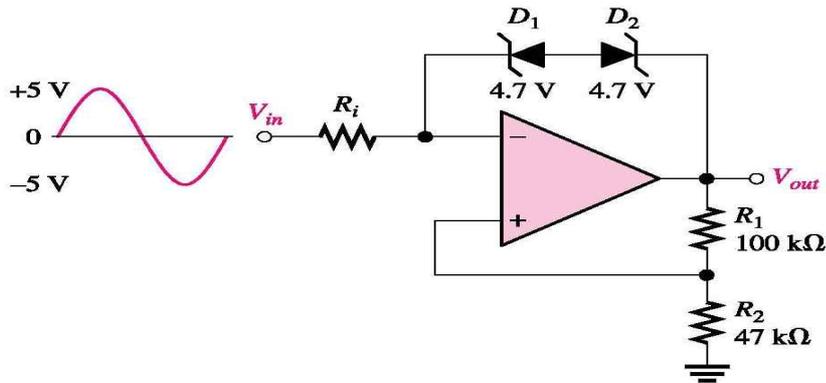
$$V_{LPT} = \frac{R_2}{R_1 + R_2} (-V) = \frac{100\text{ k}\Omega}{100\text{ k}\Omega + 100\text{ k}\Omega} (-5V) = -2.5V$$

5) 출력제한

→ 출력전압을 제너전압으로 제한



예제 13.3) 출력파형을 그려라.



sol) → 다이오드 양단의 전압은 항상 5.4V

$$(D_1 = 4.7V \ D_2 = 0.7V, \ D_1 = 0.7V \ D_2 = 4.7V)$$

$$V_{R1} = V_{out} - (V_{out} \pm 5.4V)$$

$$I_{R1} = \frac{V_{R1}}{R_1} = \frac{\pm 5.4V}{100k\Omega} = \pm 54\mu A$$

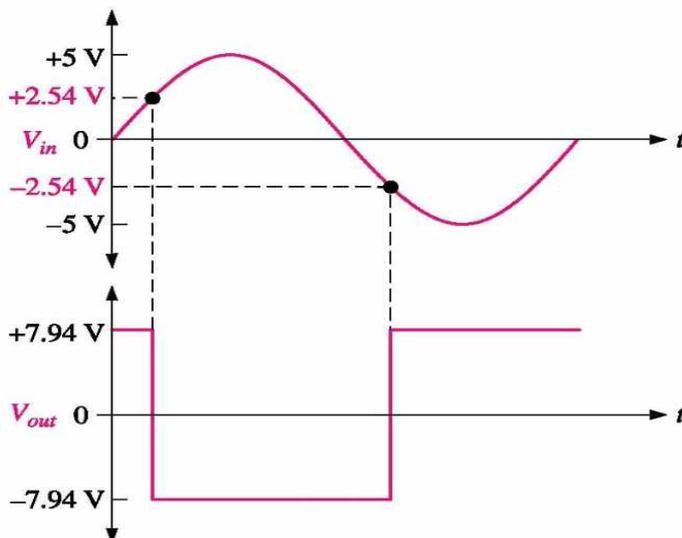
비반전 입력의 전류를 무시하면  $I_{R1} = I_{R2}$

$$V_{R2} = R_2 I_{R2} = (47k\Omega)(\pm 54\mu A) = \pm 2.54V$$

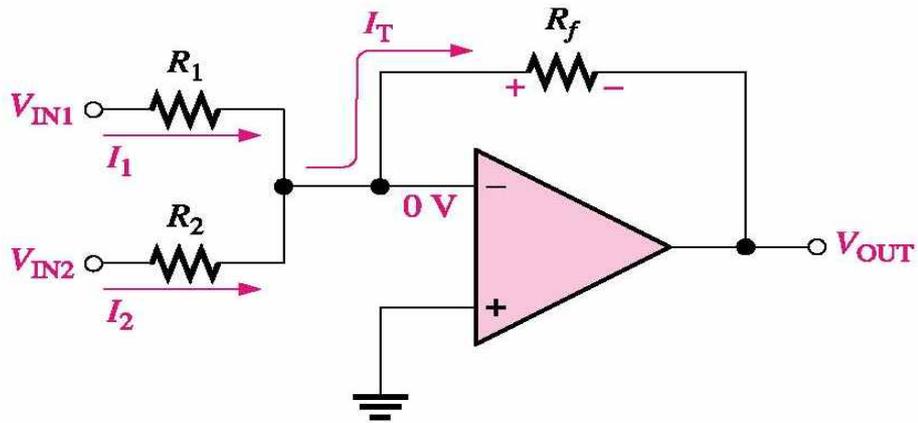
$$V_{out} = V_{R1} + V_{R2} = \pm 5.4V \pm 2.54V = \pm 7.94V$$

$$V_{UPT} = \frac{R_2}{R_1 + R_2} (+V) = \frac{47k\Omega}{100k\Omega + 47k\Omega} 7.94V = 2.54V$$

$$V_{LPT} = \frac{R_2}{R_1 + R_2} (-V) = \frac{47k\Omega}{100k\Omega + 47k\Omega} (-7.94V) = -2.54V$$



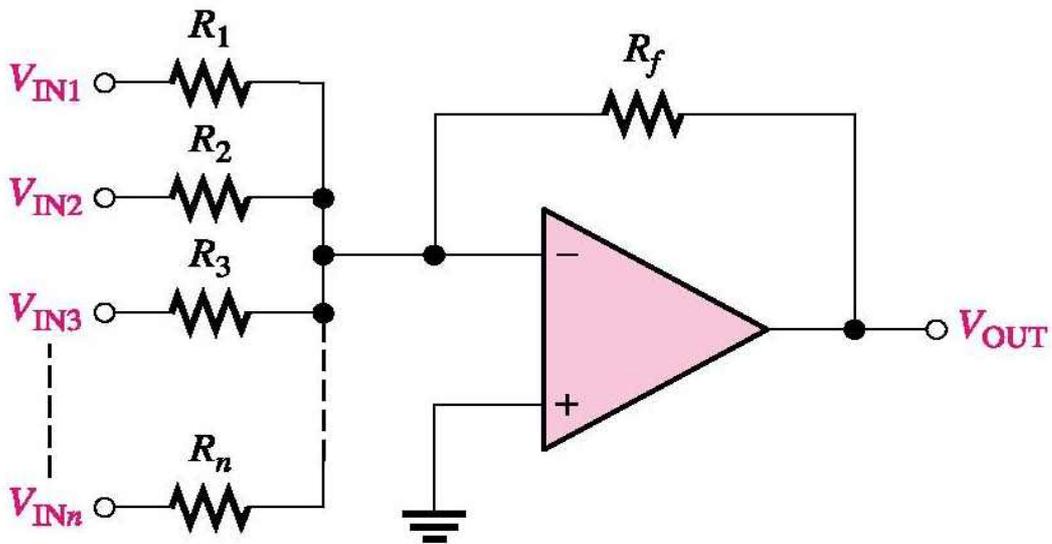
## 2. 가산증폭기



$$I_T = I_1 + I_2$$

$$V_{out} = -I_T R_f$$

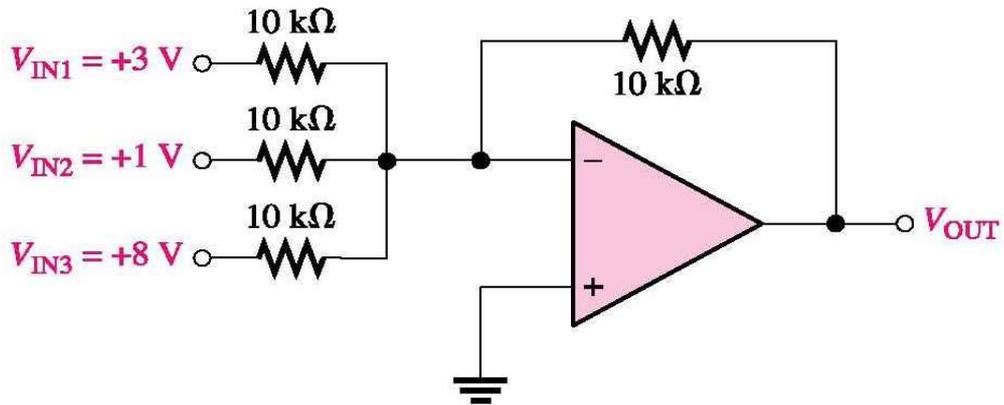
$$V_{out} = -(I_1 + I_2)R_f = -\left(\frac{V_1}{R_1} + \frac{V_2}{R_2}\right)R_f$$



$$R_1 = R_2 = R_f = R \text{ 이면}$$

$$V_{out} = -(V_1 + V_2)$$

예제 13.5) 출력을 구하라



sol)

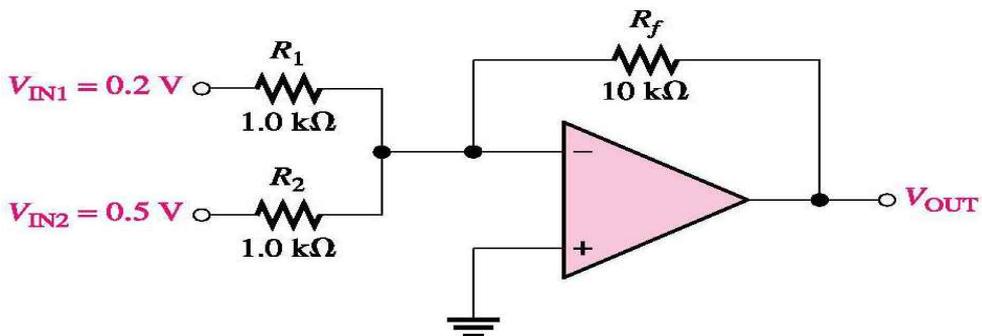
$$V_{out} = -(V_1 + V_2 + V_3) = -(3\text{ V} + 1\text{ V} + 8\text{ V}) = -12\text{ V}$$

2) 1보다 큰 이득을 갖는 가산기

→  $R_f$ 가 입력 저항보다 큰 경우

$$V_{out} = -(I_1 + I_2)R_f = -\left(\frac{V_1}{R_1} + \frac{V_2}{R_2}\right)R_f = -\left(\frac{V_1}{R} + \frac{V_2}{R}\right)R_f = -(V_1 + V_2)\frac{R_f}{R}$$

예제 13.6) 출력을 구하라



sol)

$$V_{out} = -(V_1 + V_2)\frac{R_f}{R} = -\frac{10\text{ k}\Omega}{1\text{ k}\Omega}(0.2\text{ V} + 0.5\text{ V})$$

### 3) 평균가산기

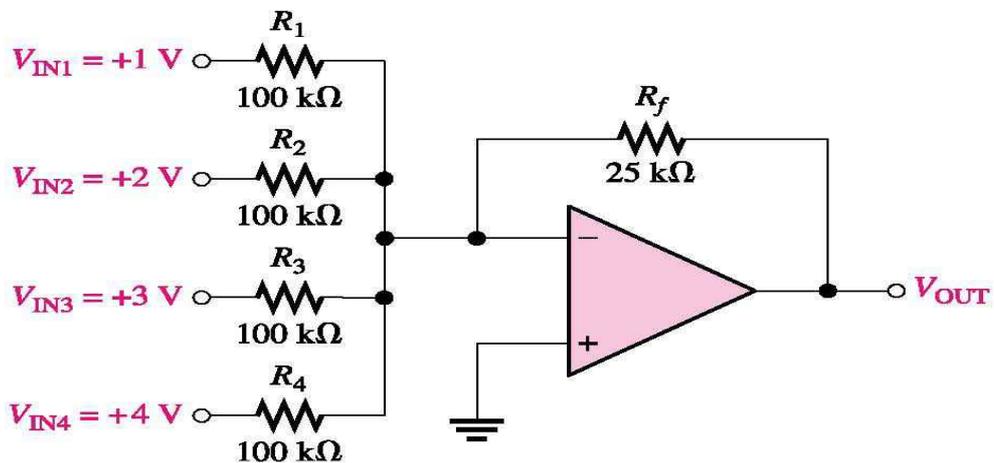
→ 입력단자의 수

$$n = \frac{R}{R_f}$$

→ 평균값

$$\frac{1}{n} = \frac{R_f}{R}$$

예제 13.7) 출력이 입력 전압의 평균값이 됨을 보여라.



sol)

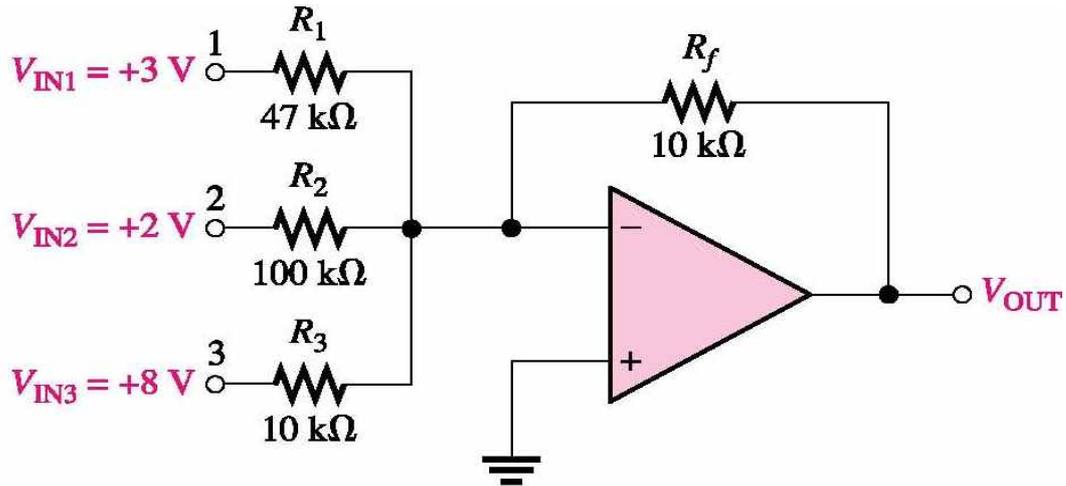
$$V_{out} = -(V_1 + V_2 + V_3 + V_4) \frac{R_f}{R} = -\frac{25k\Omega}{100k\Omega} (1V + 2V + 3V + 4V) = -2.5V$$

$$V_{i(avr)} = \frac{(1V + 2V + 3V + 4V)}{4} = 2.5V$$

#### 4) 스케일링 가산기

→ 입력 저항값을 조절하여 출력 제어

예제 13.8) 스케일링 가산기에 대한 입력 전압의 가중치는?



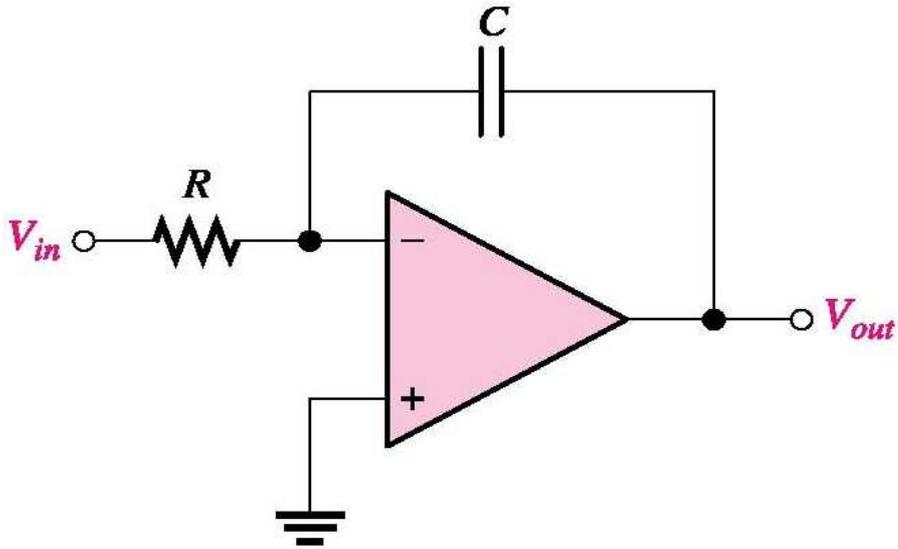
sol)

$$V_{out} = - \left( \frac{R_f}{R_1} V_1 + \frac{R_f}{R_2} V_2 + \frac{R_f}{R_3} V_3 \right)$$

$$V_{out} = - \left( \frac{10k\Omega}{47k\Omega} 3V + \frac{10k\Omega}{100k\Omega} 2V + \frac{10k\Omega}{10k\Omega} 8V \right) = -8.84V$$

### 3. 적분기와 미분기

#### 1) 연산증폭기 적분기



$$Q = I_c \times t$$

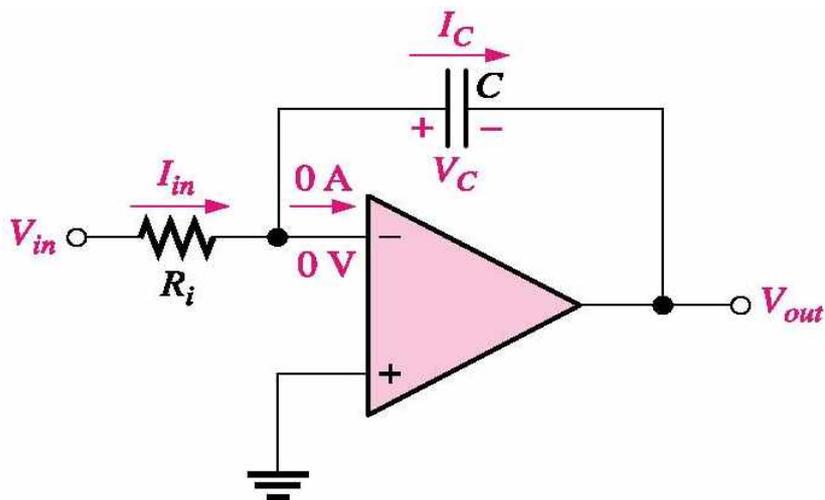
$$Q = CV_c$$

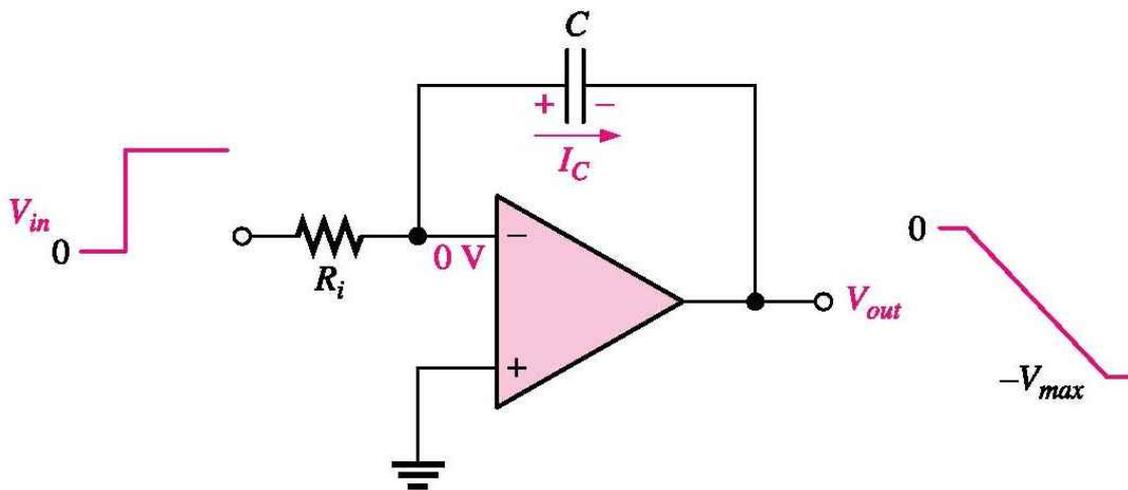
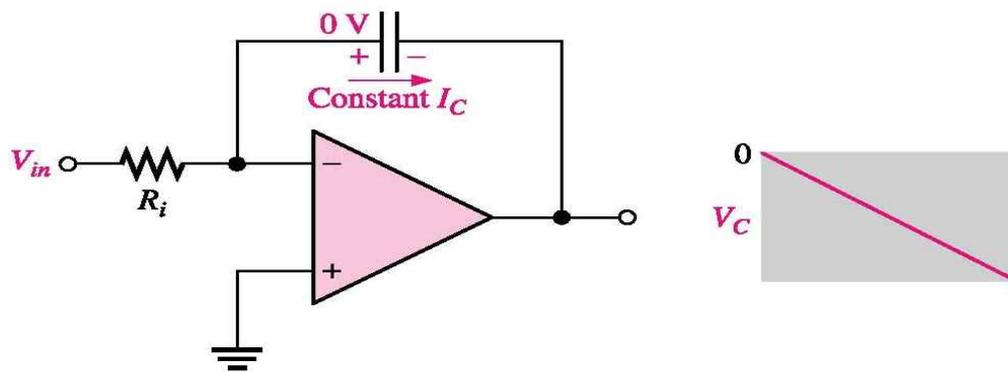
$$V_c = \left(\frac{I_c}{C}\right)t$$

$$I_i = \frac{V_i}{R_i}$$

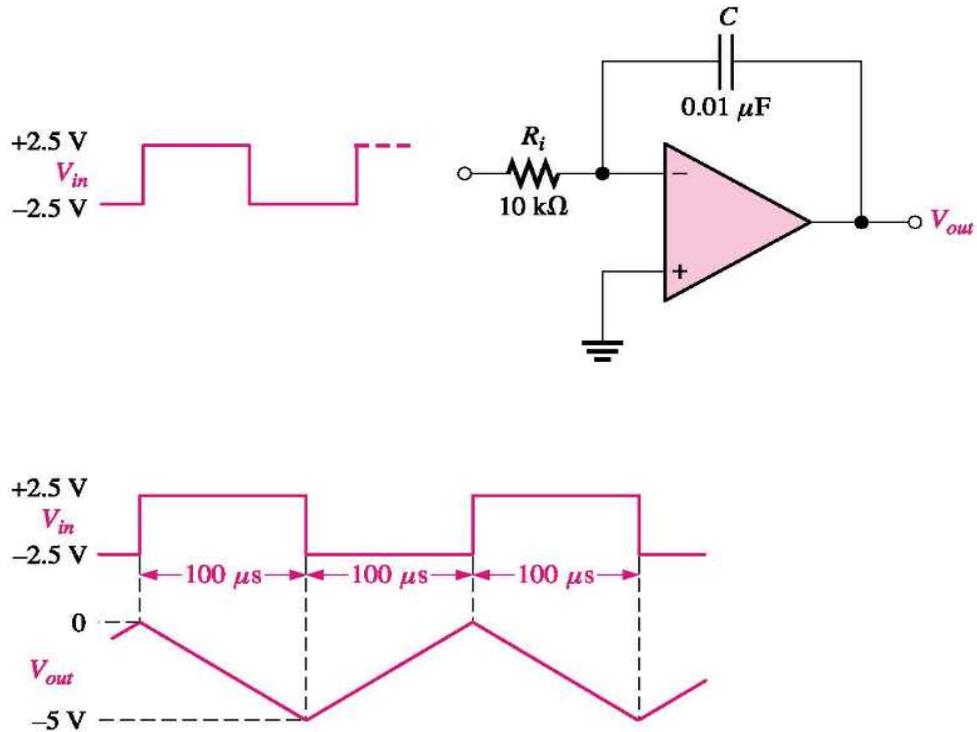
$$I_c = I_i$$

$$\frac{\Delta V_{out}}{\Delta t} = -\frac{V_i}{R_i C}$$





예제13.10) (a) 적분기에 단일 펄스입력에 대한 출력의 변화율을 구하라. 출력 초기의 전압은 “0”이고 펄스폭은  $100\mu s$ 이다.  
 (b) 출력 초기 상태를 설명하고 파형을 그려라.



sol) (a) 입력 펄스가 +일 때의 출력 변화율은

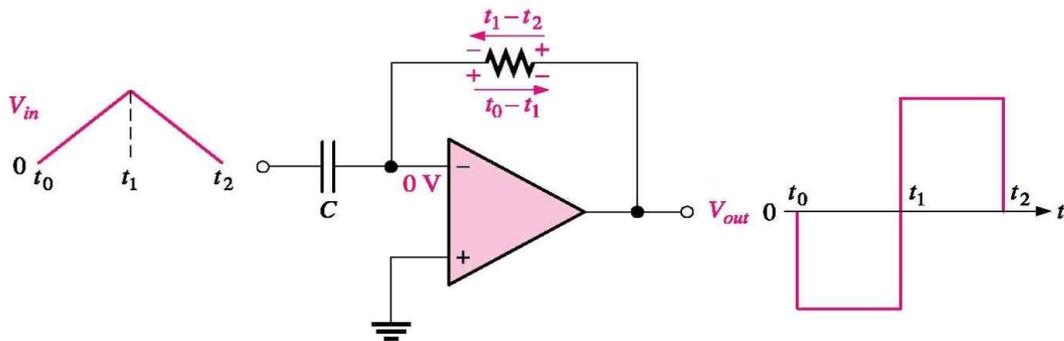
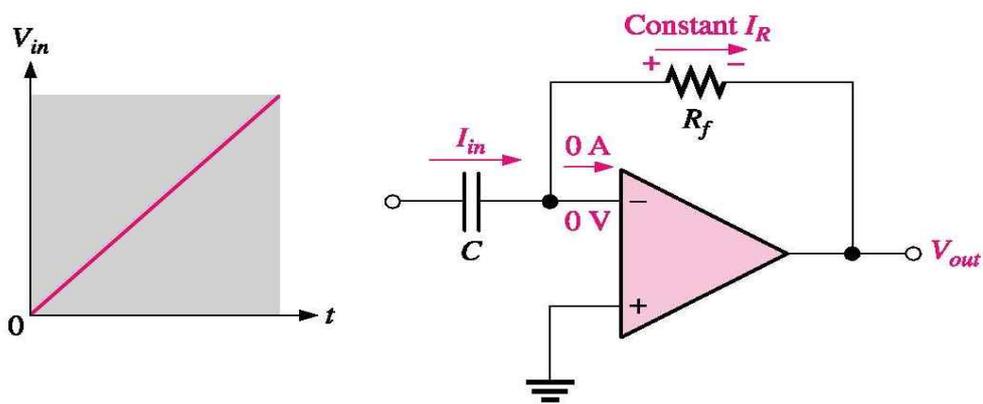
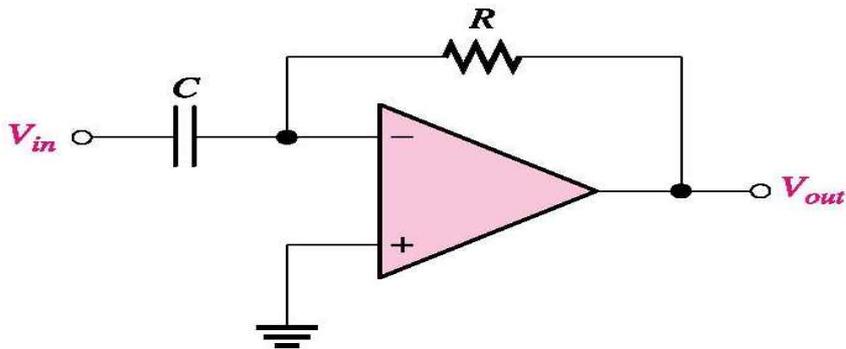
$$\frac{\Delta V_{out}}{\Delta t} = -\frac{V_i}{R_i C} = -\frac{5V}{(10k\Omega)(0.01\mu F)} = -50kV/s = -50mV/\mu s$$

입력 펄스가 -일 때의 출력 변화율은

$$\frac{\Delta V_{out}}{\Delta t} = -\frac{V_i}{R_i C} = -\frac{-5V}{(10k\Omega)(0.01\mu F)} = 50kV/s = 50mV/\mu s$$

(b) 입력이 “양”의 전압일 때는 “음”의 기울기를 갖는 램프  
 입력이 “음”의 전압일 때는 “양”의 기울기를 갖는 램프

## 2) 연산증폭기의 미분기

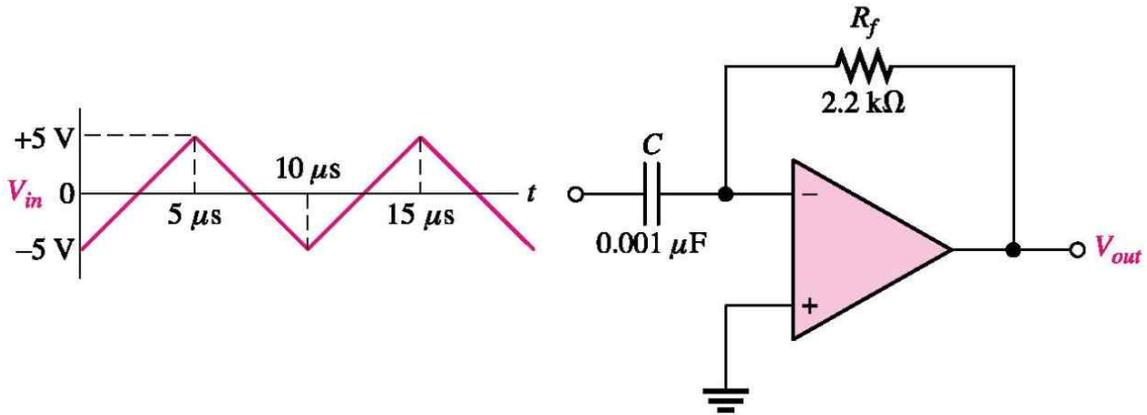


$$I_c = \frac{V_c}{t} C$$

$$V_{out} = -I_R R_f = I_c R_f$$

$$V_{out} = -\left(\frac{V_c}{t}\right) R_f C$$

예제13.11) 회로에 삼각파 입력이 인가되었을 때 미분기의 출력 파형을 그려라.



sol)  $\frac{V_c}{t} = \frac{10V}{5\mu s} = 2V/\mu s$

정의 램프 기울기에서

$$V_{out} = -\frac{V_c}{t} R_f C = -(2V/\mu s)(2.2k\Omega)(0.001\mu F) = -4.4V$$

부의 램프 기울기에서

$$V_{out} = -\frac{V_c}{t} R_f C = -(-2V/\mu s)(2.2k\Omega)(0.001\mu F) = 4.4V$$

