

OrCAD Capture Training Guide



(주)베리티테크 EDA 사업부

서울특별시 서초구 양재동 114 덕산빌딩 3층 (우 135-746)

Tel : 02-2057-8815

FAX : 02-2057-8810

Web : <http://www.veritytech.co.kr>

Mail : verity@veritytech.co.kr

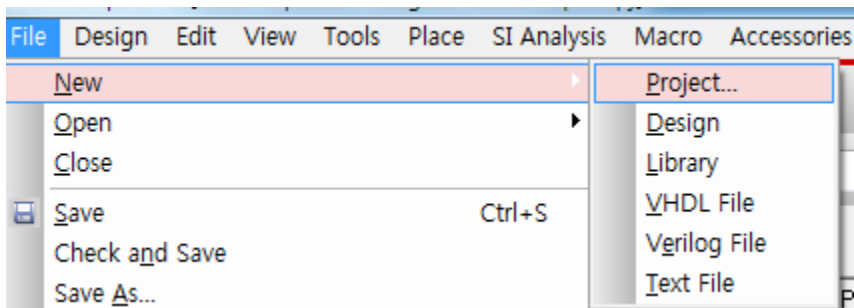
- Capture 개요 -

- Spread-sheet 기반의 회로도면(Schematics) 설계도구.
- 약 99,000여 개의 부품을 내장하고 있다.
- 간편한 회로 / 부품설계 환경을 제공한다.
 - 유연한 부품 심볼 생성환경을 제공한다.
 - Wire, Bus, Junction(접점)등의 표현이 자동으로 이루어진다.
 - Macro를 지원하며, Bitmap Image Import가 가능하다.
 - 회로 구성요소의 문서화 지원(BOM / Cross Reference Report)
 - 한글서체를 지원한다.
- CIS(Component Information System)로 부품 라이브러리의 사용 및 관리의 부족한 부분을 내부/외부적으로 보완할 수 있다. (CIS Option)
- PSpice A/D와 연동하는 아날로그 / 디지털 회로시뮬레이션 인터페이스를 지원한다.
- Cadence NC-Desktop과 연동하는 VHDL / Verilog Debug 인터페이스를 지원한다.
- Cadence Allegro PCB Editor / OrCAD Layout과 연동하는 PCB Artwork 인터페이스를 지원한다.
- Cross Reference 출력을 지원한다.
- MS-Excel 또는 Crystal Report Format의 Report 출력을 지원한다.
- 다른 Tool에서의 작업을 위한 다양한 형식의 Netlist 출력을 지원한다. (PADS, PCAD, DXF, EDIF, VHDL, Verilog, 그 외 기타..)

- Capture를 이용한 작업흐름 -

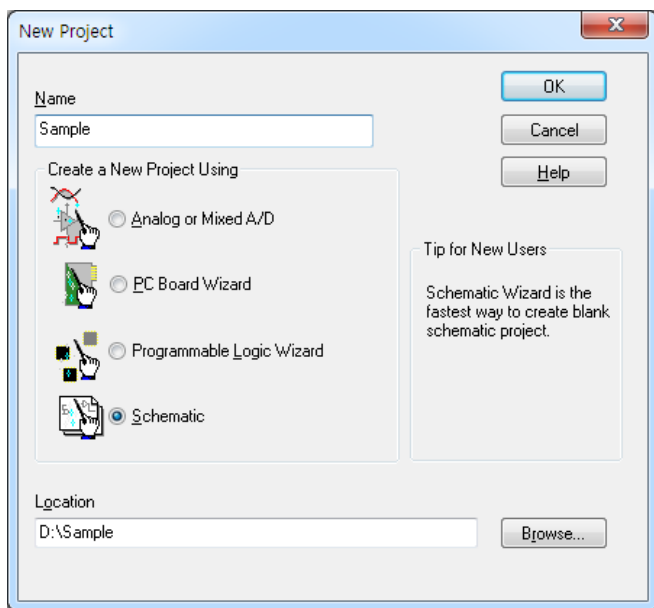
- 새로운 프로젝트 생성
- 부품 배치 및 배선
- Part Reference 정의 (Annotate 또는 직접 지정)
- Design Rules Check (회로상의 오류 점검)
- (필요하면) Inter-Sheet Reference 추가
 - Inter-Sheet Reference : Port, Connector의 연결 정보
- (필요하면) Cross-Reference 출력
 - Cross-Reference : 회로 구성요소 Report
- 부품의 Symbol 및 속성 수정
- Netlist 출력 (PCB 또는 FPGA / PLD 또는 Spice)
- (필요하면) Back-annotate
 - PCB Tool에서 발생한 변경사항을 회로도면으로 반영하고자 할 때 사용
- Bill Of Materials Report 출력 (부품 명세서)

- 새로운 프로젝트 생성 -



실행 : 메뉴 File -> New -> Project

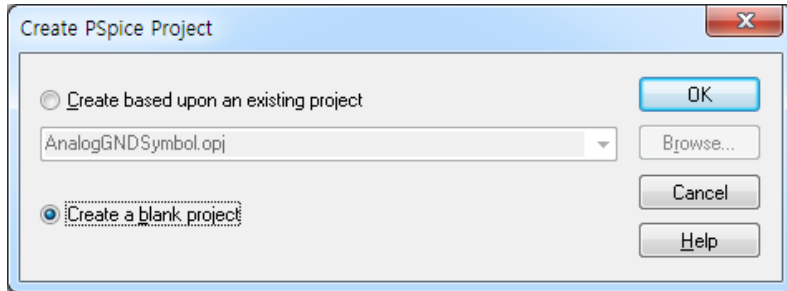
- **Project** : 전체 프로젝트 생성 (*.opj +. *.dsn)
- Design : 도면 파일 생성 (*.dsn +. *.opj)
- Library : 부품 라이브러리 생성 (*.olb)
- VHDL/Verilog/Text : Text 입력창



Project Option

- **Analog or Mixed A/D** : Pspice 연동환경
- PC Board Wizard : PCB 작업환경
- Programmable Logic Wizard : FPGA / PLD 작업환경
- **Schematic** : 회로도면 작업환경 (PCB 작업 가능)
- Name / Location : 파일명 / 저장경로 (**Pspice / Layout** 작업 시 한글이름 사용 금지)

- 새로운 프로젝트 생성 -



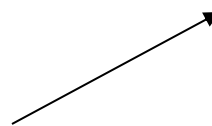
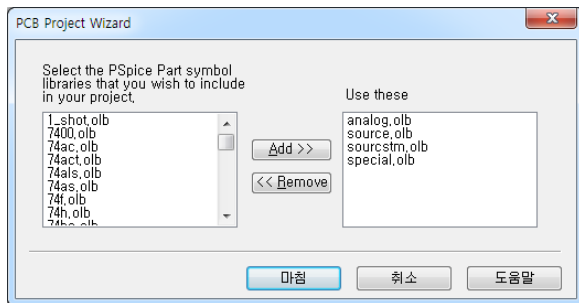
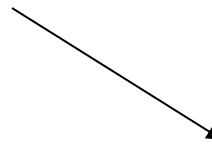
Pspice Project

- Create based upon an existing project : 미리 지정된 template을 읽어 들임.
- **Create a blank project** : 빈 회로도면 창을 생성



PC Board Wizard

- 첫 번째 창 : Pspice 또는 FPGA / PLD 시뮬레이션 환경의 사용여부
- 두 번째 창 : 프로젝트에 등록할 라이브러리 파일 선택



Capture Entry - Tool 환경

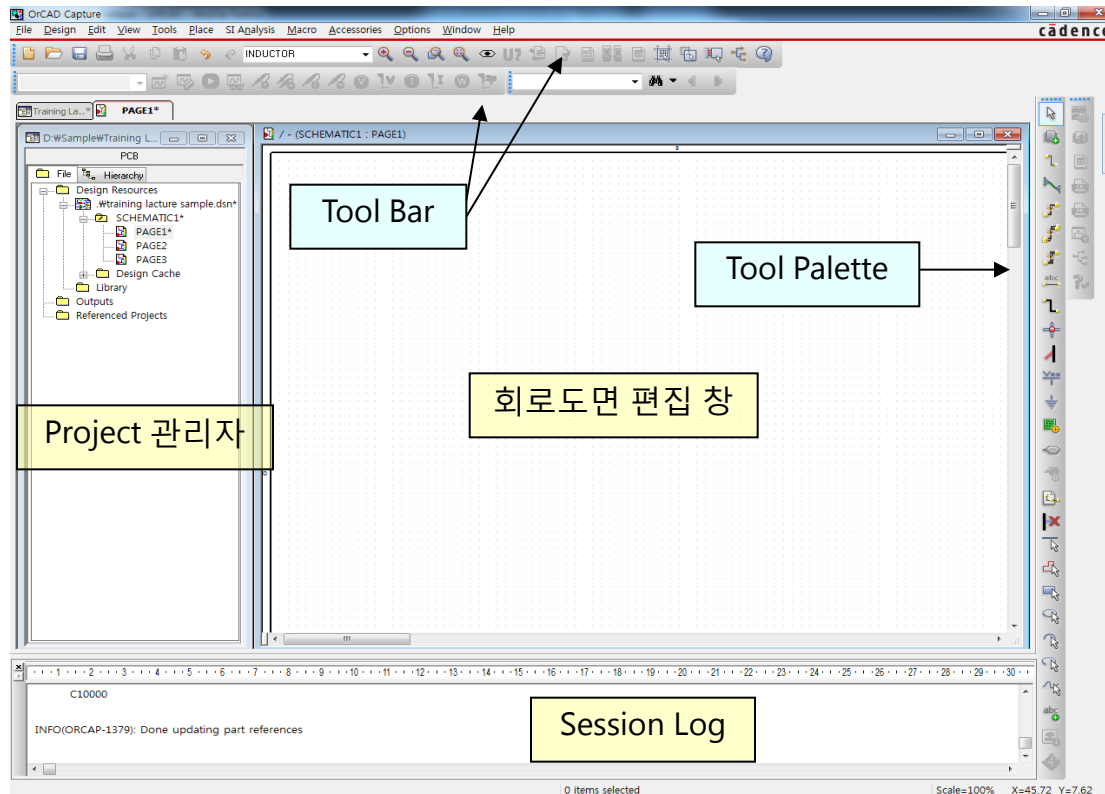
- Capture 작업환경 -

작업창 기본 구성

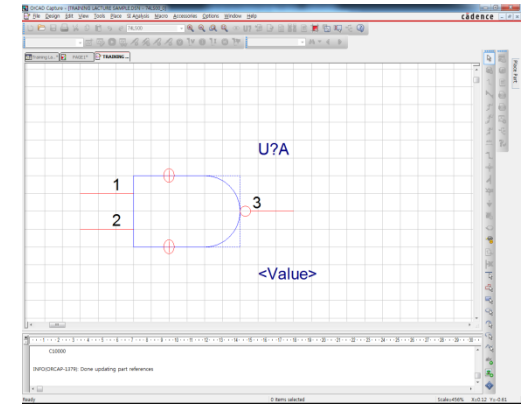
Project Manager : 작업 전반에 걸친 작업내역(파일)을 보여주는 창

회로도면 편집창 : 회로도면 설계 작업창

Session Log : Event Log 기록창 -> (작업 실행 여부 및 오류 내역)



OrCAD Capture

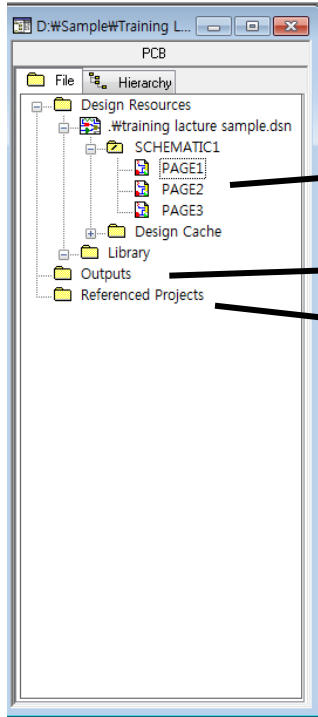


부품 편집 창

작업환경

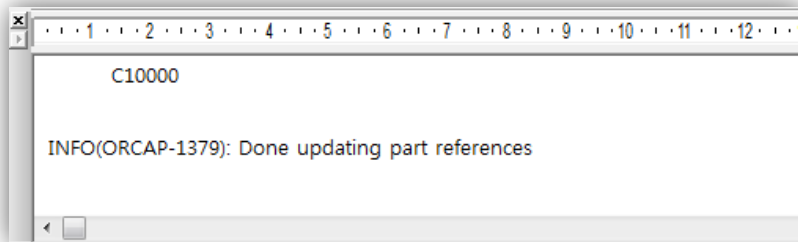
Project 설정 후 구성되며,
작업 유형에 따라 그에 맞는
Tool Bar 구성과 인터페이스가
자동으로 추가된다.
(ex: pspice, VHDL)

- Capture 작업환경 -



Project Manager

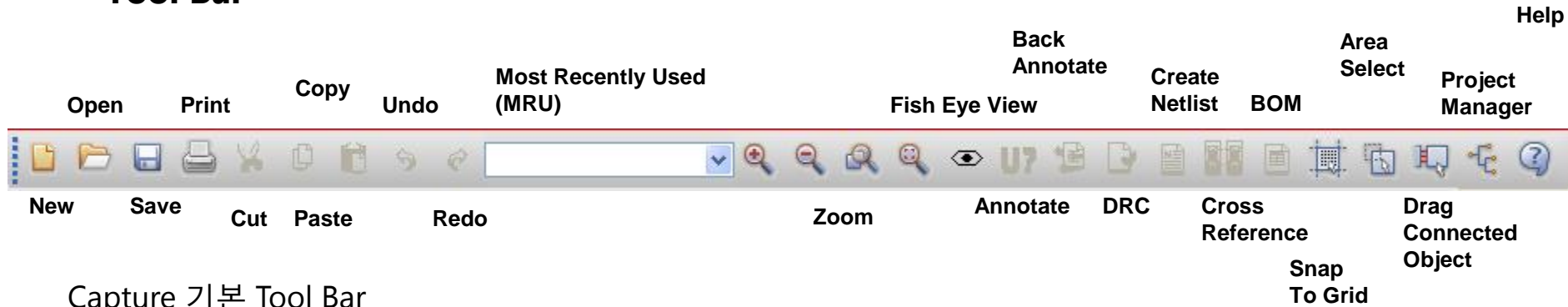
- 프로젝트 유형
- Design Resources : 회로도면, 부품 관련 자료 (*.dsn, *.olb)
- Outputs : 회로도면 관리 결과 (*.DRC, *.BOM, *.netlist)
- Pspice Resources : 시뮬레이션 관련 자료 (시뮬레이션 설정, 사용자정의 입력원, *.lib)



Session Log

- 작업 중 발생한 Event나 오류 정보를 출력하는 창 (DRC, BOM, Netlist, Etc..)

- Tool Bar -

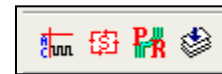


Capture 기본 Tool Bar

- New, Open, Save, Print, Cut, Copy, Paste, Undo, Redo : 파일관리 및 작업용 기능 (MS-Windows 공통)
- MRU : 이미 배치한 부품의 목록 확인 / 배치
- Zoom in, out, all, region : 확대 / 축소
- Manage Tool : 도면관리용 기능
- Snap to Grid : 격자(Grid)자석 기능 사용(회색) 또는 사용 하지 않음(붉은색)
- Area Select : 마우스 드래그시 객체 선택형식
- Drag Connected Objects : 배선 중 결선 여부
- Project Manager : 프로젝트 관리자 이동
- Help Topics : 도움말 호출

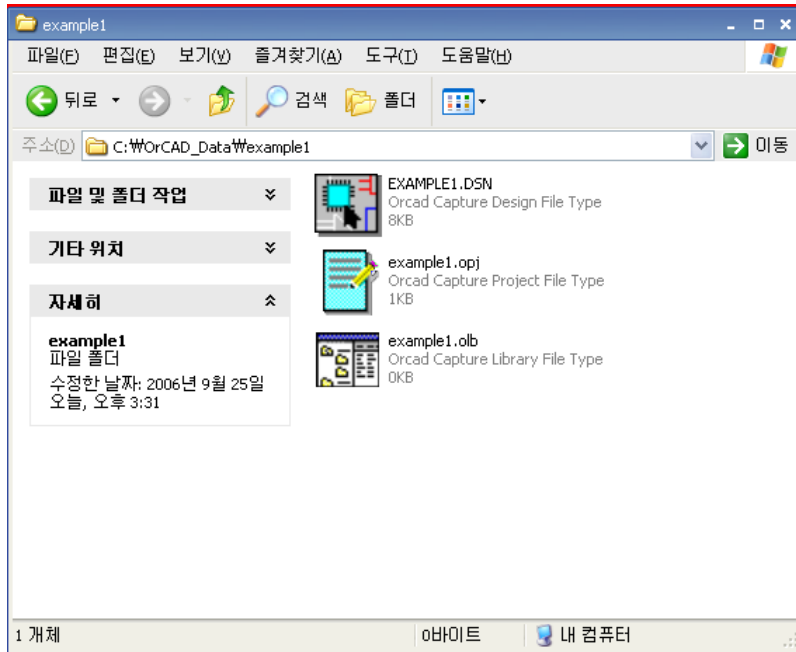


Analog or Mixed A/D Tool Bar



Programmable Logic Wizard Tool Bar

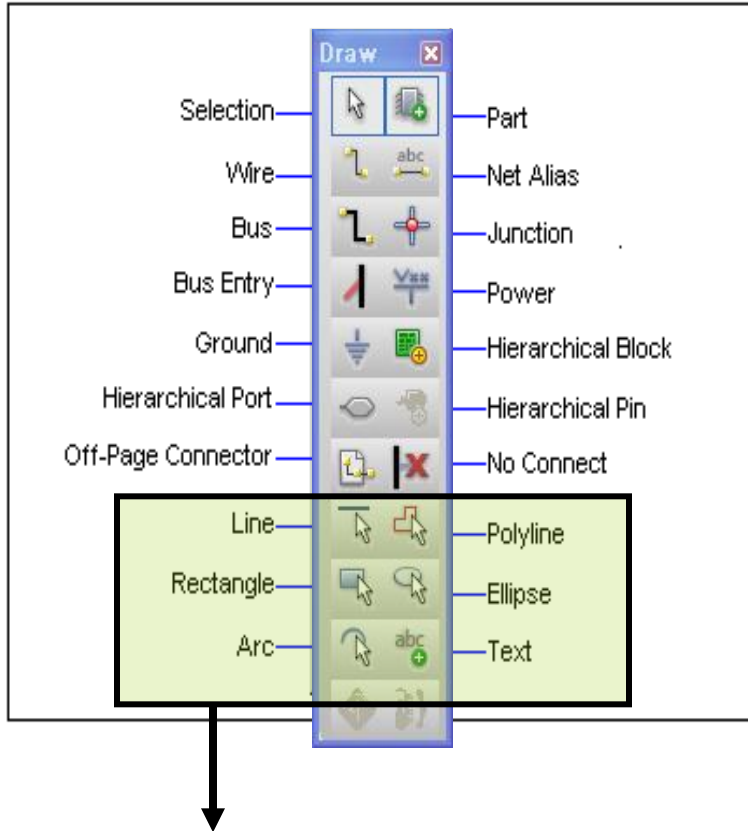
- File Extension -



Capture에서 사용하거나, import / export 되는 모든 파일의 확장자

- **OPJ** - 프로젝트 파일 (프로젝트 관리자)
- **DSN** - 디자인 파일 (회로도면)
- **OLB** - 라이브러리 파일 (부품 Symbol)
- UPD - 속성의 일괄변경을 위한 파일
- DRC - Design Rules Check 결과 파일
- BOM - Bill Of Materials 출력 파일
- EXP - 속성 출력파일
- MNL - OrCAD Layout의 Netlist 파일
- SWP - OrCAD Layout의 Back Annotate 파일
- VHD, VHO - VHDL 파일
- EDF, EDN - EDIF Netlist 파일
- XRF - Cross Reference 파일
- DAT, NET, ASC - 그 외 프로그램의 Netlist 파일

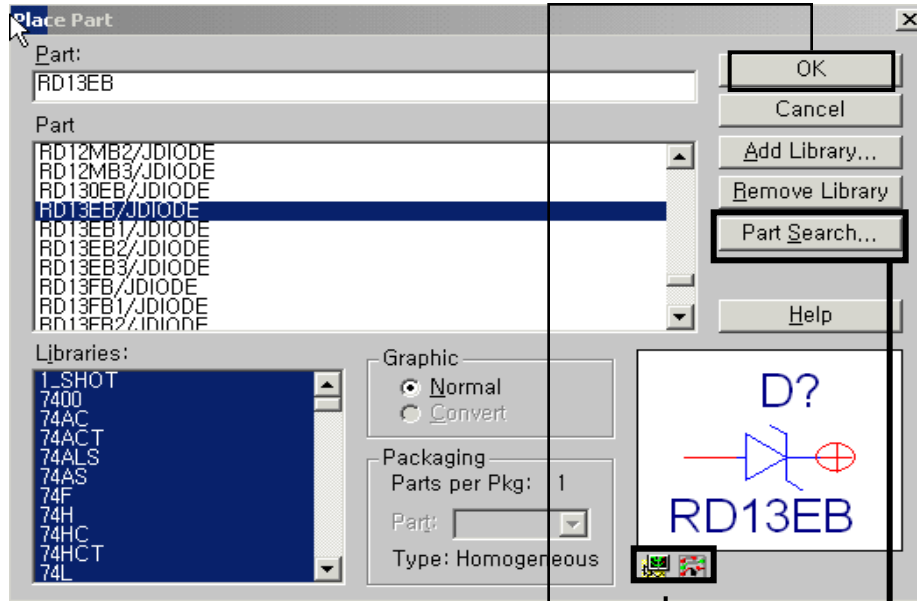
- Tool Palette -



- 전기적인 속성이 없고, 주석 등의 용도로 사용하기 위한 기능.
(선 / 다각형 / 사각형 / 원 / 호 / Text)

- Selection - mode 설정 및 도면의 객체 선택
- Part - library 불러오기
- Wire - 배선작업
- Net Alias - Wire에 이름 부여
- Bus - Data line 배선
- Junction - 접점
- Bus Entry - bus에서의 복수 signal를 묶음
- Power, Ground - Ground, Power의 library
- Hierarchical Block - 계층구조의 Box를 설정
- Hierarchical Port - 계층구조로 연결된 새로운 Schematic과 연결할 Port
- Hierarchical Pin - 계층구조의 Box에 Pin배치 (Hierarchical Block을 선택해야 활성화 된다)
- Off-Page Connector - 평면 구조에서 도면과 도면을 연결

- Tool Palette - / Place Part



Part : Part List 에서 이름으로 부품을 검색 / 배치, 자동완성 되는 방법으로, 입력된 이름의 부품을 찾아낸다.

Add Library (기본 라이브러리 저장 경로)

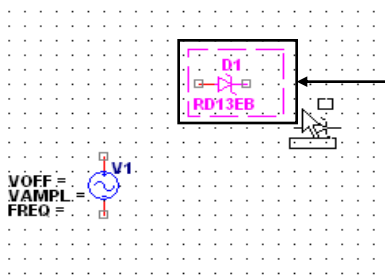
• OrCAD (Release 16.x)

- Capture 전용 Libraries
- X:/>OrCAD/OrCAD_16.x/tools/Capture/library/*.olb
- Pspice Simulation Libraries
- X:/>OrCAD/OrCAD_16.x/tools/Capture/library/PSpice/*.olb

• Cadence SPB (Release 16.x)

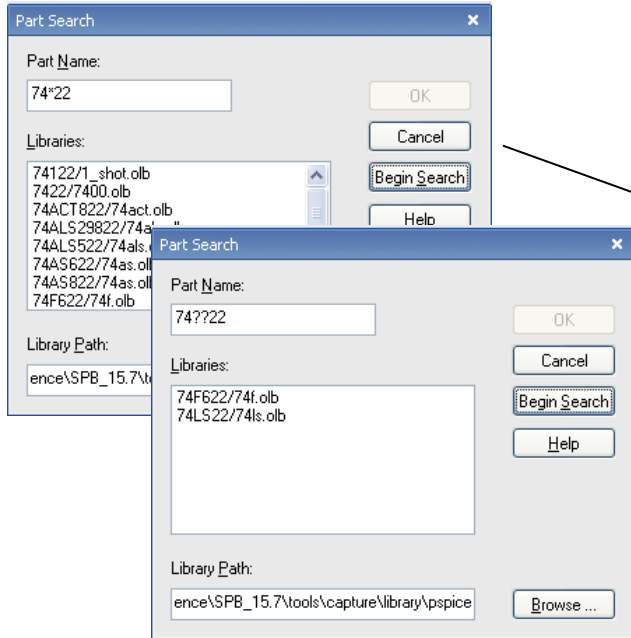
- Capture 전용 Libraries
- X:/>Cadence/SPB_16.x/tools/Capture/library/*.olb
- Pspice Simulation Libraries
- X:/>Cadence/SPB_16.x/tools/Capture/library/PSpice/*.olb

- Part Search : Wildcard 문자(*, ?)를 이용한 부품 검색 기능.
- 배치 모드에서는 부품이 마우스포인터와 같이 움직이며,
 - 마우스 왼쪽 버튼 클릭 - 부품배치
 - 키보드 ESC - 부품배치 종료(End Mode)



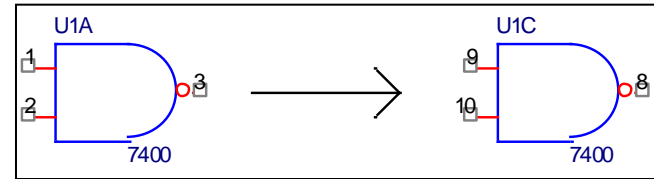
Pspice 또는 Layout에서 작업 가능한 소자

- Tool Palette - / Place Part



Part Search :

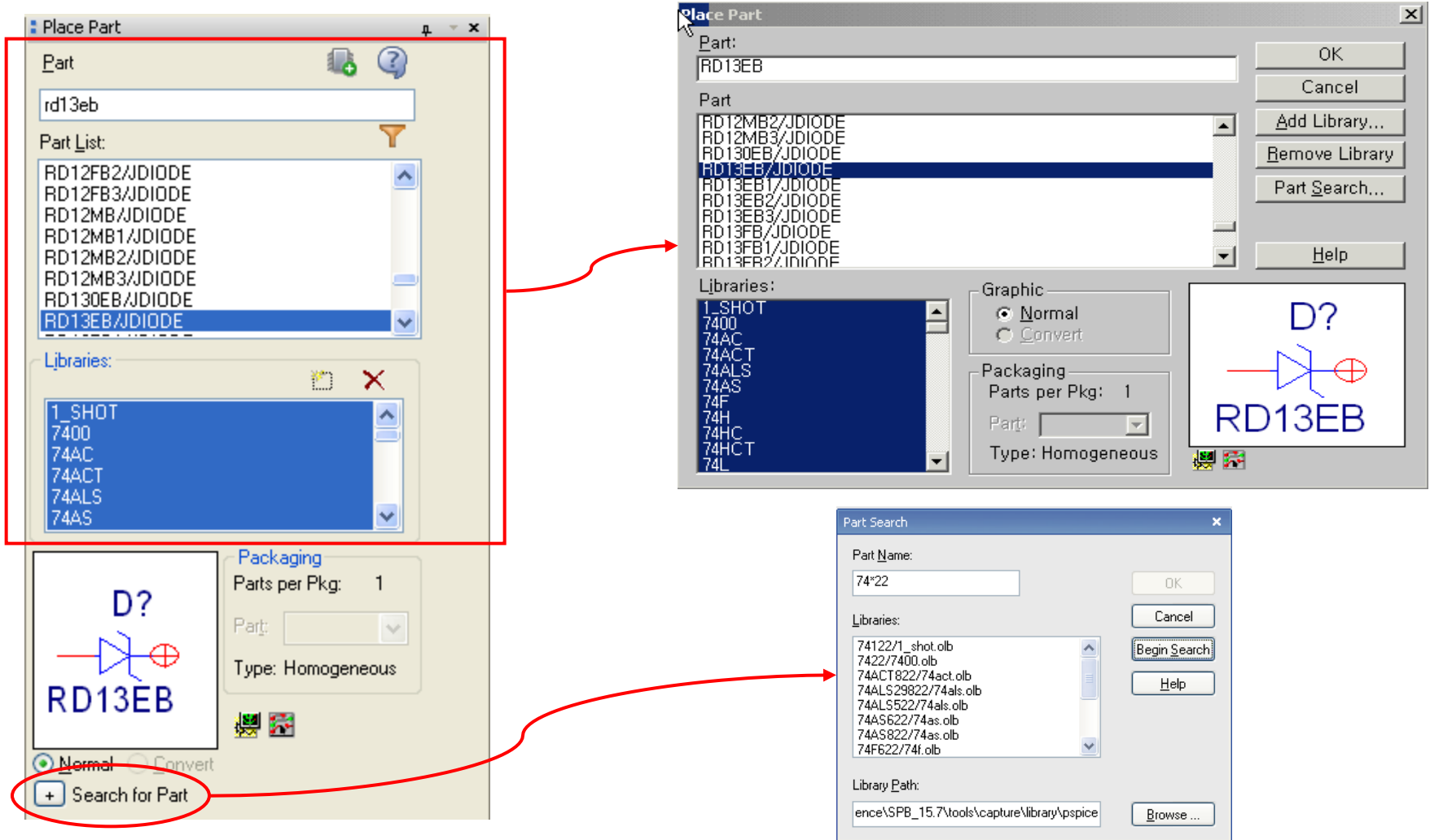
- 부품 검색의 용도로 사용
- 와일드카드 문자(* 또는 ?)를 사용하여, 이름이 명확하지 않은 부품을 검색
 - *는 *에 포함될 글자의 개수에 상관없이 부품이름을 검색
 - ?는 ?글자 개수만큼의 문자가 포함된 부품이름을 검색



Note

- 부품 회전 : R(rotate)
- 부품 반전 : H(좌/우, mirror Horizon), V(위/아래, mirror Vertical)
- Package 부품 순서 선택(ex : 74 series) : U1A -> U1B

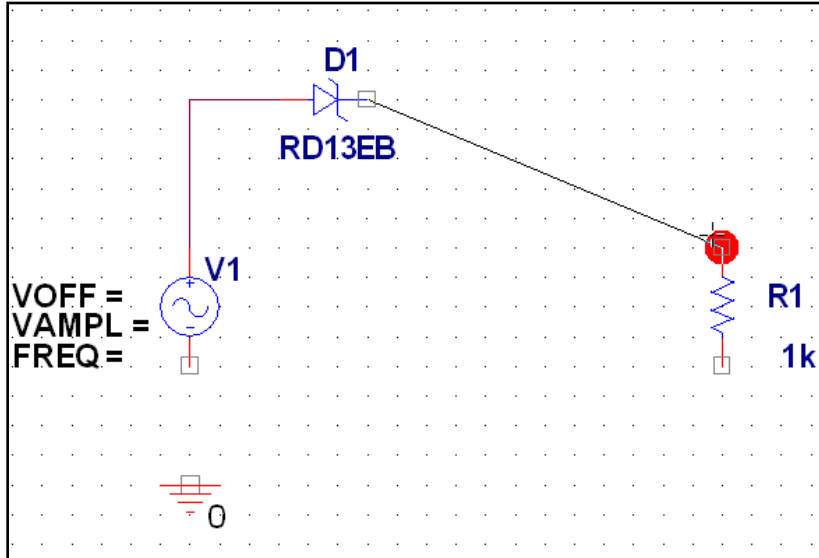
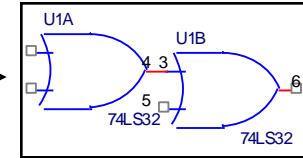
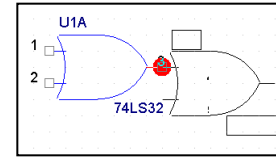
- Tool Palette - / Place Part (New mode)



Capture Entry - Tool 환경

OrCAD Capture

- Tool Palette - / Place Wire



Wire :

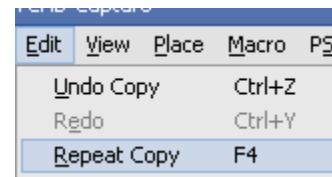
- 핀과 핀을 전기적으로 연결하기 위해 사용
- Place line, poly-line (전기적인 속성이 없는 객체)과 다르다.
- Wire가 정상적으로 핀에 결선되면, 핀 끝에 있는 사각형 박스가 사라진다
- 결선 시, Place Wire를 사용하지 않고, 핀 끝을 맞붙여도 결선된 것으로 간주한다
- Wire를 대각선으로 그리고자 할 때는, Shift키와 함께 마우스 왼쪽버튼을 클릭한다

Note

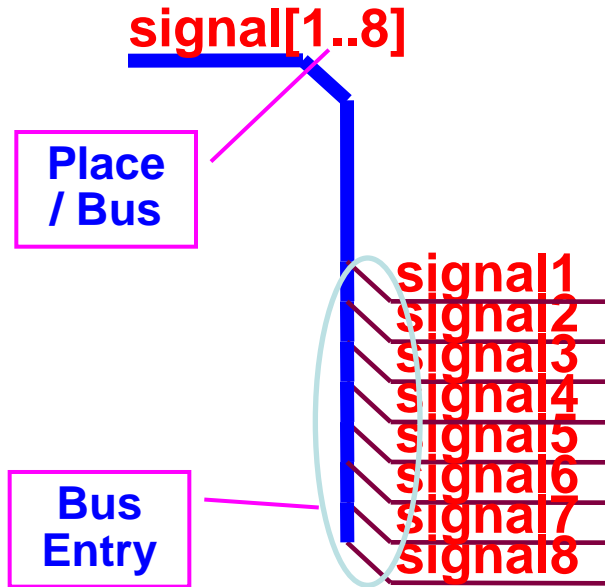
CTRL+마우스 드래그 : 복사

ALT+마우스 드래그 : 분리


배선 후 키보드 "F4" : 배선 반복(Repeat)

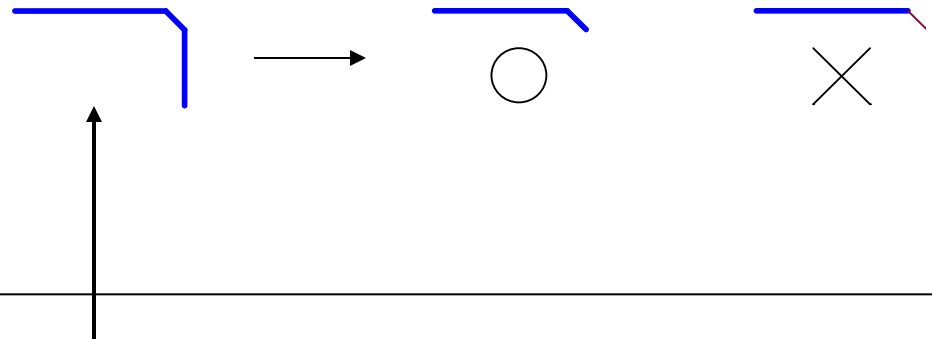


- Tool Palette - / Place Bus



Bus :

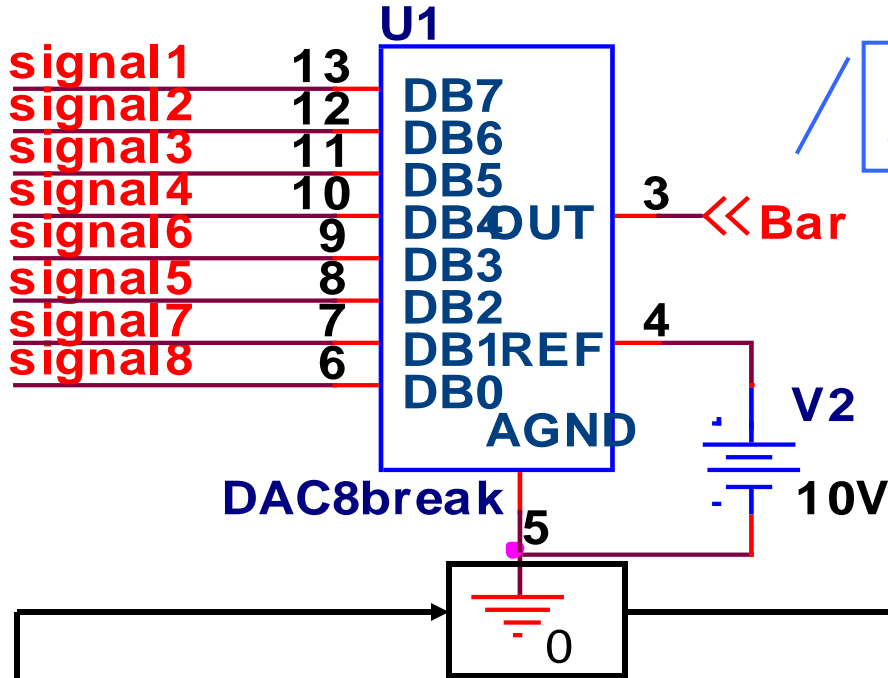
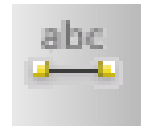
- 여러 개의 Wire 묶음을 연결할 때 사용
- Wire와 직접 연결할 수 없으며, Bus Entry가 중간에 배치되어야 한다.
(Bus Entry : )
- Wire와 마찬가지로, Shift키를 사용하여 자유각으로 배선 가능하다.



Note

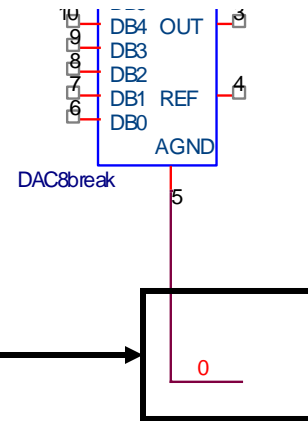
- Bus의 모서리를 자유각으로 그리지 않고, Bus Entry를 배치하면 연결되지 않은 것으로 간주된다.

- Tool Palette - / Net alias



Net alias : (Wire의 경우)

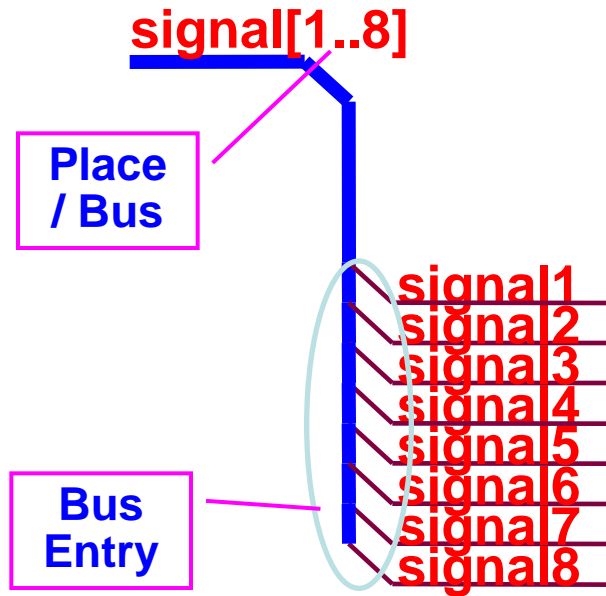
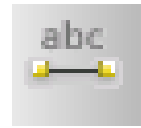
- Wire에 이름을 부여한다
- 회로도면 식별에 용이하다
- 도면상에 끊어진 두 개(또는 이상)의 Net을 전기적으로 연결한다. (Port의 역할)



Note

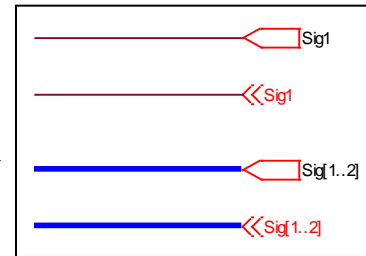
- Name+number 형식으로(ex : Signal1) 연속하여 배치하면, 순번은 자동적으로 증가한다
- Net alias가 배치된 wire를 복사하는 방법으로 "F4" Repeat 기능의 사용이 가능하다
- PCB 또는 Pspice 에서 Ground, VCC Symbol을, net alias로 대체 가능하다

- Tool Palette - / Net alias





Net alias : (Bus의 경우)

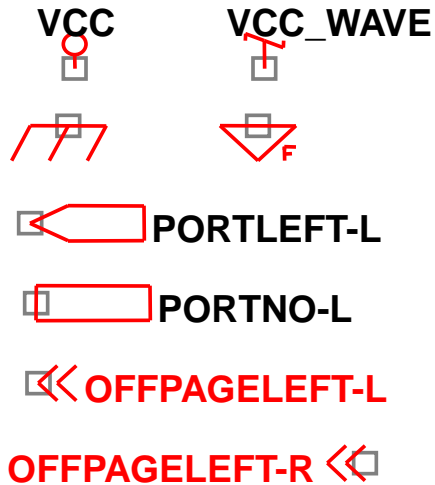
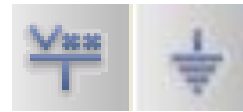
- Bus에 묶인 Wire의 대역폭을 정의한다
- SignalName+[width] 의 형식으로 사용한다
- 이름 형식은 Wire의 형식과 서로 다르게 입력한다 (ex : Bus net alias는 wire에 배치할 수 없으며, Wire net alias 또한 Bus에 배치할 수 없다.)
- [Width]의 문법은 [x.y], [x:y], [x-y] 세가지 중 한 가지를 선택하여 사용한다



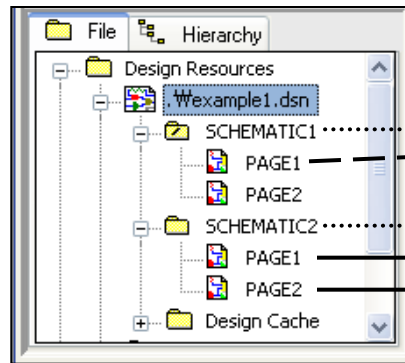
Note

- Port( 와 Offpage-Connector() 들도 같은 방법으로 net name을 정의 한다.

- Tool Palette - / Ground Power



- Power Symbol : 전원용의 심볼로 사용되며 Capture 내부적으로는 Net alias와 같은 의미로 사용된다.
- Port : 계층 구조 및 평면구조를 포괄하여 사용하며, 프로젝트내의 모든 Page의 Net과 연결하기 위한 목적으로 사용한다
- Offpage-Connector : Page와 Page의 연결에 사용



- One Sheet
- Page - Page
- Hierarchical Structure

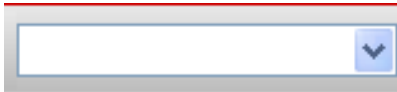
각 Symbol / Alias의 연결 가능 범위 (여러 도면구조에서의 연결 가능 범위)

Net alias	<	Offpage-connect	<	Port, Ground / Power
One sheet		Page - Page		Hierarchical Structure
		One sheet		Flat Structure (Page - Page)
				One sheet

- Tool Bar -



- Snap to Grid - 도면상의 객체를 Grid에 맞추거나 풀어주는 기능. 도면 작업 중에는 Grid가 풀린 상태에서의 작업은 권장하지 않는다. ()을 () -> 이렇게 만들지 말 것 !!



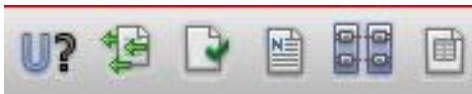
- Most Recently Used(MRU) - 이미 배치한 부품들의 이름을 기억하여, 보여주는 기능. 추가로, Instant Place Part의 기능도 갖고 있으므로, 간단한 이름의 부품(R, L, C 등)은 굳이 Place Part를 사용하지 않더라도, MRU를 사용하여 부품을 배치할 수 있다



- Area Select - 객체 선택을 위해, 마우스를 드래그할 때, 객체 선택 방법을 지정
 - 드래그 영역 안에, 객체가 일부만 들어왔을 경우에도 해당 객체를 선택
 - 드래그 영역 안에, 객체가 모두 들어와야 해당 객체를 선택



- Project Manager - Project 관리자 창으로 이동하는 버튼



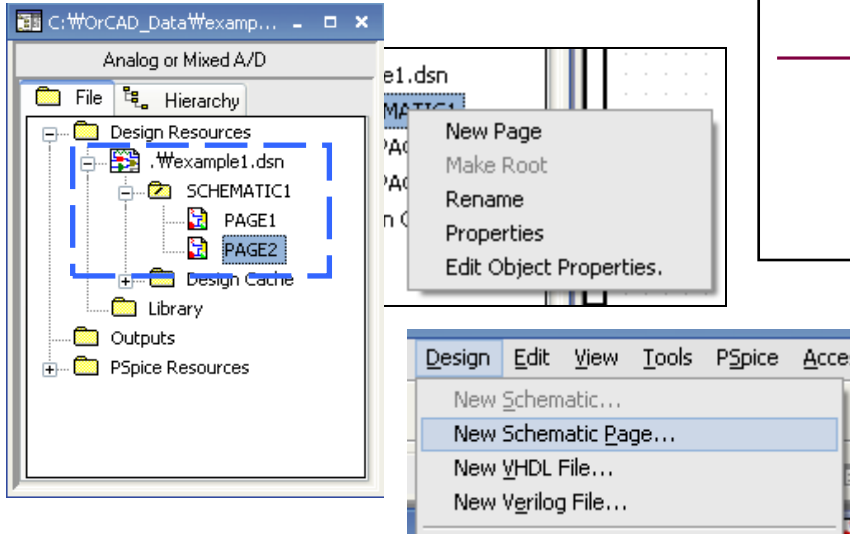
- Project Manager Tools - Annotate, DRC, Netlist 등 회로 추가작업을 위한 기능모음, Project 관리자 창에서 활성화 된다



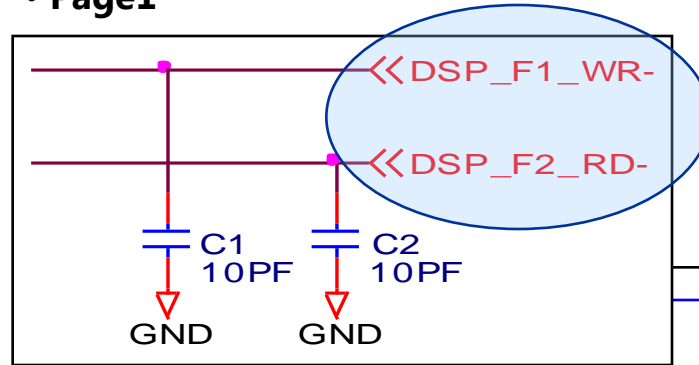
- Drag Connected object - 새로운 Net 연결을 허용 또는 금지



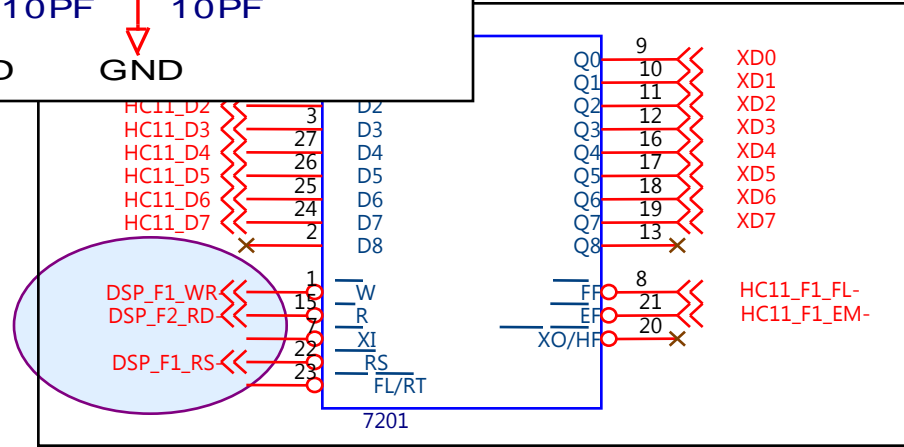
- 도면구조 - / 평면구조



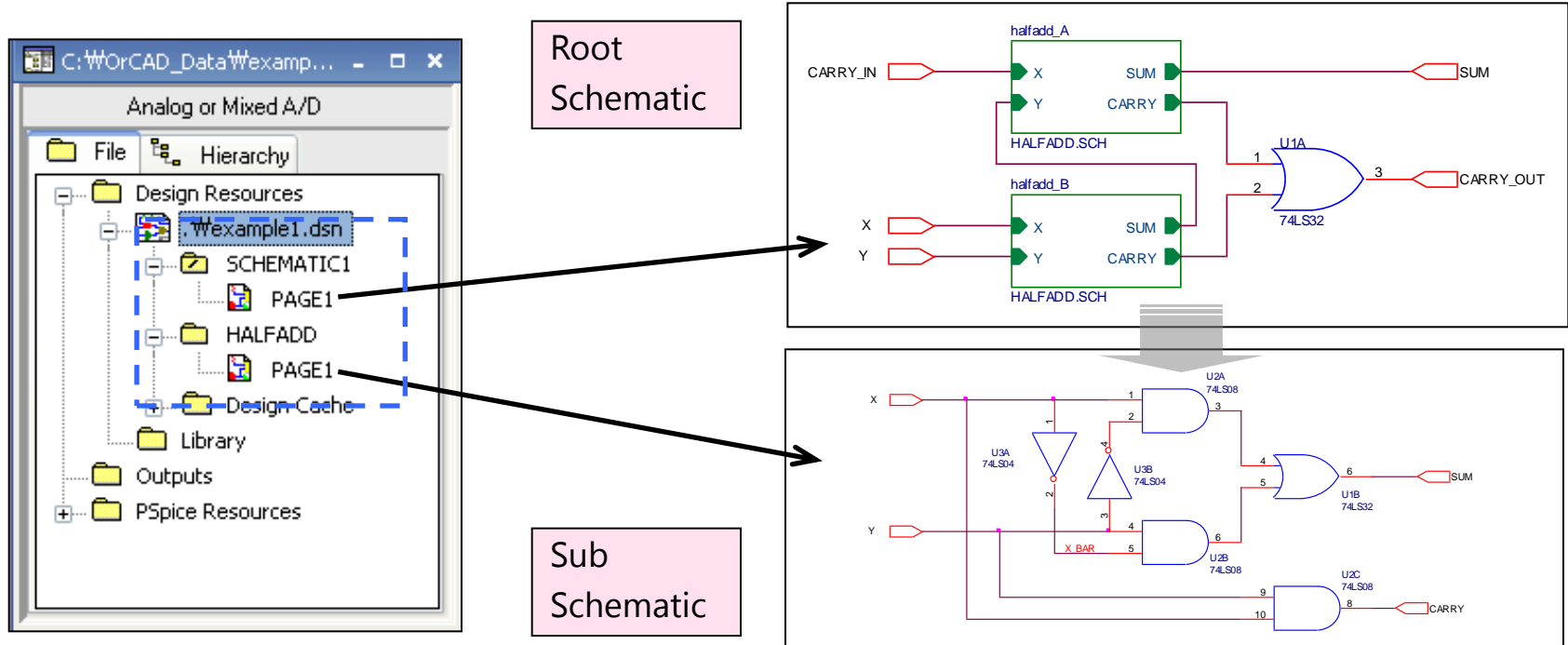
• Page1



• Page2



- 도면구조 - / 계층구조



Hierarchical Design - 계층구조

- 둘 이상의 Schematic Folder로 구성되어 페이지간 상하 종속관계로 구성된 프로젝트
- 이 구조는 회로도의 특정 부분을 별도의 계층 도면으로 관리할 경우 사용되며, Project 관리자 창의 Schematic Folder 아래에 폴더가 추가되어 Root Schematic에서는 Block의 형태로 관리된다. 추가된 Folder 즉, Block은 경우에 따라, 라이브러리로 간주할 수도 있으며 이 때, Block의 핀은 라이브러리의 핀과 같은 용도로 사용된다.

- 도면구조 - / 계층블록제작



- **Reference** : Block(부품)의 Reference를 입력한다. 일반 부품의 Part Reference와 동일한 속성으로 간주되므로, 이들과 중복되지 말아야 한다.
- **Implementation type** : Block type을 정의한다. Block의 내부구조가 도면이면 Schematic view , PLD 소스코드로 구성되어 있으면, VHDL을 선택한다.
- **Implementation name** : Block(부품)의 이름을 지정한다. (Ex : d1n750,Q2n3904)
- **Path and Filename** : Block의 형식이 Spice netlist 또는 소스코드일 경우, 원본의 저장경로를 지정한다.
- **Primitive** : Block의 단일소자 여부를 지정한다. (Default 권장)

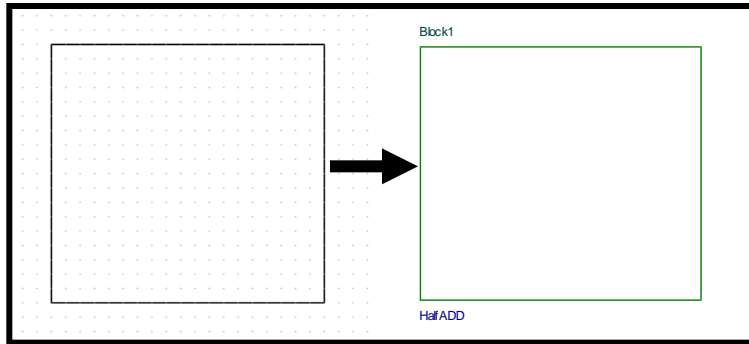
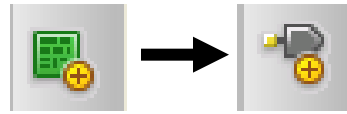
Hierarchical Block

Hierarchical Block은 회로도면에서는 부품과 동일한 속성으로 간주된다. 부품 제작과 유사한 방법으로 Block을 제작할 수 있으며, Block에는 Reference, Name, Pin 과 같은 구성요소를 배치 수정할 수 있다.

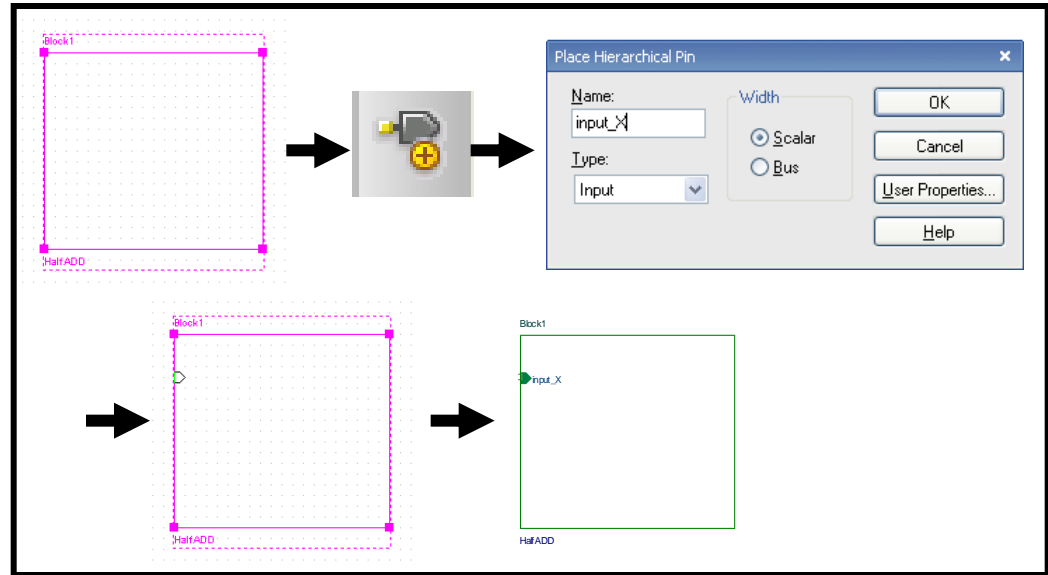
Capture Entry - 도면구조

OrCAD Capture

- 도면구조 - / 계층블록제작




마우스로 드래그하여, Block을 그린다



Block 선택 후, Place Pin(Hierarchical Pin)으로 Block에 Pin을 배치한다.

Hierarchical Block

- Tool Palette 중, Place Pin()은 계층블록 핀 배치를 위한 기능이며, 평소에는 비활성화되어 있다가 계층블록이 선택된 상태에서만 활성화된다.
- Pin 속성은 이름과 유형(Type), Net width에 따라 Scalar / Bus를 선택할 수 있으며, Bus일 경우 net alias 문법과 동일한 형태로 Pin name을 정의해야 한다. (ex : Signal[0..8])

Capture Entry - 도면구조

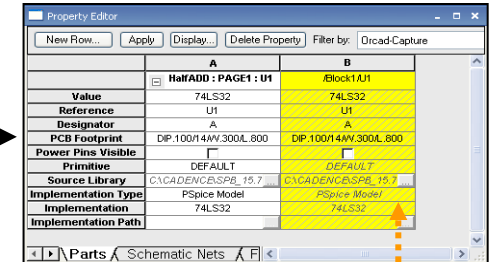
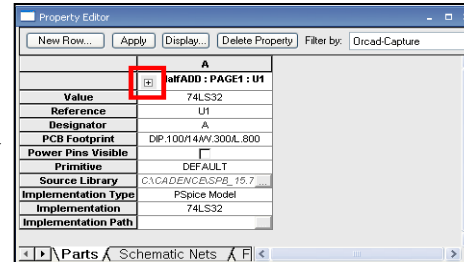
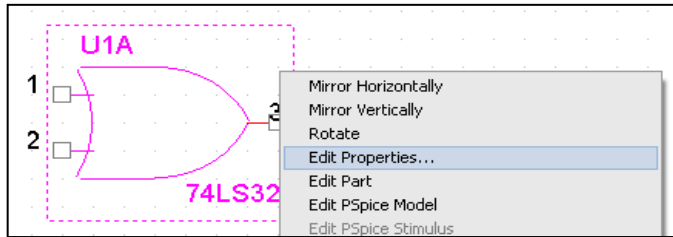
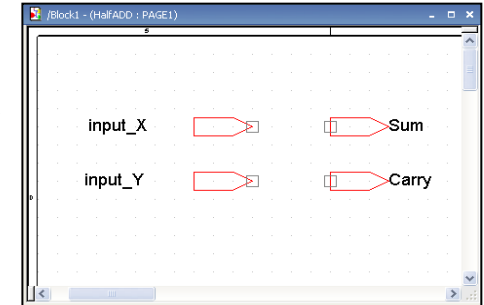
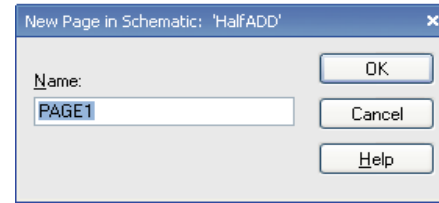
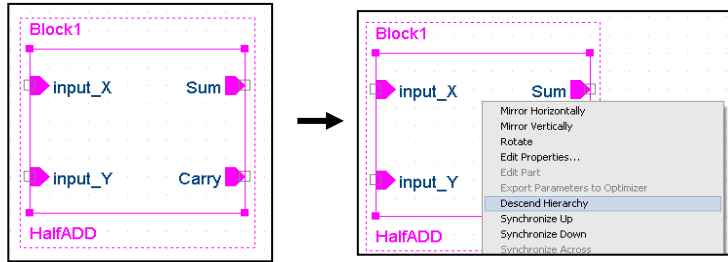
OrCAD Capture

- 도면구조 - / 계층블록제작



Descend Hierarchy

(Right Mouse Button)

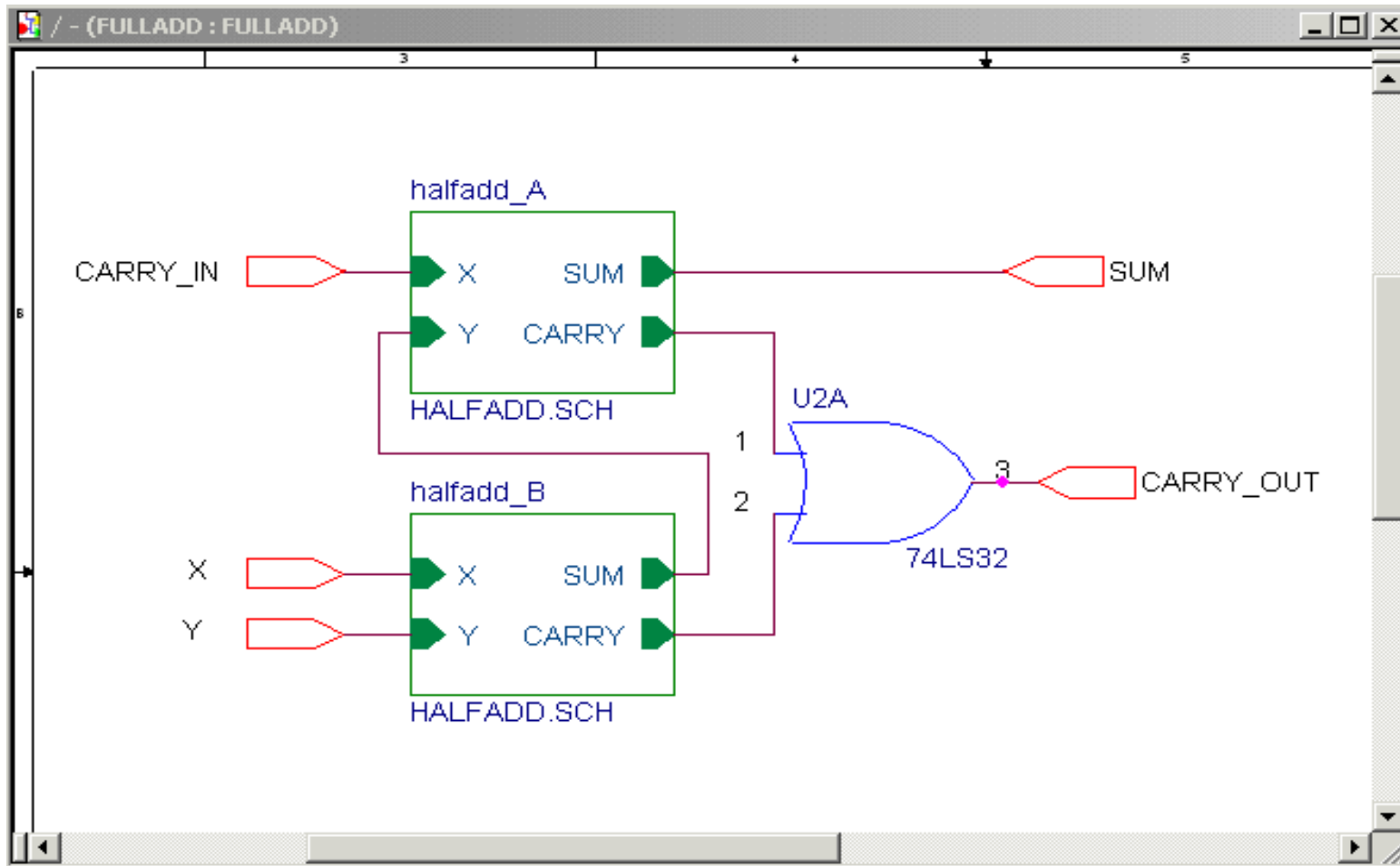


Hierarchical Block

- Hierarchical Pin 배치 완료 후, 마우스 오른쪽 버튼 클릭 -> Descend Hierarchy 항목을 선택하면 하위도면(Sub Schematic)으로 이동할 수 있다. 이 상태에서 회로도면을 작성한다.
- 하위도면에서는 상위도면의 Pin이 Port로 바뀌어 표현된다.
- 각 부품의 Block별 속성은, 속성 창에서 +를 클릭하여 확인할 수 있다. (노란색 배경의 항목들)
- 하위도면의 회로작성이 완료되면 마우스 오른쪽 버튼 클릭 -> Ascend Hierarchy 항목을 선택하여 상위도면으로 이동한다. Ascend Hierarchy

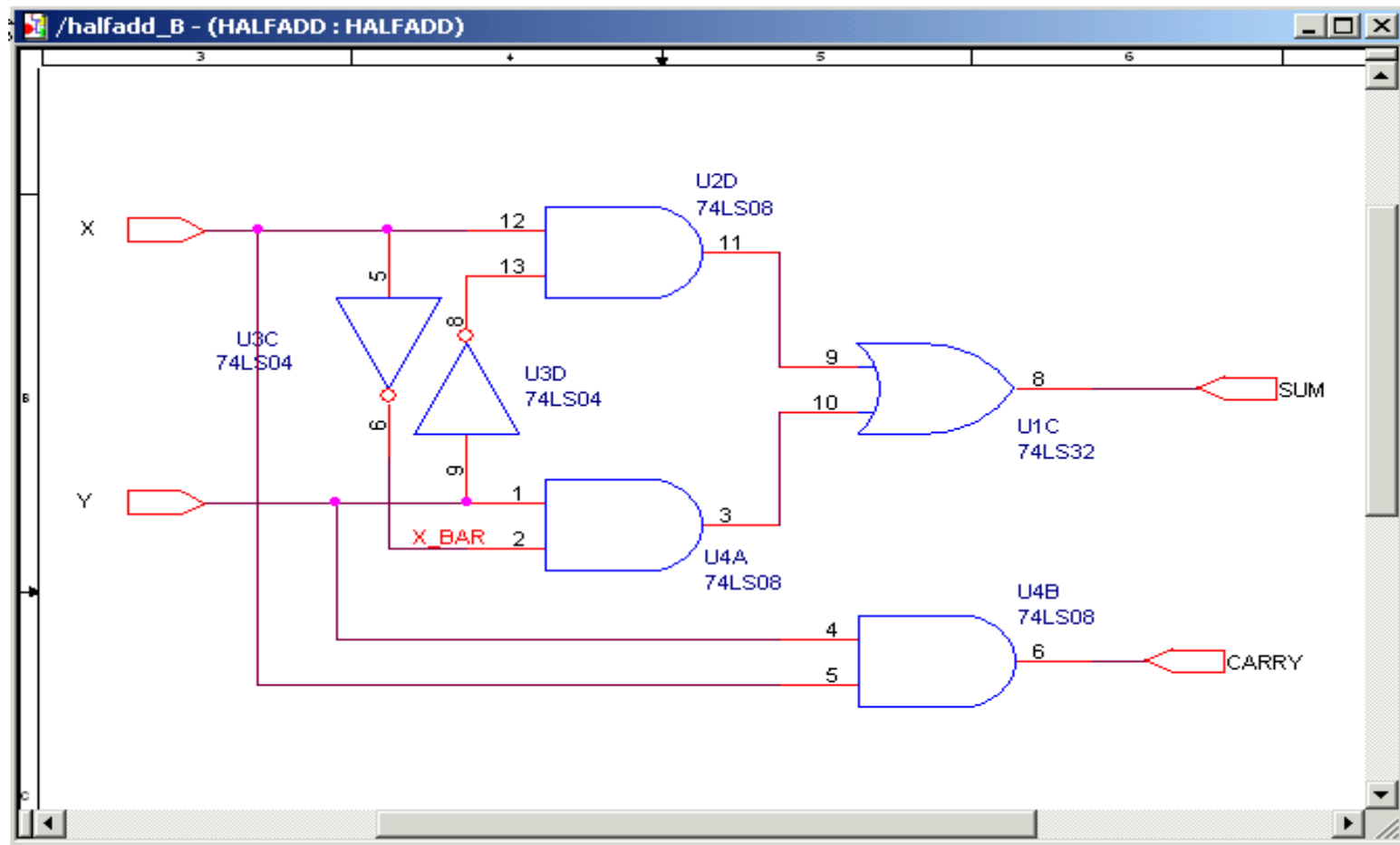
- 도면구조 - / 계층블록제작

Example - Root Schematic



- 도면구조 - / 계층블록제작

Example - Sub Schematic



- 단축키 정리 -

Place	
Part	P
Wire	W
Net alias	N
Bus	B
Junction	J
Bus Entry	E
Power	F
Ground	G
No connect	X
Text	T
Poly line	Y

객체 배치 / 편집	
Mirror Horizontally	H
Mirror Vertically	V
Rotate	R
Edit Properties	Enter 또는 CTRL+E
Redraw	F5
Repeat	F4
End Command	ESC

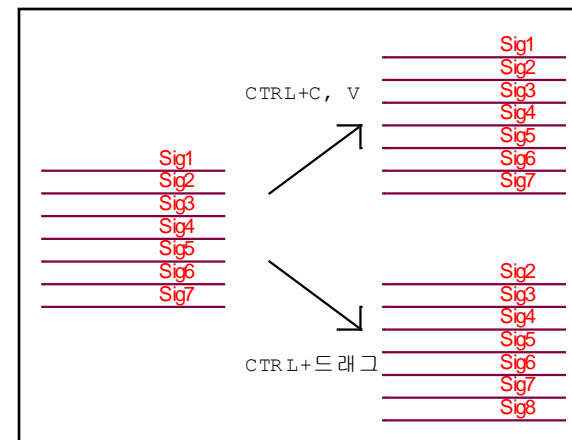
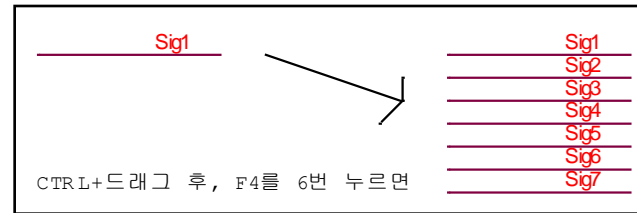
도면 탐색 / 기타	
Zoom In	I
Zoom Out	O
세로이동	휠 이동
가로이동	Shift+휠
Center to mouse	C
Selection Filter	CTRL+I
Ascend Hierarchy	Shift+A
Descend Hierarchy	Shift+D
앞 페이지 이동	F10
다음 페이지 이동	Shift+F10
Pspice 실행	F11

Note

- Capture의 단축키 구성은 대부분 알파벳 한 글자로 이루어져 있으므로, 편리하게 사용할 수 있다.
- 복사 또는 이동 후, Repeat(F4) 명령을 수행하면, 직전에 행한 작업을 반복한다.
- C키를 누른 상태에서 마우스를 움직이면, 회로도면을 모든 방향으로 자유롭게 탐색할 수 있다.
- Selection Filter 기능을 이용하여, 원하는 객체(ex : 부품, 배선)들만 선택할 수 있다.

- 단축키 정리 -

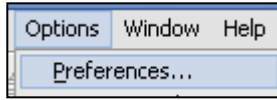
윈도 공용	
Copy	CTRL+C / CTRL+V 또는 CTRL+마우스 드래그
Separate (Cut & Paste)	CTRL+X / CTRL+V 또는 ALT+마우스 드래그
Select All	CTRL+A
Delete	Delete 또는 Backspace
Undo	CTRL+Z
Redo	CTRL+Y
Find	CTRL+F
내부 창 이동	CTRL+TAB
도움말	F1



Note

- "CTRL+마우스 드래그"로 복사 후 Repeat(F4) 작업을 수행하면, 수행 횟수만큼 복사를 반복한다.
- "CTRL+C / CTRL+V" 복사는 Net alias의 순번에 영향이 없으나, "CTRL+마우스 드래그"로 복사하면 배선에 지정된 Net alias의 순번이 1씩 증가한다.

- Preferences -

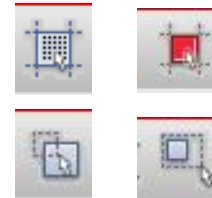


Tab

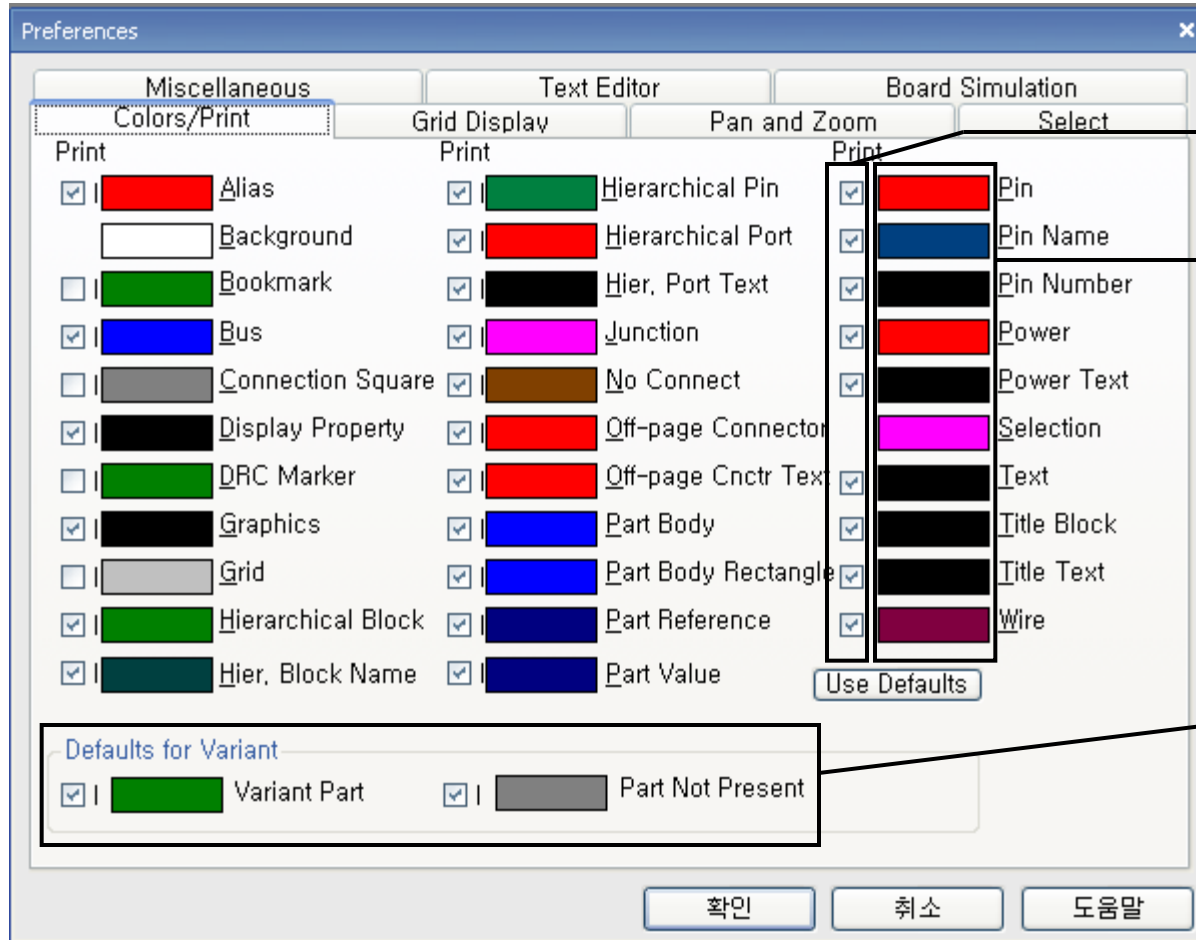
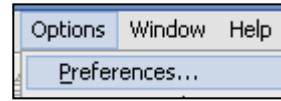
- Color / Print : 작업 도면에 사용되는 같은 바탕, 부품, 선 등의 객체 및 영역의 색상 지정
- Grid Display : 회로도면 편집 창과 부품 편집 창의 격자(Grid)를 설정한다.
 - Point snap to grid : 작업 중, 격자를 사용(체크) 또는 사용 안 함(체크해제)
(회로도면 편집 창에서는 Point snap to grid를 체크 하는 것을 권장)
- Pan and Zoom : 도면작업 중, 마우스의 이동에 의한 도면 이동속도 와 확대/축소 비율 설정
- Select : 객체 선택을 위해 마우스를 드래그할 때의 선택 방법을 지정
- Miscellaneous
 - Auto Reference : 부품을 배치할 때 Part Reference를 자동으로 부여할 것인지 여부를 설정
 - Intertool Communication : Cross Probe라고 , Capture와 Layout, Pspice, PCB Editor 간 설계 정보의 실시간 교환 여부를 설정

Note

- Grid Display Tab의 Snap to grid는 Tool bar의 버튼과 연동한다.
- Select Tab의 Area select 항목은 Tool bar의 버튼과 연동한다.



- Preferences - / Colors/Print



인쇄여부결정

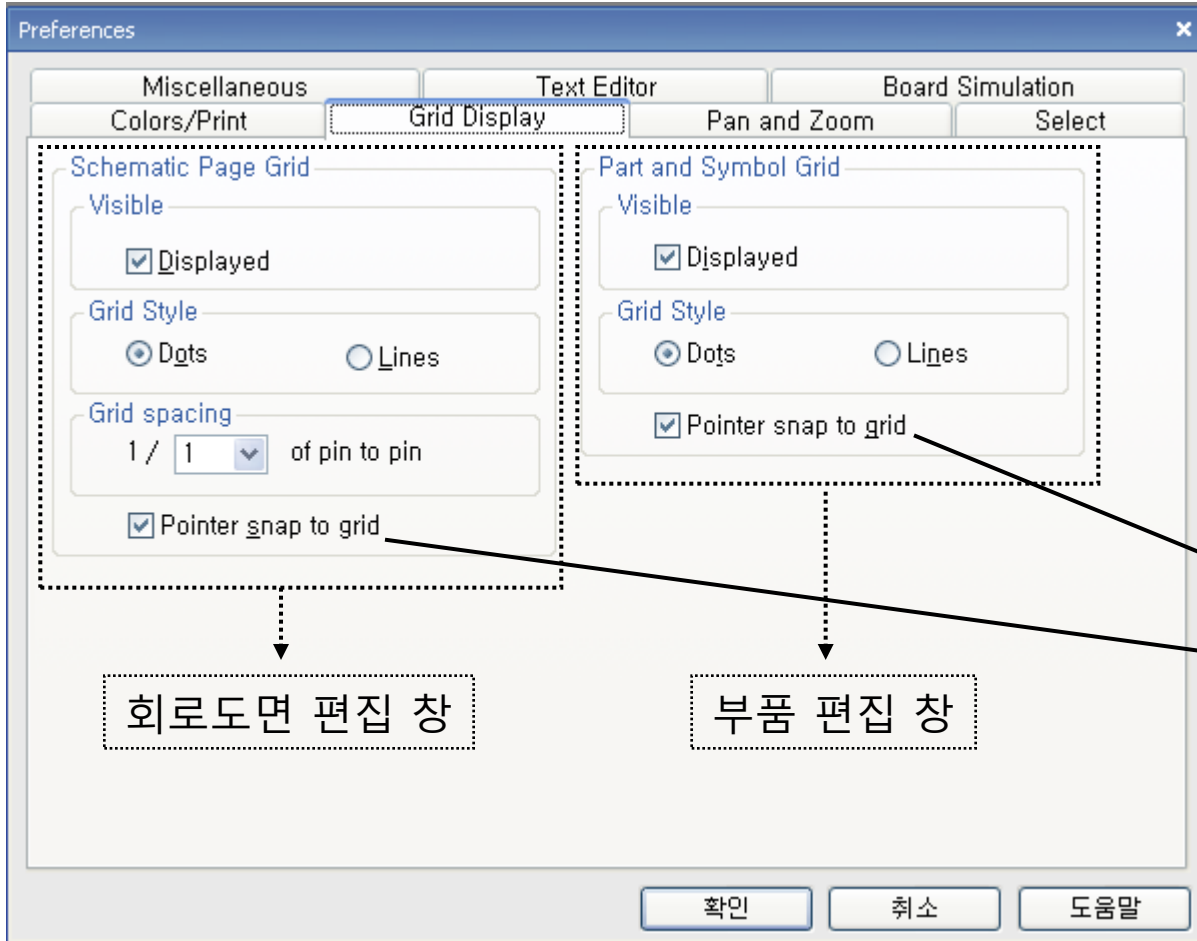
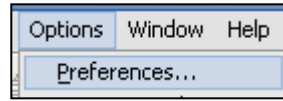
색상설정

For CIS

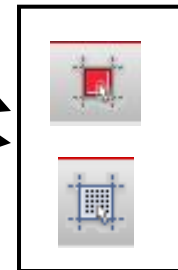
Capture Entry - Tool Options

OrCAD Capture

- Preferences - / Grid Display



- Visible : Grid 점(dot)의 표시 여부
- Grid style : grid의 표시방법
 - Dot : 점으로 표시
 - Line : 선으로 표시(모눈종이)
- Pointer snap to grid : Grid의 자석기능 설정(체크) 또는 해제(체크해제)
- Grid spacing : 격자 간격 설정
 - 1/1 : 부품 Pin 1개 간격
 - 1/10 : 부품 Pin 1/10 간격

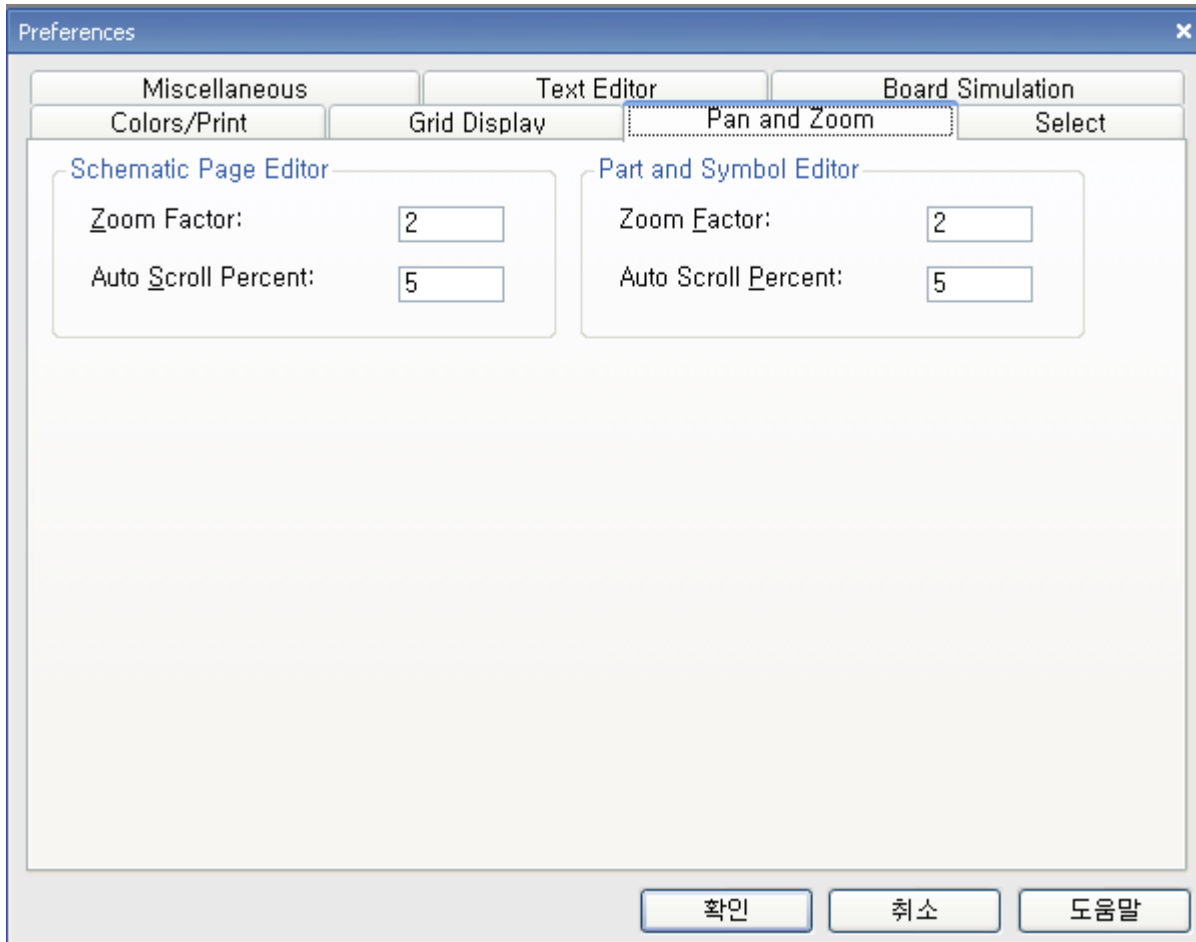
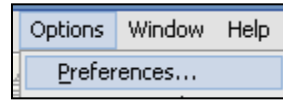


Tool bar 연동

Capture Entry - Tool Options

OrCAD Capture

- Preferences - / Pan and Zoom

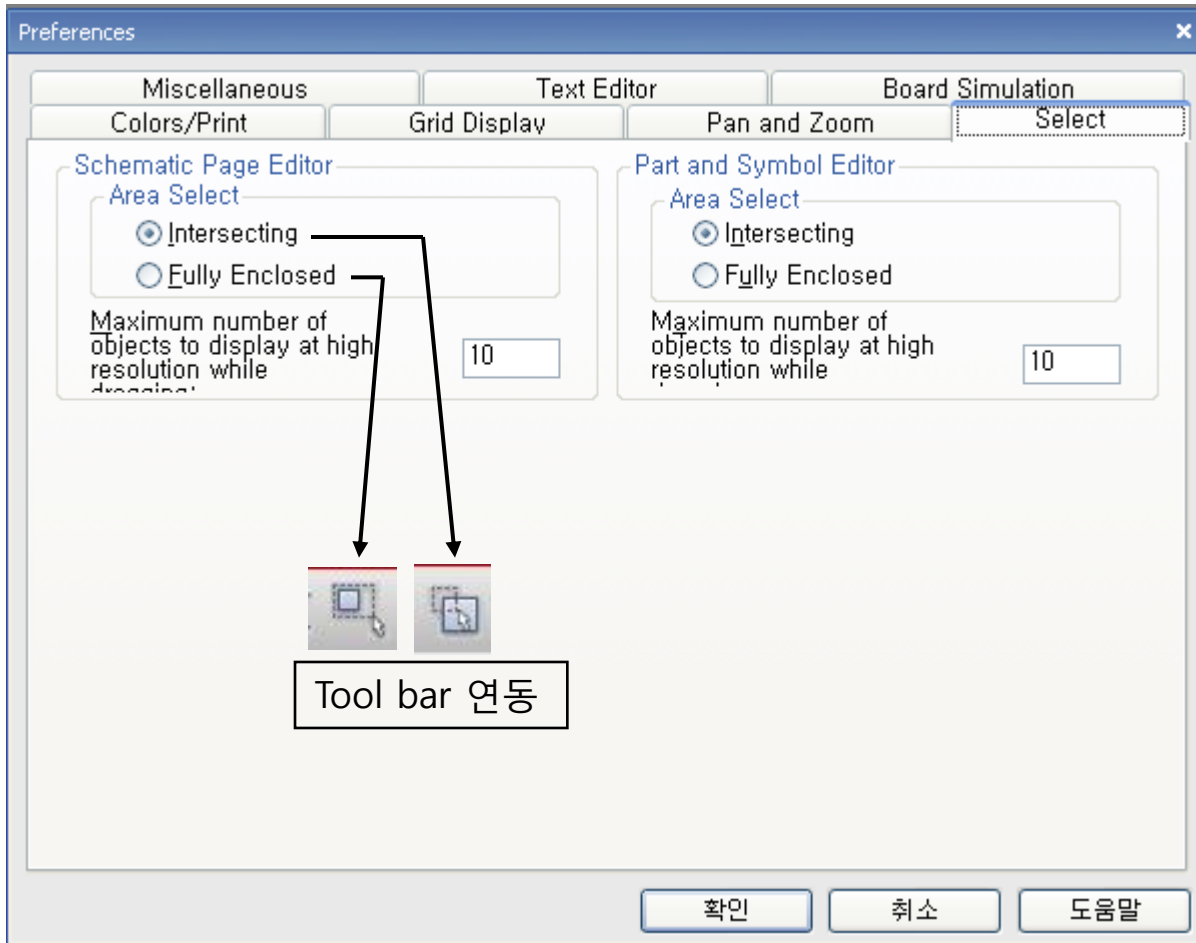
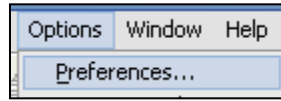


- Zoom Factor : 확대/축소 배율
- Auto Scroll Percent :
마우스 드래그 중 화면이동 비율(%)

Capture Entry - Tool Options

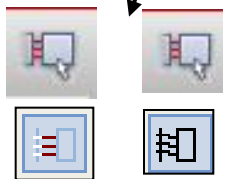
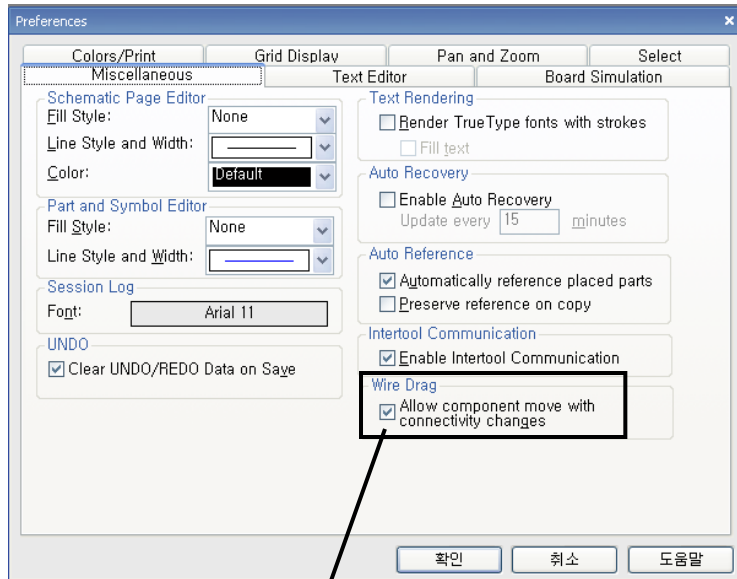
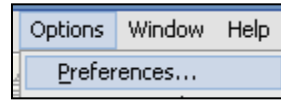
OrCAD Capture

- Preferences - / Select



- Area Select : 마우스 드래그로 객체를 선택할 때, 범위에 따른 선택 방법
 - Intersecting : 드래그 영역에 객체의 일부만 포함해도 그 객체를 선택
 - Fully Enclosed : 드래그 영역에 객체의 전체가 포함되어야 그 객체를 선택
- Maximum number of objects to display at high resolution while dragging : 과거 VESA방식 VGA를 위한 옵션으로 여러 개의 객체를 이동할 때, 그림자 외곽선을 부품 단위로 최대 몇 개까지 보여주는지를 설정하는 것이며, 굳이 설정하지 않아도 되는 옵션입니다. **Default로 유지해주세요.**

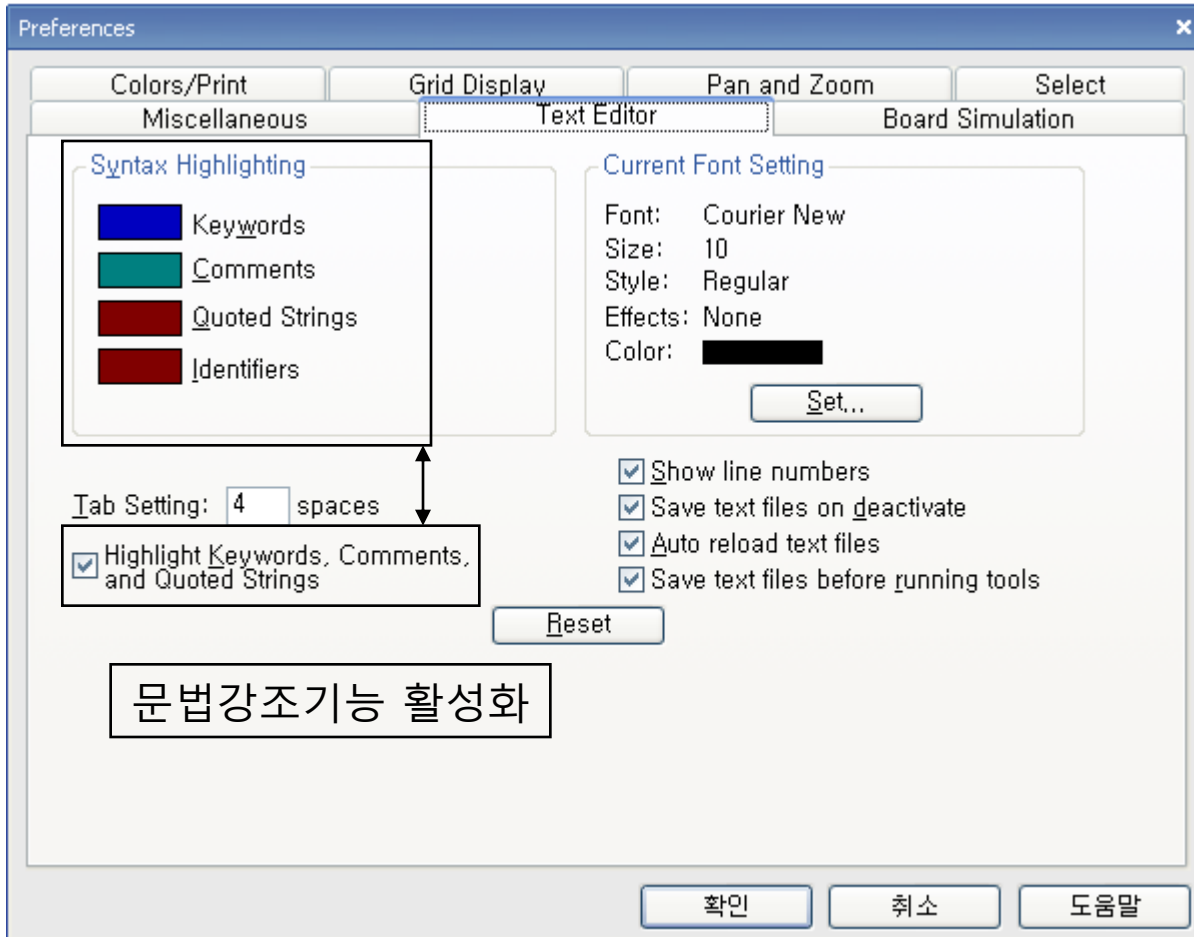
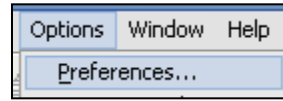
- Preferences - / Miscellaneous



Tool bar 연동

- Fill Style, Line Style and width, Color : 선의 형태, 색상, 도형의 속 채움(Solid/Empty/etc.) 설정
- Font : Session Log의 글꼴 설정
- Clear Undo/Redo data on Save : 파일을 저장할 때, 저장 이전에 기록된 Undo 내역을 모두 제거
- Render True Type fonts with strokes : 화면축소로 폰트크기가 과도하게 작아질 경우 폰트를 임의의 형태로 조정
- Enable Auto Recovery : 오류 발생시, 자동 오류복구 설정 및, 복구시점 저장간격 설정
- Automatically Reference placed parts : Part Reference(부품번호) 자동 부여 여부 설정
- Preserve reference on copy : 부품 복사 시, 부품번호를 자동으로 증가(체크) 또는 부품번호 유지(체크해제)
- Enable Intertool Communication : Cross Probe, 프로그램간 상호 연동기능(Capture <-> Layout, Pspice, PCB Editor)
- Allow component move with connectivity changes : Pin / Net간 새로운 결선/편집 여부 설정

- Preferences - / Text Editor



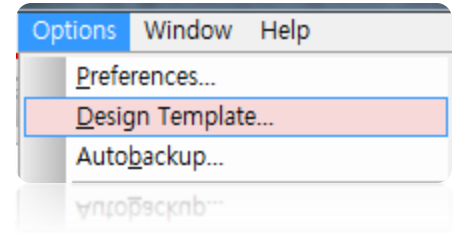
- 내장 Editor 설정
- 구문강조(Syntax Highlighting)
- Font 설정
- Tab -> Space x 4 변환
- Etc.

Capture Entry - Tool Options

OrCAD Capture

- Design Template -

Tab



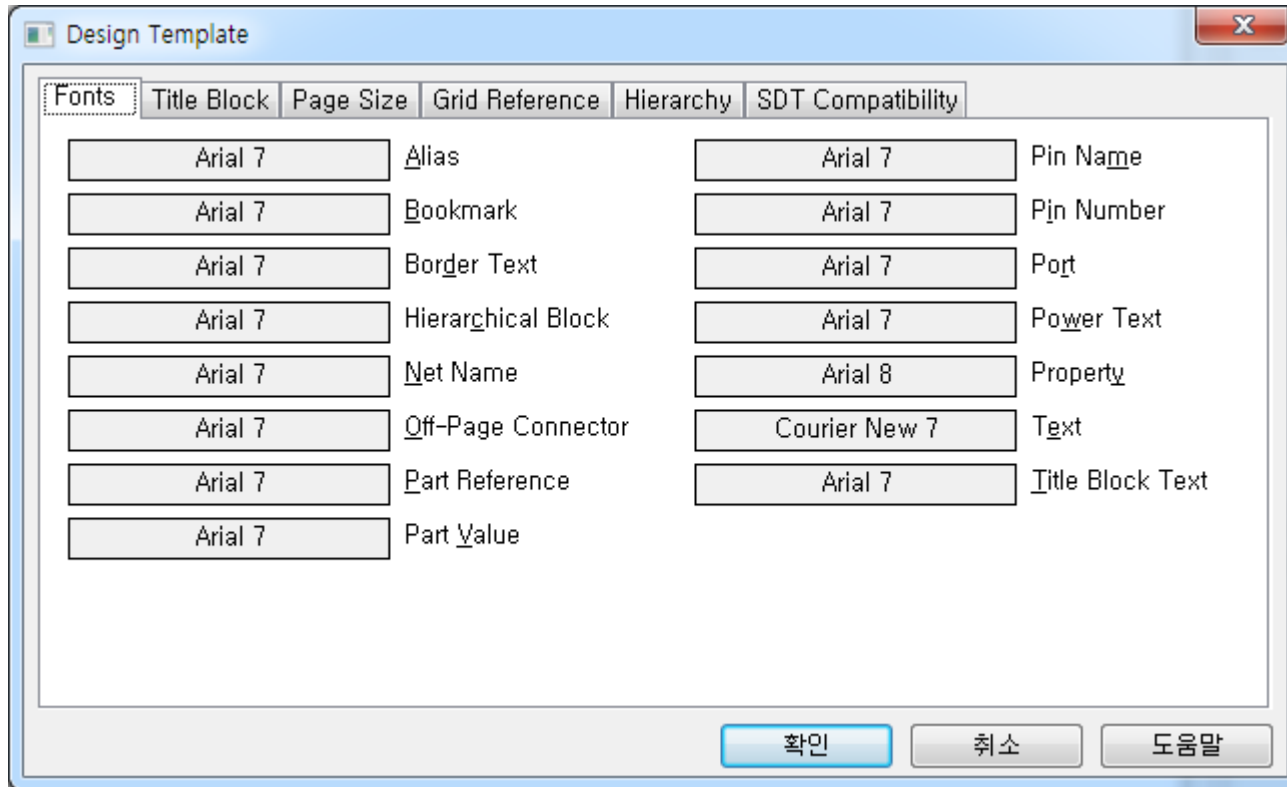
- Font : 회로도면에 표시되는 Text 객체의 글꼴 설정
- Title Block : 도면 이름, 도면 순번, 제작자 등의 회로도면 정보를 미리 기입하여, 새 작업에서 표시한다
- Page size : 새 작업에서 사용할 회로도면의 용지크기 설정
- Grid Reference : 회로도면 외곽 격자의 간격, 개수, 단위 등의 설정
- Hierarchy : 계층구조 도면 및 부품의 단일화 설정
- SDT Compatibility : DOS 버전 OrCAD(예전 명칭 : SDT 386+)와의 호환 속성 Map 지정

Note

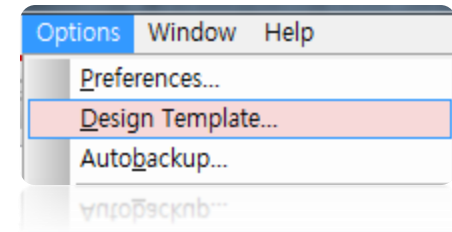
- Design Template의 설정은 현재 프로젝트에 즉시 적용되지 않고 설정 후, 새로운 프로젝트를 생성하는 시점부터 적용된다.

Capture Entry - Tool Options

- Design Template - / Fonts



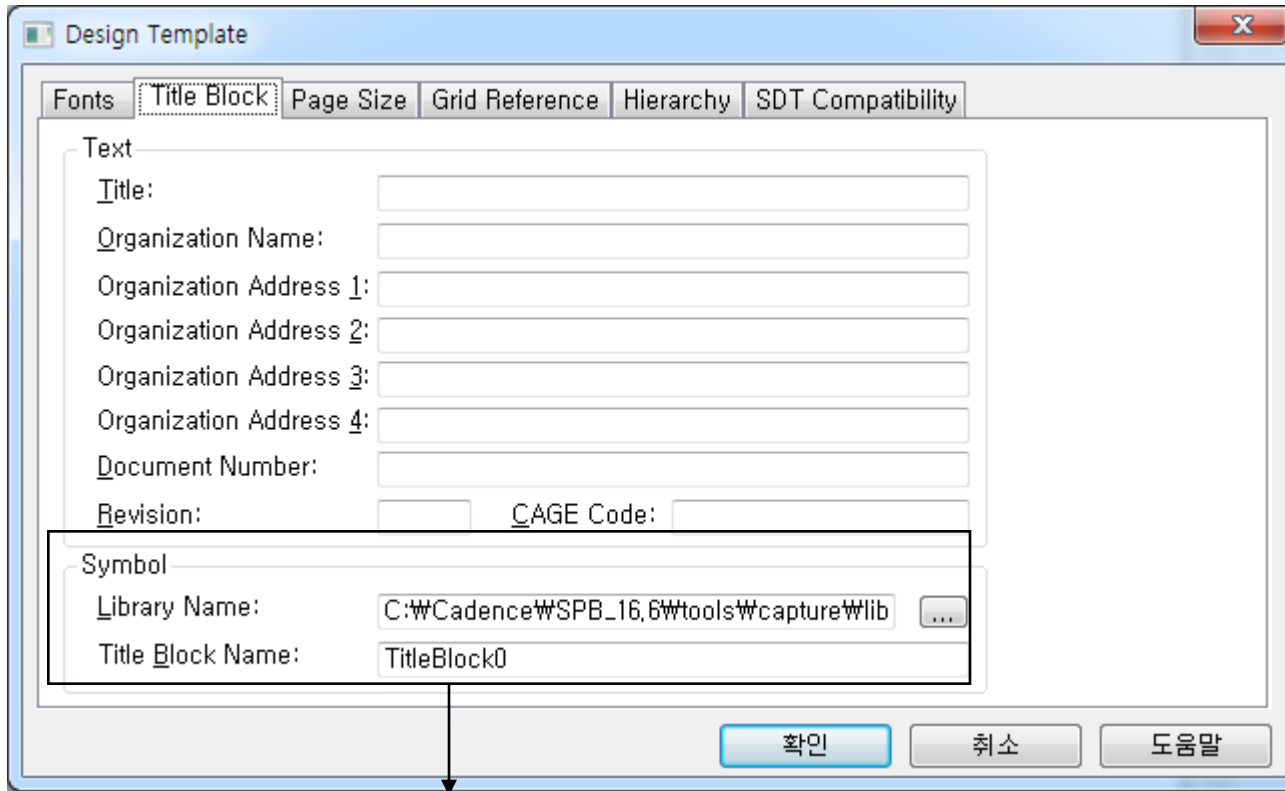
OrCAD Capture



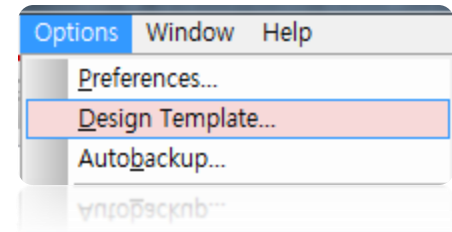
- Font : 회로도면에 표시되는 모든 Text 객체의 글꼴 설정

Capture Entry - Tool Options

- Design Template - / Title Block



OrCAD Capture



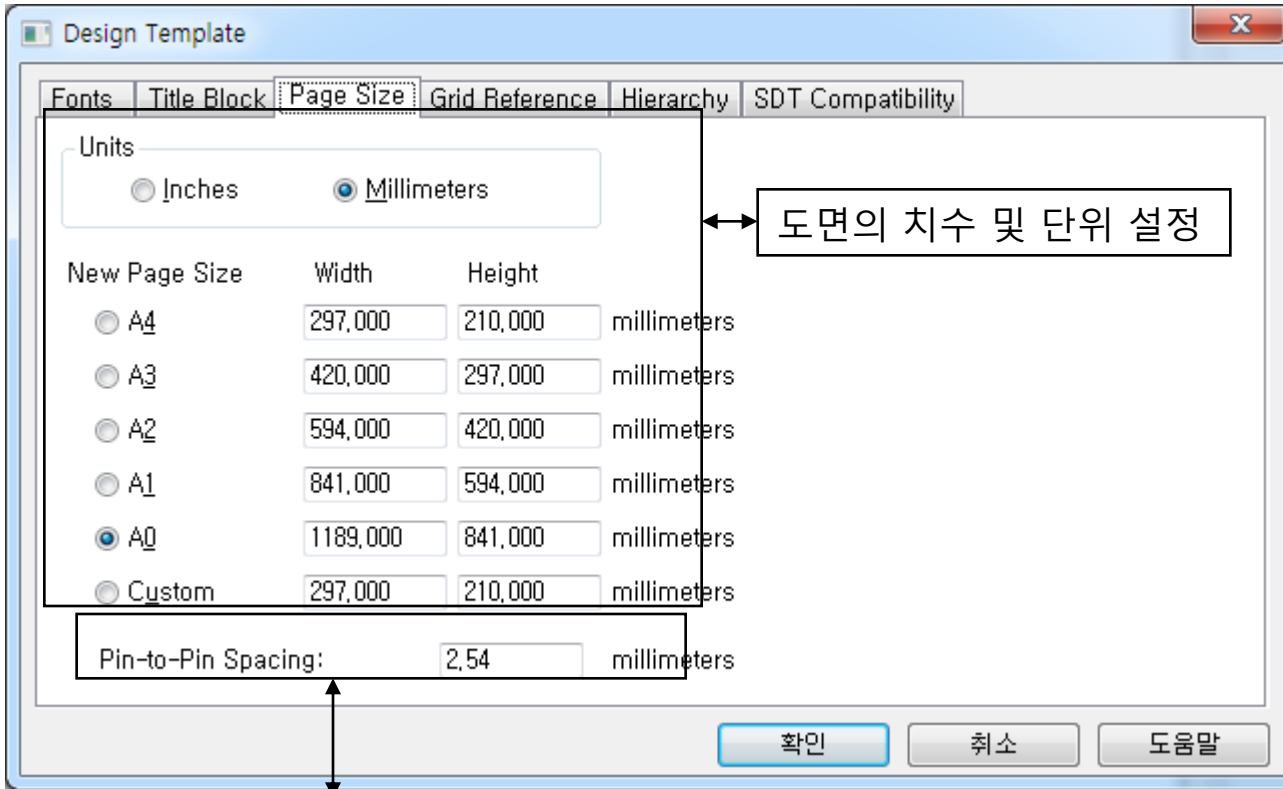
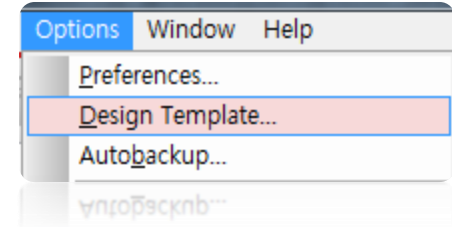
- Title Block : 회로 제작과 관련한 사항을 미리 입력해두면, 다음에 작업할 새로운 프로젝트 작업에서는 회로도면의 Title Block 항목에 입력된 내용이 자동으로 삽입된다.

Title Block의 형태를 사용자 환경에 맞추어, 임의로 제작/지정하여 영구적으로 사용할 수 있다.

Capture Entry - Tool Options

- Design Template - / Page Size

OrCAD Capture

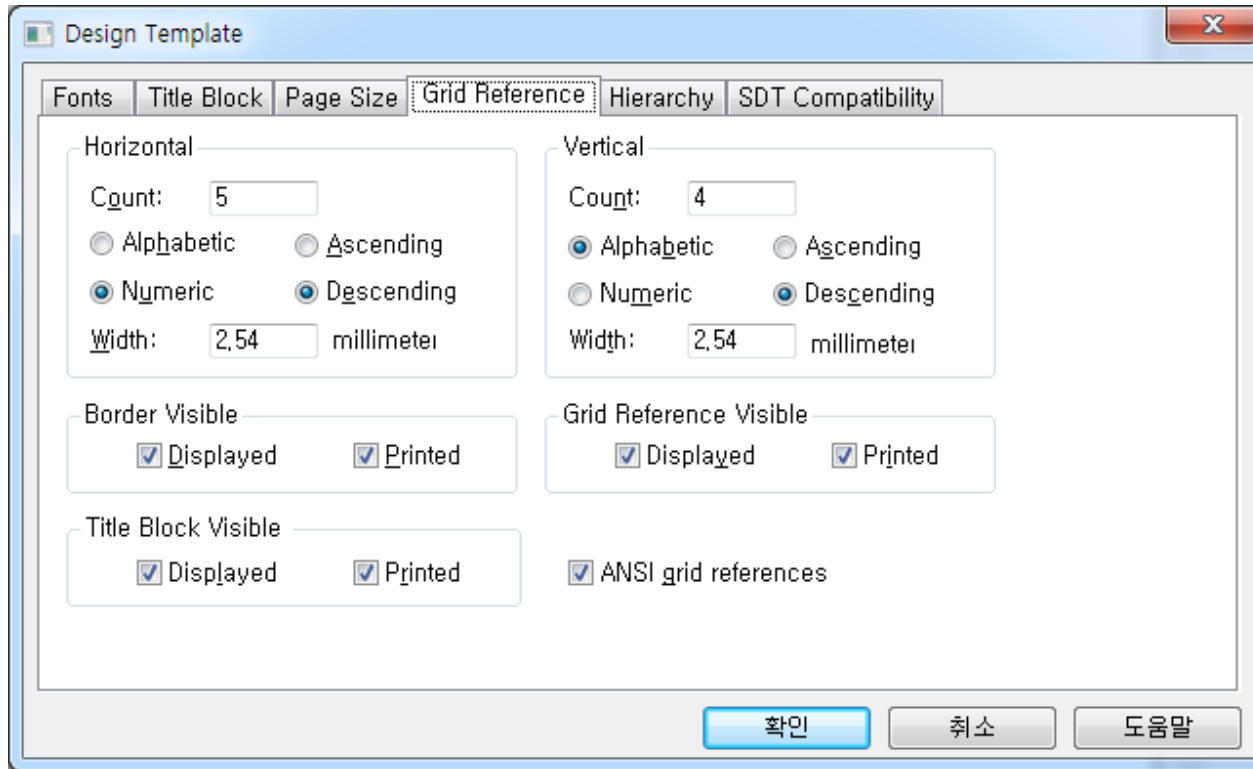


- Page Size : 회로도면 용지크기를 변경한다. 새로운 프로젝트부터 변경내역이 적용된다

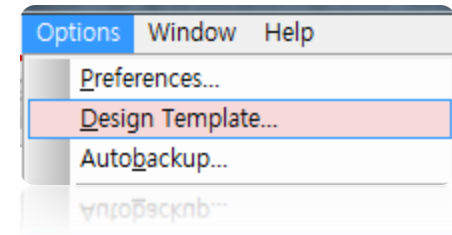
핀 간격(Grid)간격 조정부분 - 도면 전체 확대/축소의 효과가 있으므로, 기본설정 그대로 유지하세요.

Capture Entry - Tool Options

- Design Template - / Grid Reference



OrCAD Capture

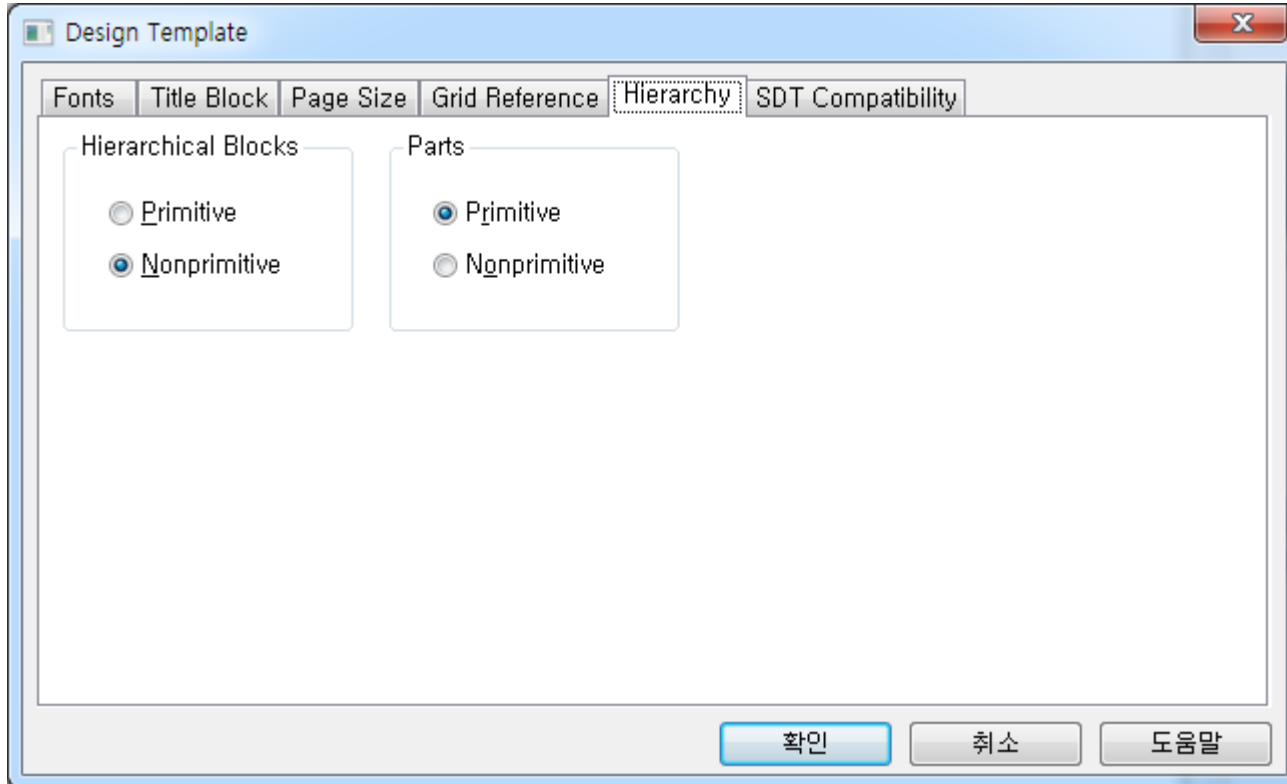
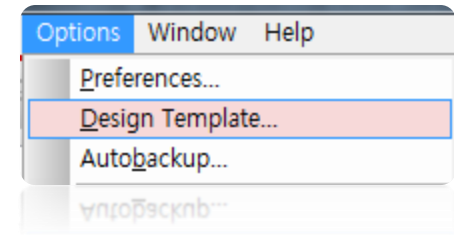


- Grid Reference : 회로도면 외곽 격자의 간격, 개수, 단위 등의 설정
 - Displayed : 화면 표시 여부
 - Printed : 인쇄 여부
 - Count : 격자 개수
 - Width : 격자 간격

Capture Entry - Tool Options

- Design Template - / Hierarchy

OrCAD Capture

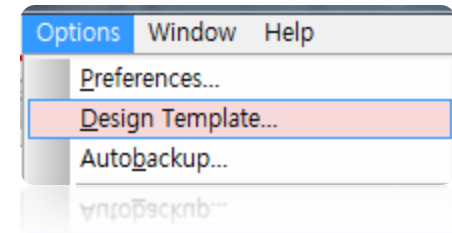


- Hierarchy : 계층구조 도면 및 부품의 단일화 설정

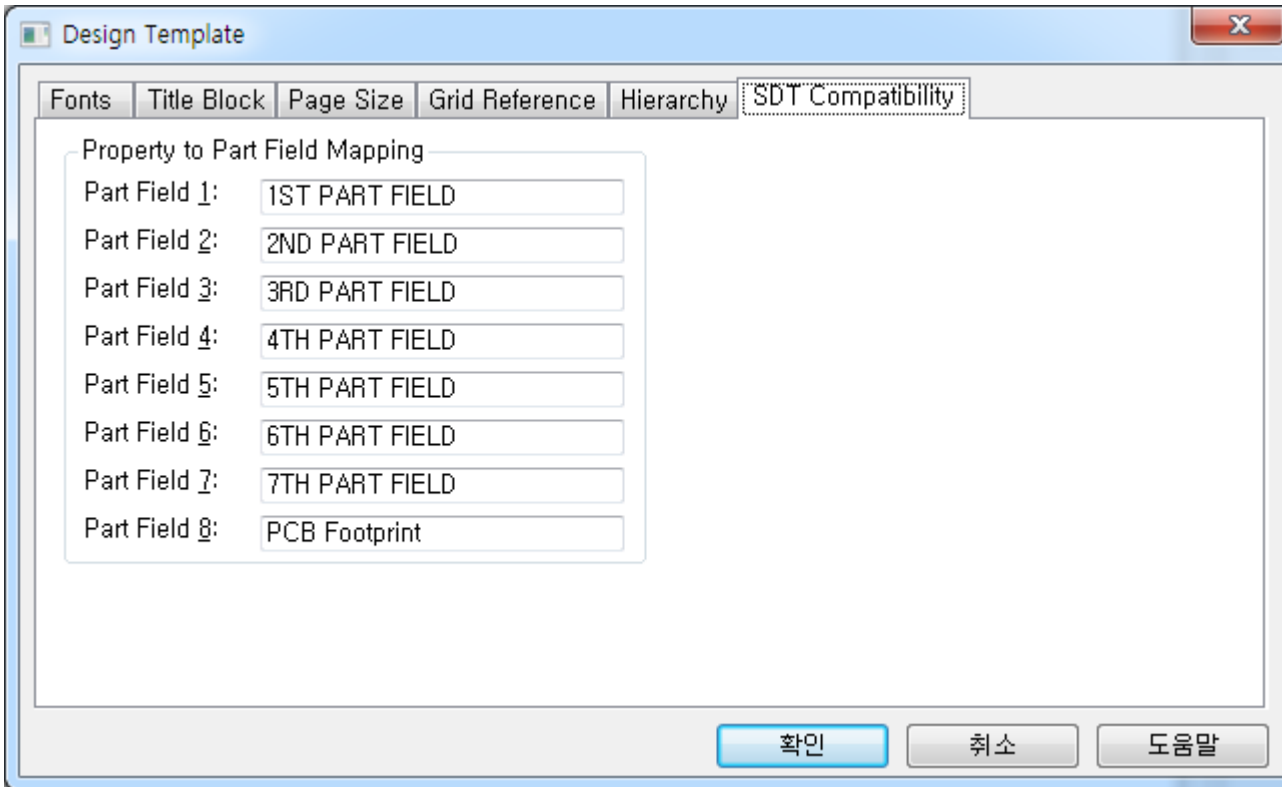
Capture Entry - Tool Options

- Design Template - / SDT Compatibility

OrCAD Capture



- SDT Compatibility : DOS 버전 OrCAD(SDT 386+)와의 호환 속 성 Map 지정



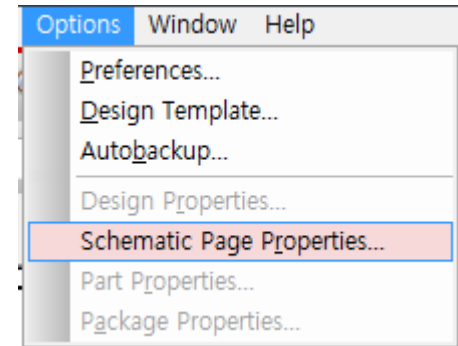
Capture Entry - Tool Options

OrCAD Capture

- Schematic Page Properties -

Tab

- Page size : 새 작업에서 사용할 회로도면의 용지크기 설정
- Grid Reference : 회로도면 외곽 격자의 간격, 개수, 단위 등의 설정
- Miscellaneous : 페이지 정보 출력 (설정 Tab 아님)



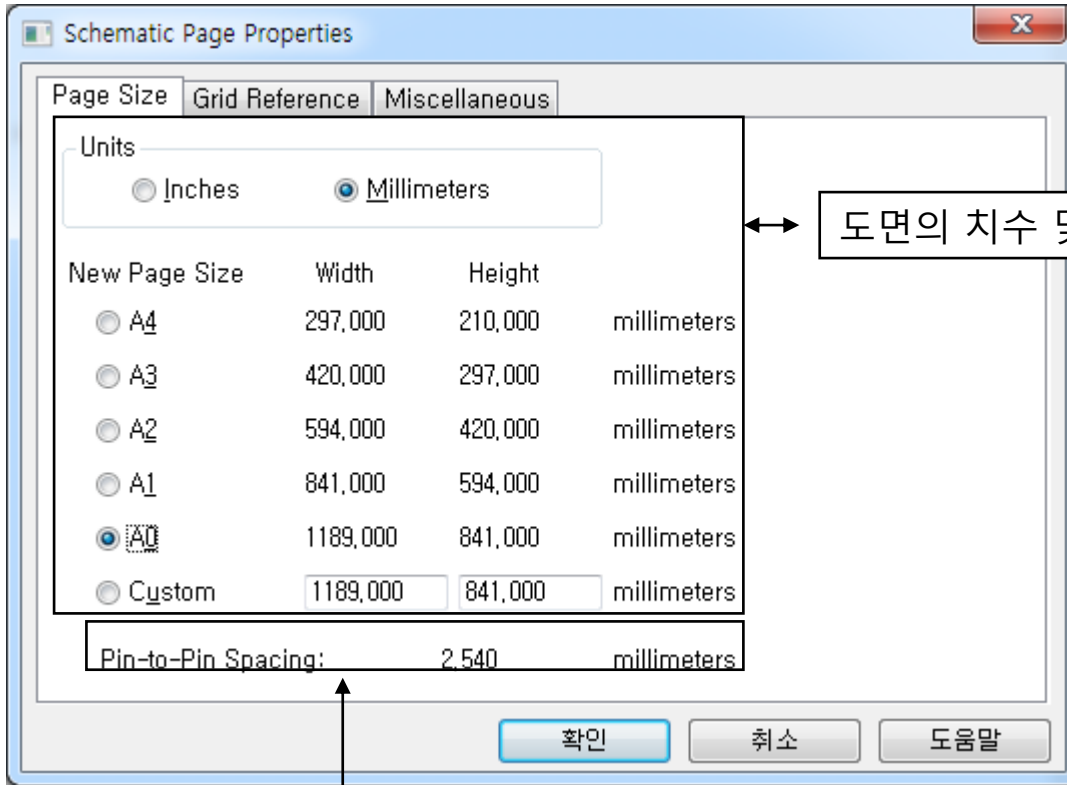
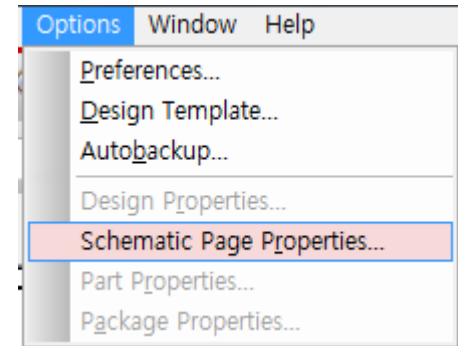
Note

- Schematic Page Properties는 Design Template의 일부분과 동일한 내용의 구성이지만, Design Template의 그것과는 달리, 현재 프로젝트에 즉시 적용되고, 새로 생성되는 다른 프로젝트에는 영향을 주지 않는다

Capture Entry - Tool Options

OrCAD Capture

- Schematic Page Properties - / Page Size



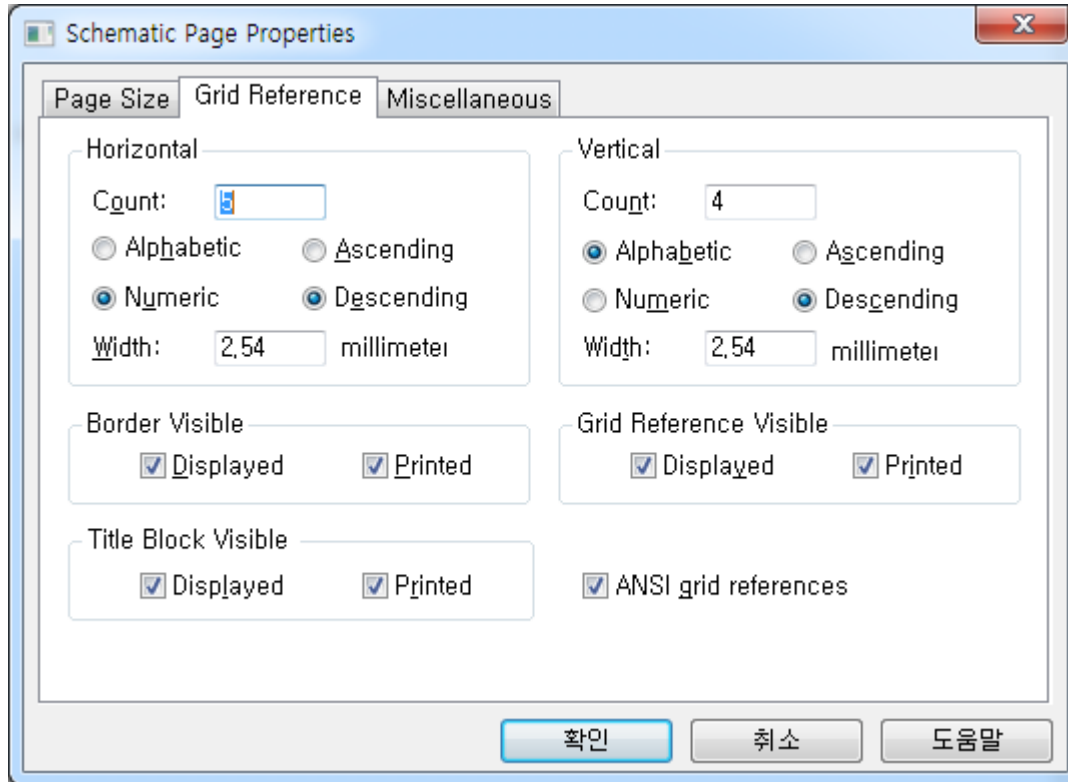
도면의 치수 및 단위 설정

- Page Size : 회로도면 용지크기를 변경한다. 변경내역은 즉시 적용된다

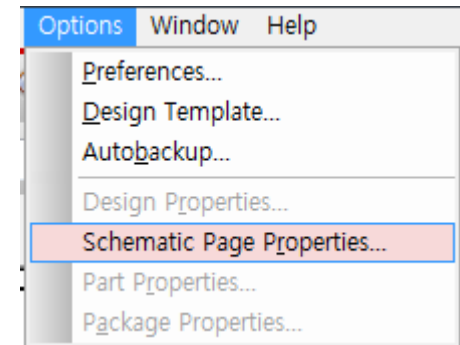
Schematic Page Properties에서는 Pin 간격을 바꿀 수 없다

Capture Entry - Tool Options

- Schematic Design Properties - / Grid Reference



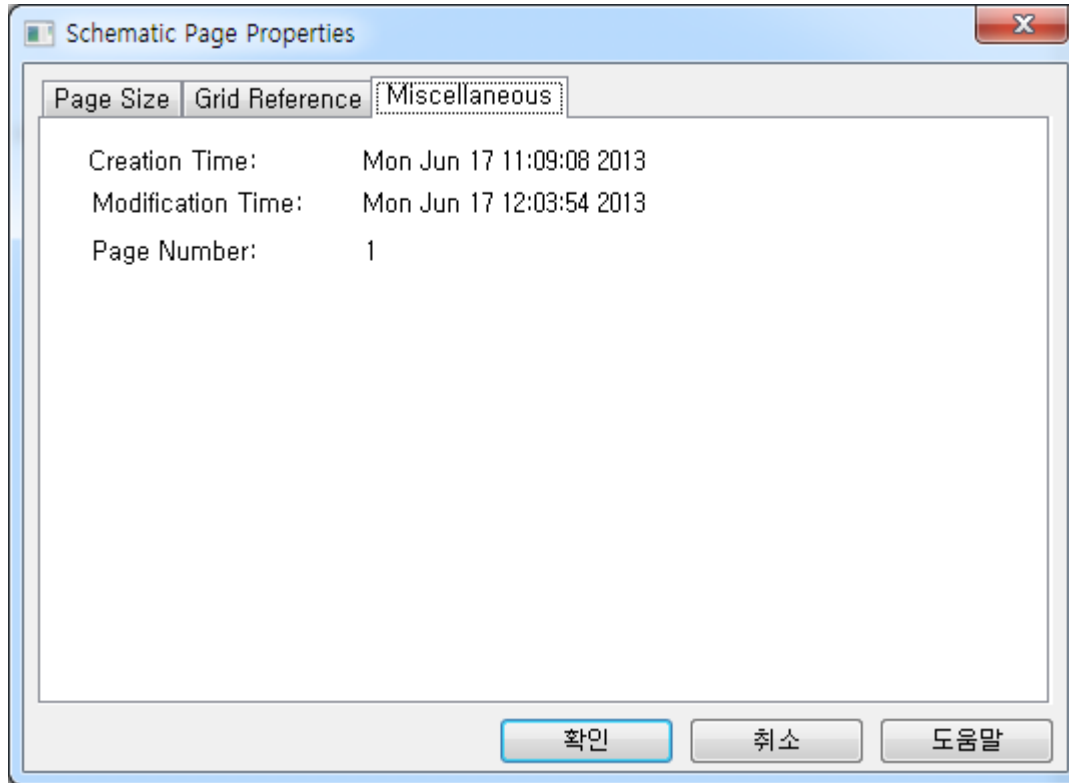
OrCAD Capture



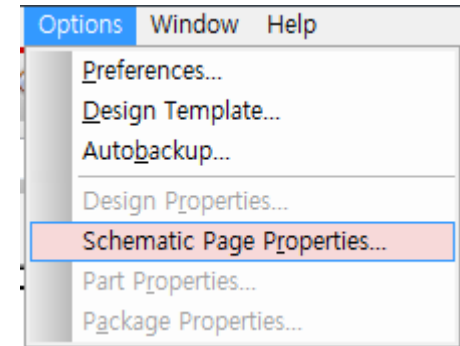
- Grid Reference : 회로도면 외곽 격자의 간격, 개수, 단위 등의 설정
 - Displayed : 화면 표시 여부
 - Printed : 인쇄 여부
 - Count : 격자 개수
 - Width : 격자 간격

Capture Entry - Tool Options

- Schematic Design Properties - / Miscellaneous



OrCAD Capture



- 아래 항목의 작업중인 도면정보 표시
 - 최초 생성날짜
 - 최종 수정날짜
 - 페이지 순번 (여러 페이지인 경우)

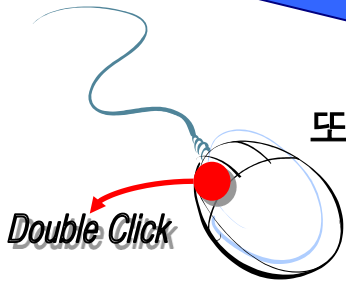
Capture Entry - Property Windows

OrCAD Capture

DSP_A0	10	U1	11	DSP_D0
DSP_A1	9	A0	12	DSP_D1
DSP_A2	8	A1	13	DSP_D2
DSP_A3	7	A2	15	DSP_D3
DSP_A4	6	A3	16	DSP_D4
DSP_A5	5	A4	17	DSP_D5
DSP_A6	4	A5	18	DSP_D6
DSP_A7	3	A6	19	DSP_D7
DSP_A8	25	A7		
DSP_A9	24	A8		
DSP_A10	21	A9		
DSP_A11	23	A10		
DSP_A12	2	A11		
		A12		
PMS	20	CS1		
PMS_LOW	26	CS2		
DSP_WR	27	WE		
DSP_RD	22	OE		

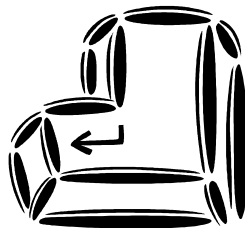
6264

속성 편집 - 속성 편집 창 호출



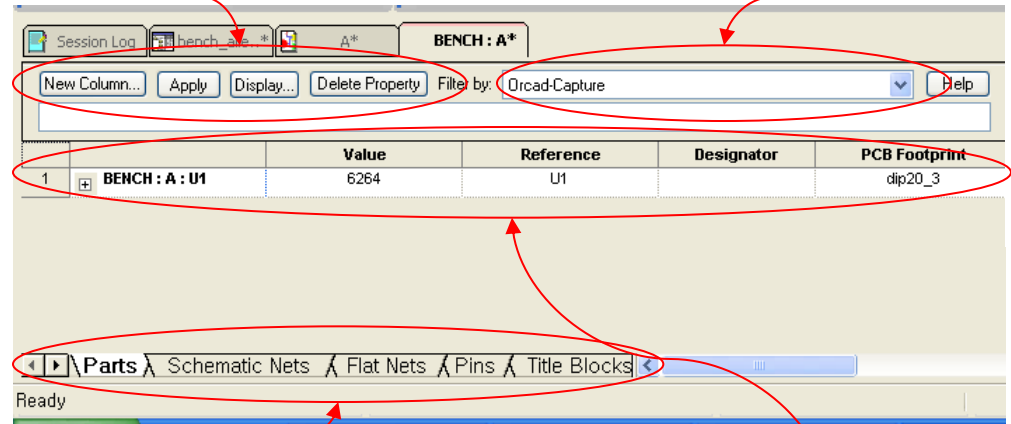
- Mirror Horizontally
- Mirror Vertically
- Mirror Both
- Rotate
- Edit Part
- Edit Properties...**
- Link Database Part
- View Database Part..

또는



Tool Button

Properties Filter

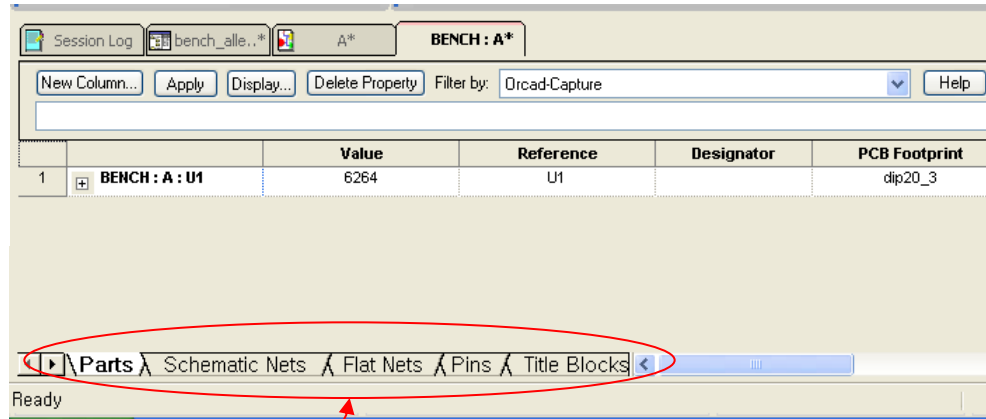


Object Scope

Property Table

속성 편집 - 객체 분류 Tab

회로 내 객체의 속성별로 분류하여 Tab으로 표시



Object Scope

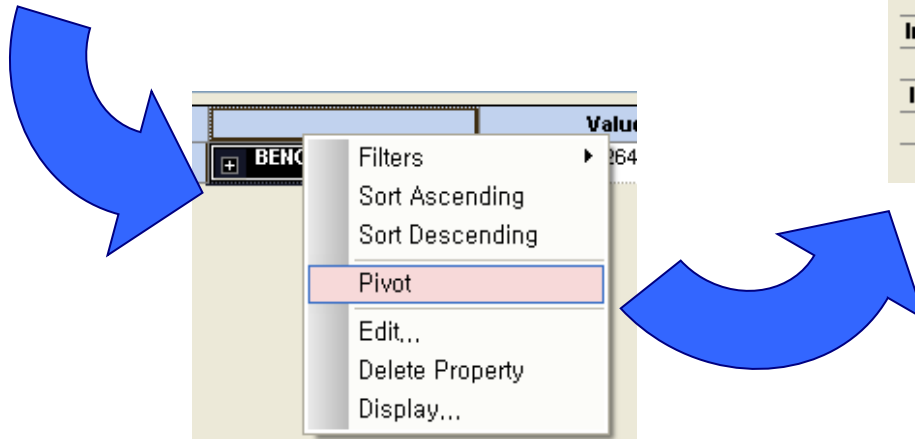
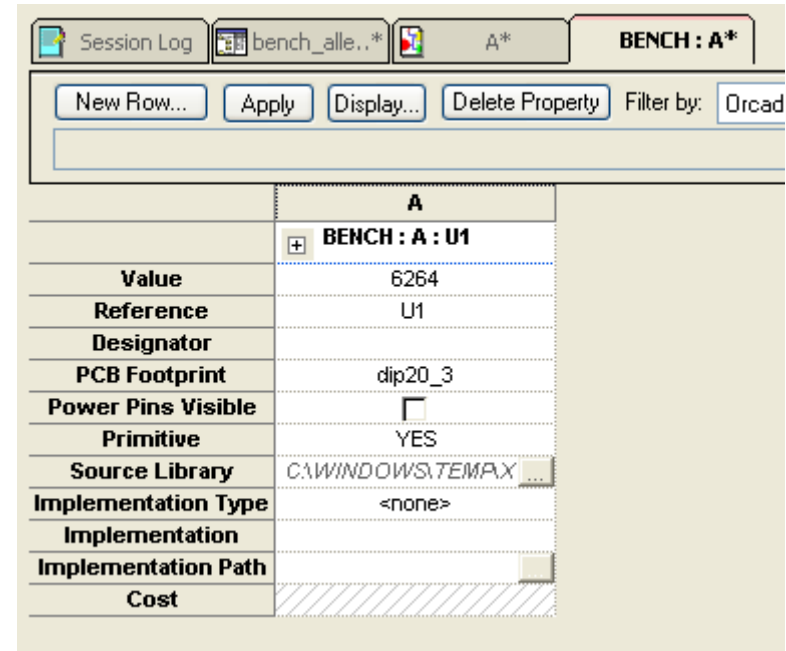
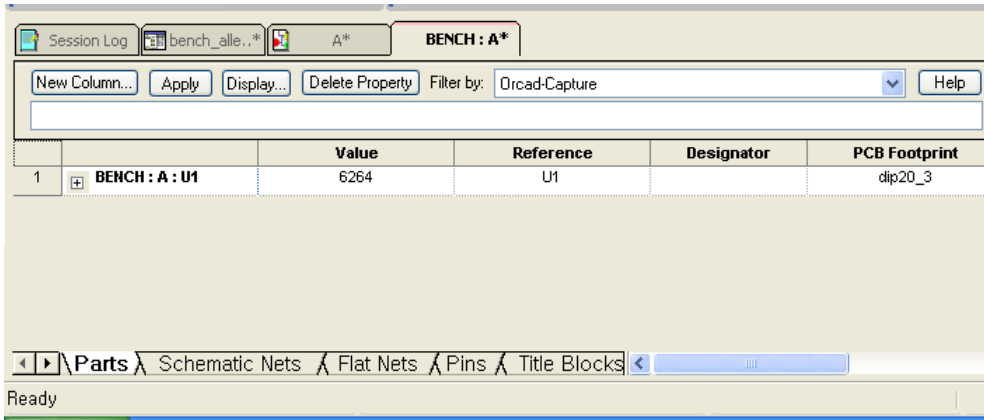
- Parts – 부품
- Schematic Nets – 도면 내 Nets
 - Flat Nets – 전체회로 내 Nets
 - Pins – 부품 핀
- Title Blocks – 도면 내 Title Block
- Globals – Global로 설정된 Net (예 : VCC, GND)
 - Ports – Hierarchical Ports
 - Aliases – Net Alias

Capture Entry - Property Windows

OrCAD Capture

속성 편집 - Pivot

Pivot으로 Table 배열 변경

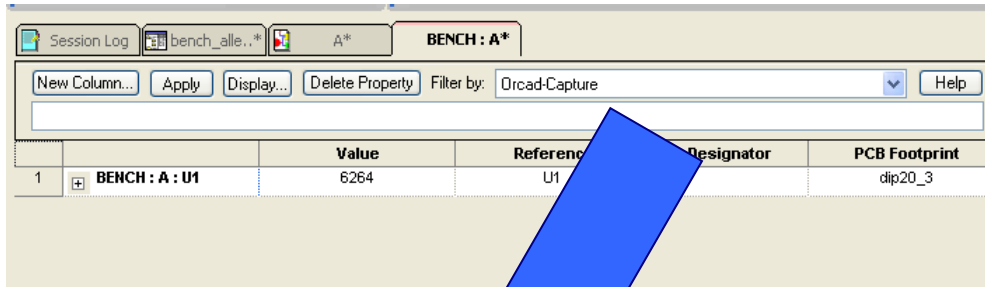


Capture Entry - Property Windows

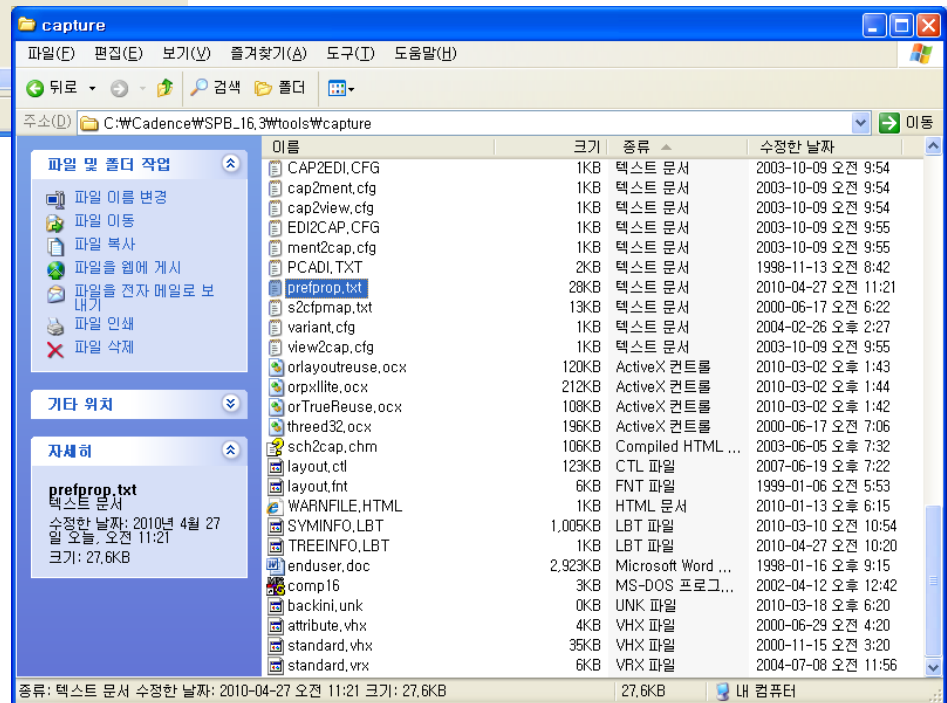
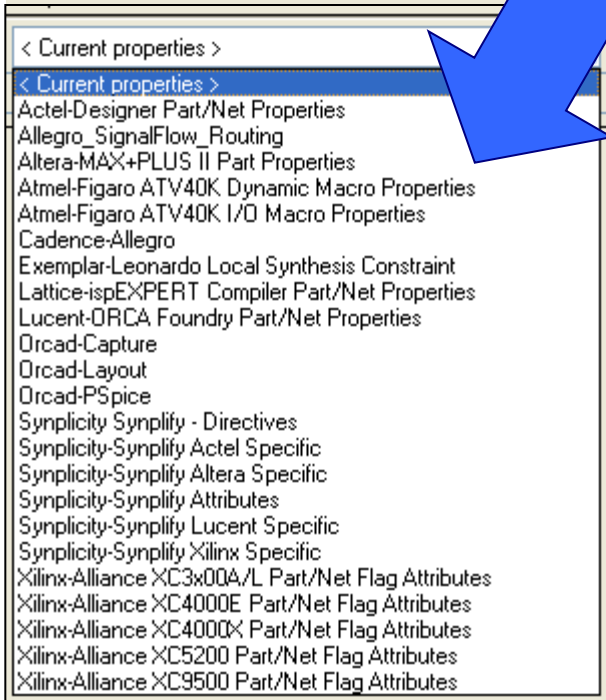
OrCAD Capture

속성 편집 - Filter 구성

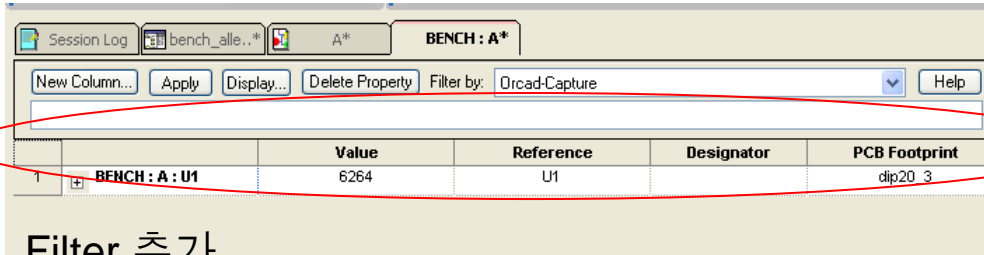
OrCAD 전용의 Property 및 연동되는 각 Tool을 위한 Property를 Filter로 분류



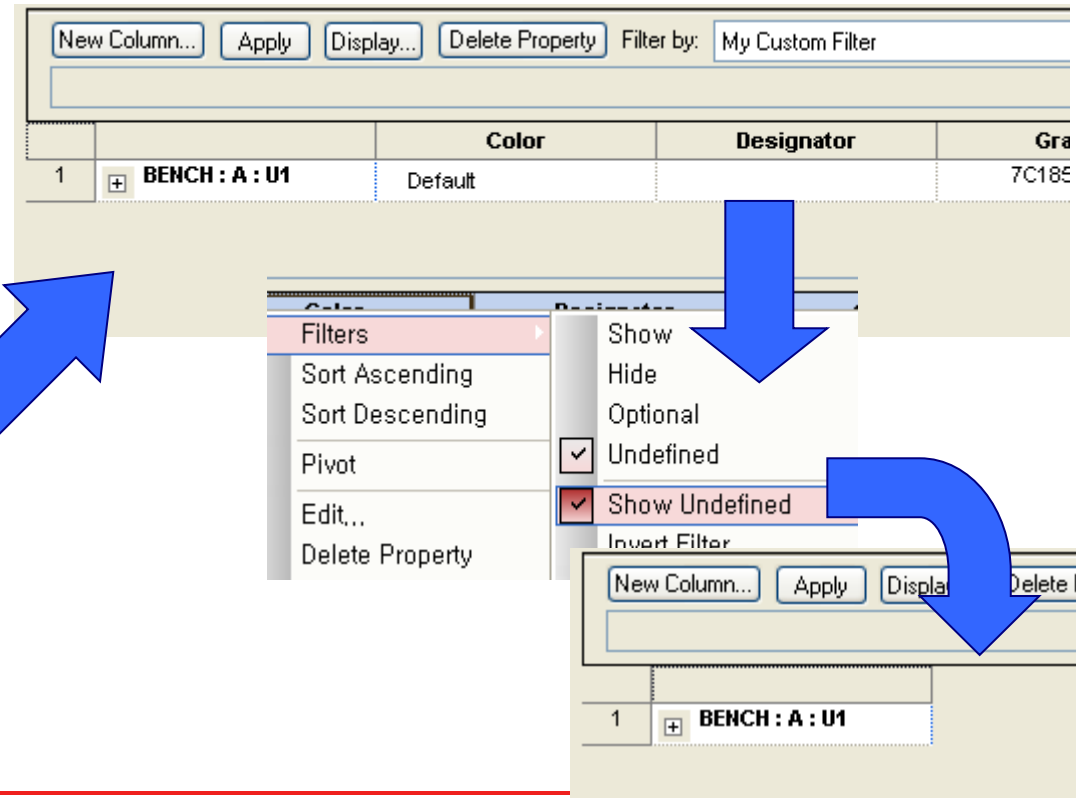
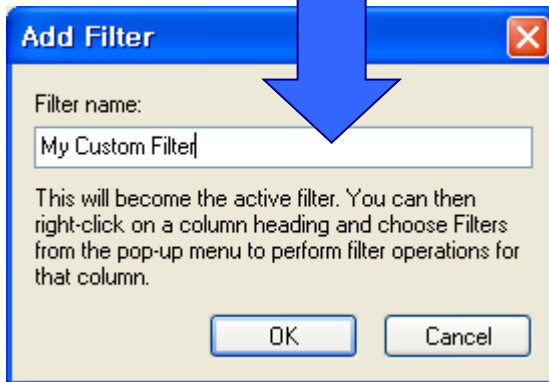
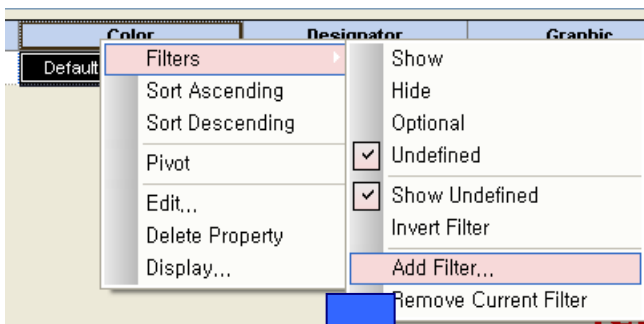
Filter 목록은 Capture 설치폴더 내 prefprop.txt라는 파일로 관리



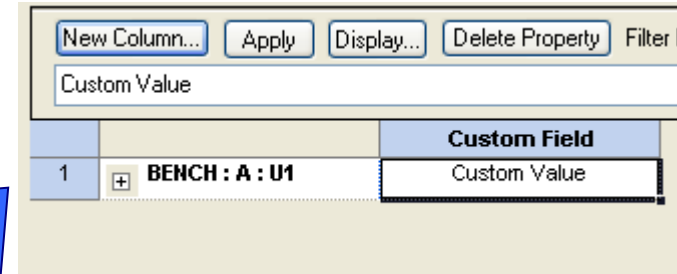
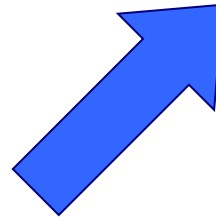
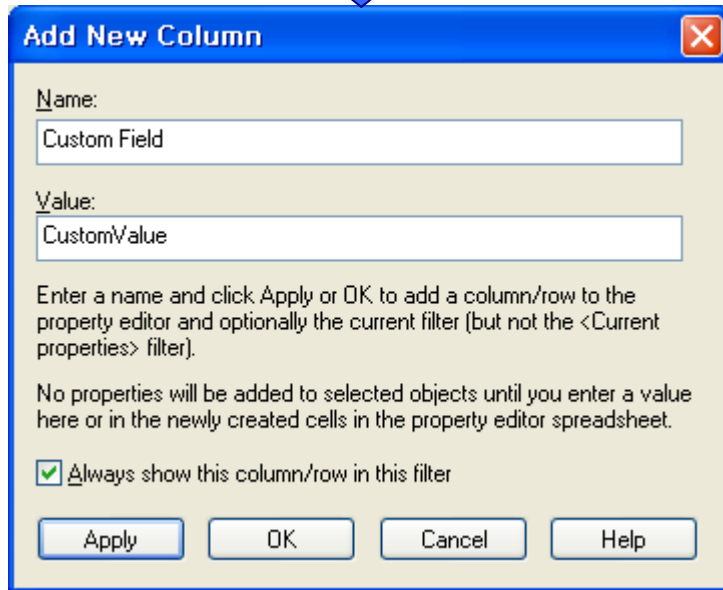
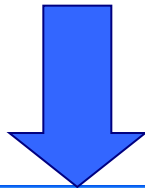
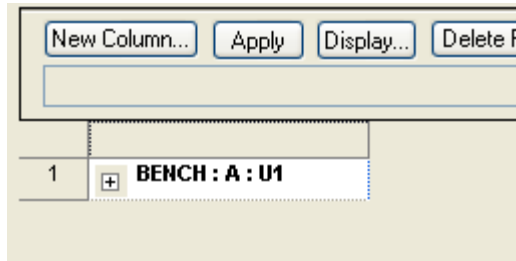
속성 편집 - Filter 구성



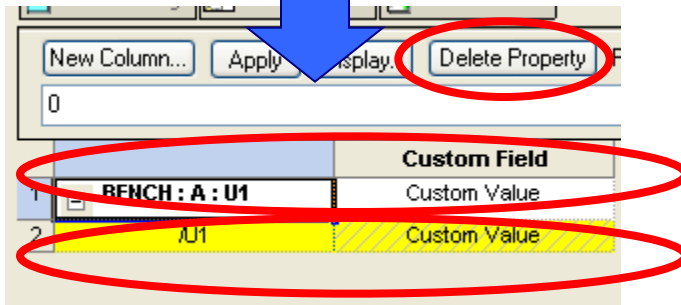
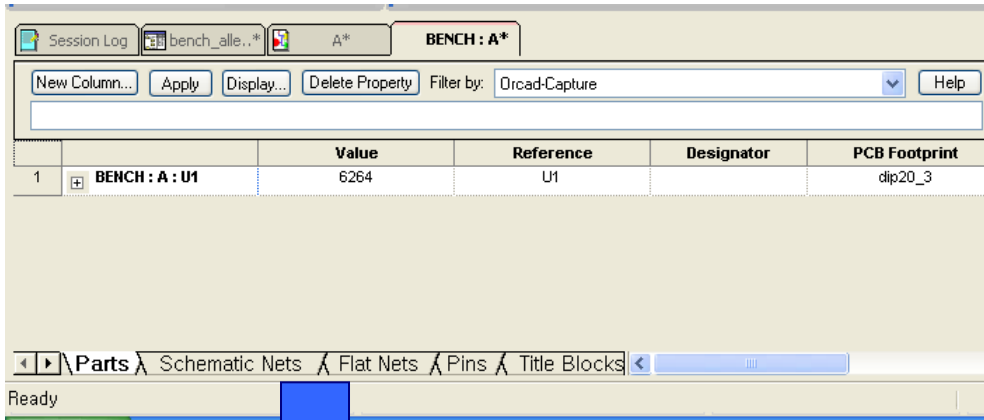
Filter 추가



속성 편집 - Column(또는 Row) 및 Filter 추가

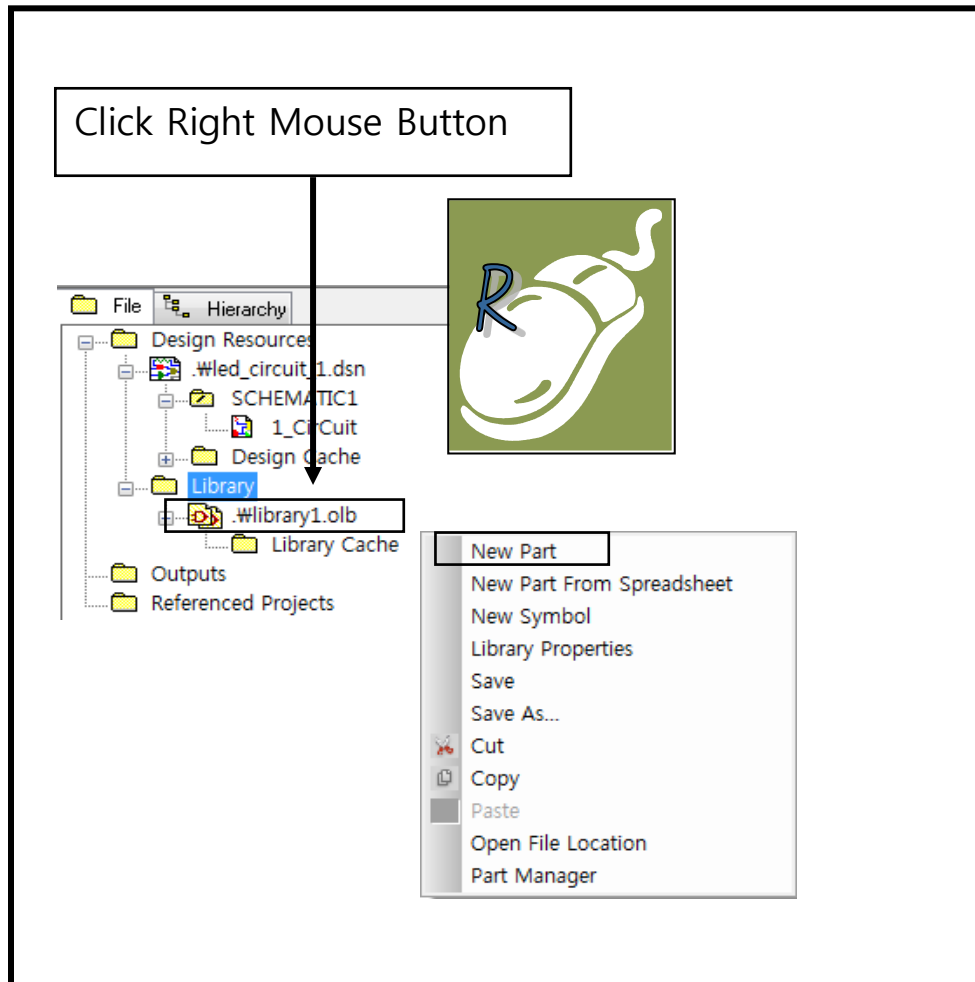
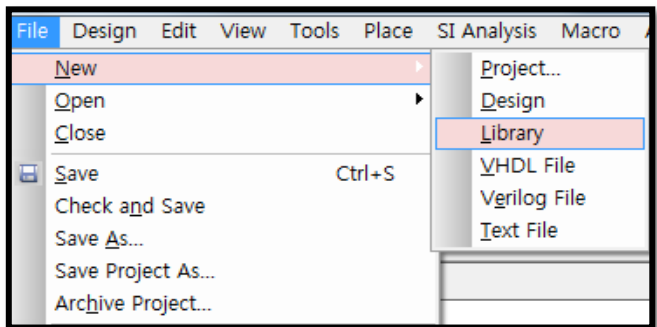


속성 편집 - Instance, Occurrence 간 발생된 문제의 교정



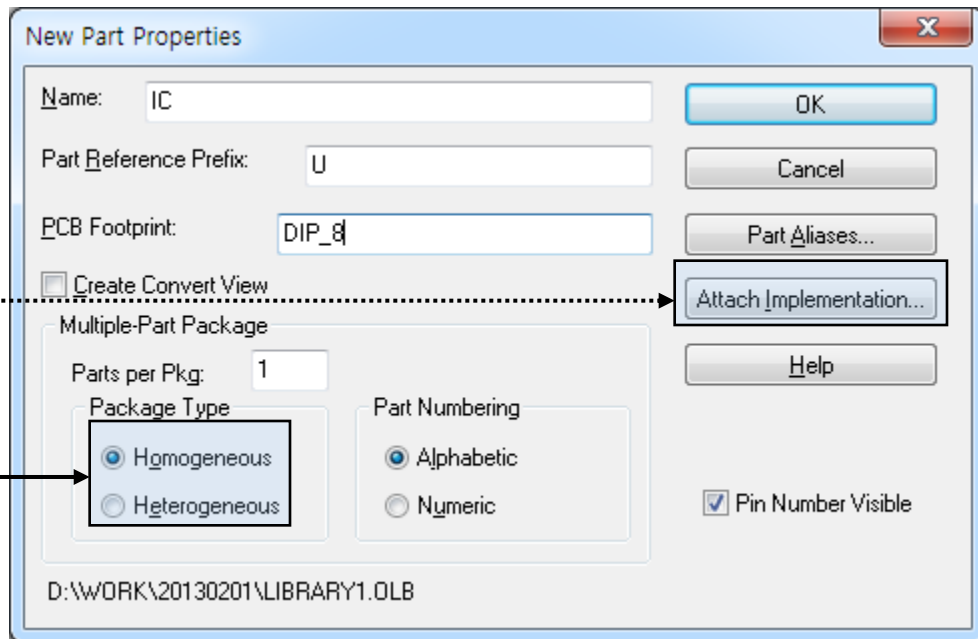
단일도면 상에서 흰색 줄과 노란색 줄의 값은 동일해야 하지만, 실수로 노란색 줄의 값을 건드려서 서로의 값이 달라질 경우, Delete Property를 사용하여, 흰색 줄의 내용으로 복원할 수 있다.

- Library 제작 - / 라이브러리 제작 환경



1. File -> New -> Library
2. Library 폴더 -> .\library1.olb가 생성
3. New Part
4. New Part From Spreadsheet
5. New Symbol

- Library 제작 - / 라이브러리 제작 환경



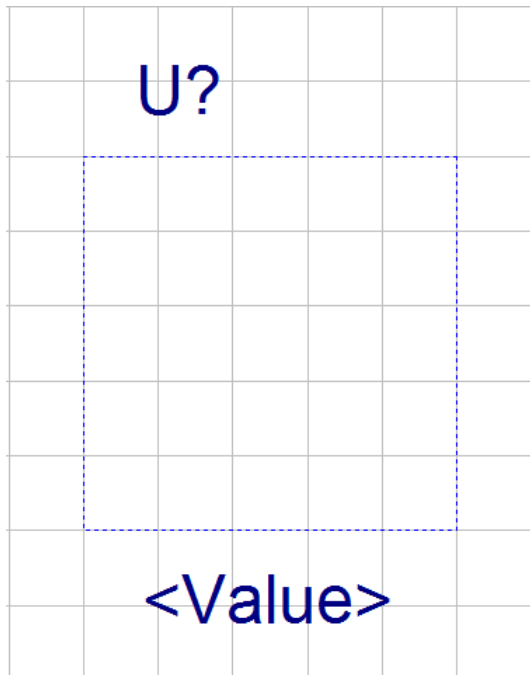
New Part Properties

- Name : 부품 이름
- Part Reference Prefix : 순번을 뺀 부품번호 머리글자 (ex : R, L, C, U, Q, IC...)
- PCB Footprint : Layout, PCB Editor에 적용할 PCB Footprint Library 이름
- Create Convert View
- Multiple-Part Package : 74 series류의 Gate 부품을 제작할 때, IC(Package)에 포함될 Gate 수, 소자 형태, Gate 순번 형태(알파벳, 숫자)를 결정
- Pin Number Visible : 도면상에서 핀 번호의 표시 여부를 설정

Note

- IC 또는 보통의 단일부품을 제작할 때는 Name과 Part Reference Prefix만 입력해도 무방하다
- Package Type의 Homogeneous는 동일한 Gate Type의 소자, Heterogeneous는 Hybrid Type 소자를 제작할 때, 선택한다
- Attach Implementation : 만들어진 부품을 Hierarchical Block과 유사한 용도로 사용 가능하도록 설정

- Library 제작 - / 라이브러리 제작 환경



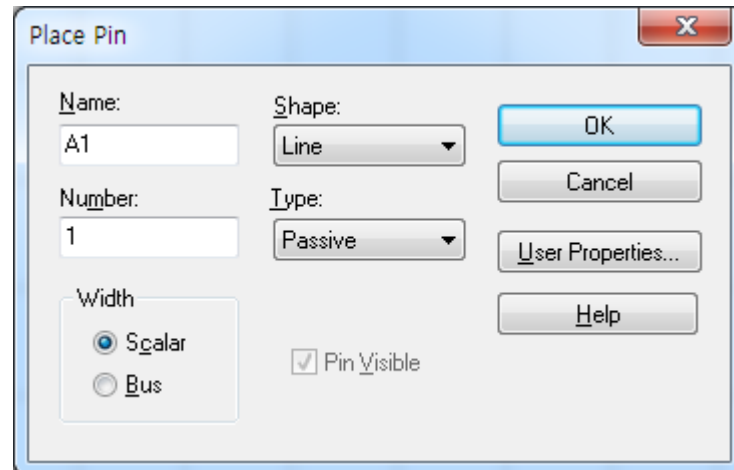
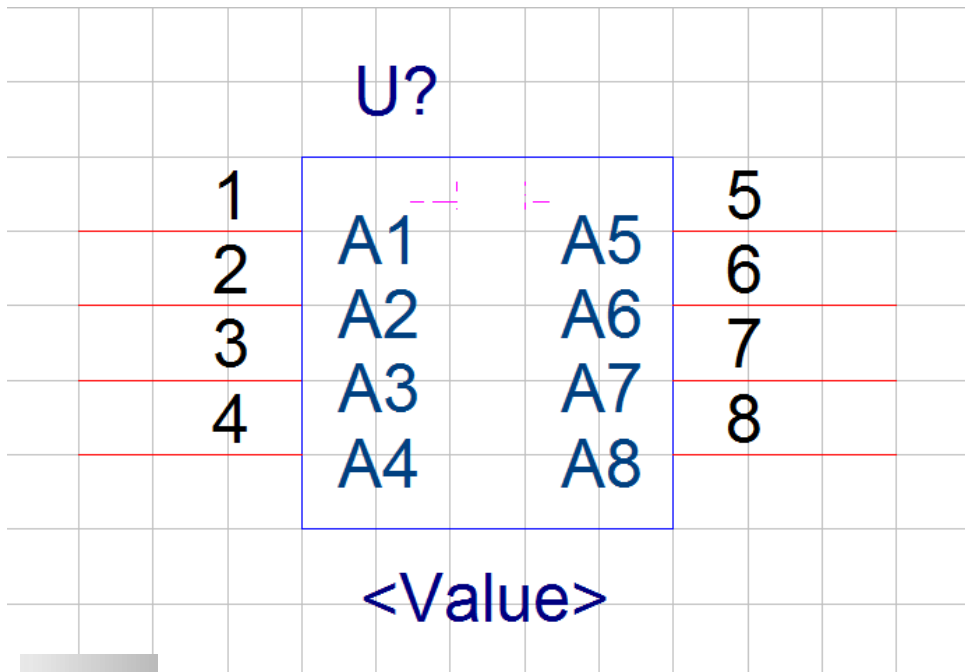
Symbol Edit Window (부품 편집 창)

- EX? - Part Reference
- <Value> - 부품 이름(회로도면 편집 창에서는 부품이름으로 표시된다)
- 점선
 - 안쪽 - Symbol Draw Area (부품을 그리는 영역)
 - 바깥쪽 - Pin Placement Area (핀 배치 영역)
- 활성화 된 Icon으로 Library 제작

Note

- IC 또는 보통의 단일부품을 제작할 때는 Name과 Part Reference Prefix만 입력해도 무방하다
- Package Type의 Homogeneous는 동일한 Gate Type의 소자, Heterogeneous는 Hybrid Type 소자를 제작할 때, 선택한다
- Attach Implementation : 만들어진 부품을 Hierarchical Block과 유사한 용도로 사용 가능하도록 설정

- Library 제작 - / 라이브러리 제작 환경



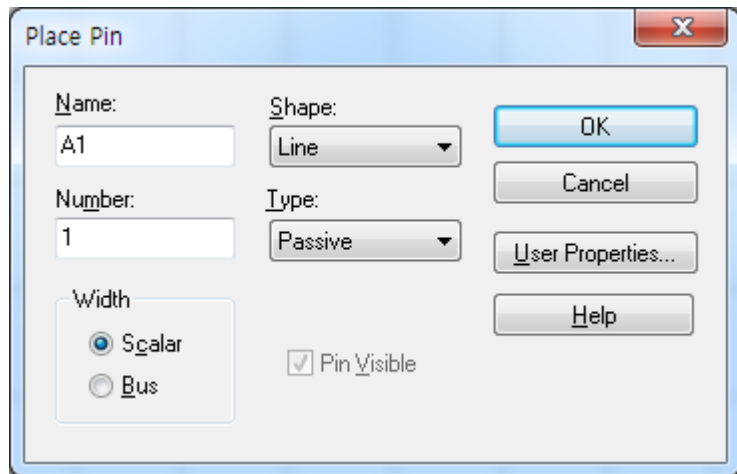
Place Rectangle 이용해서 부품의 Body Line을 그려준다.



Place Pin 이용해서 Pin들 생성.

Capture Entry - Library 수정 및 제작







OrCAD Capture



Place Pin

- Name : 핀 이름
- Number : 핀 번호
- Shape : 핀의 형상
- Type : 핀의 전기적 속성
- Pin Visible : 핀 노출/감춤

Shape

- Clock 
- Dot 
- Dot-Clock 
- Line 
- Short 
- Zero-Length 

Pin Type

- 3 State
- Bidirectional
- Input
- Open Collector
- Open Emitter
- Output
- Passive
- Power

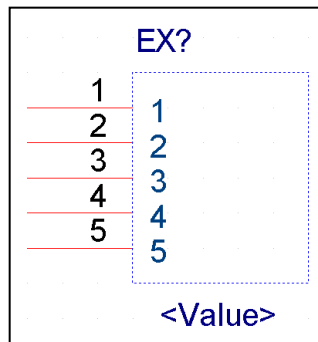
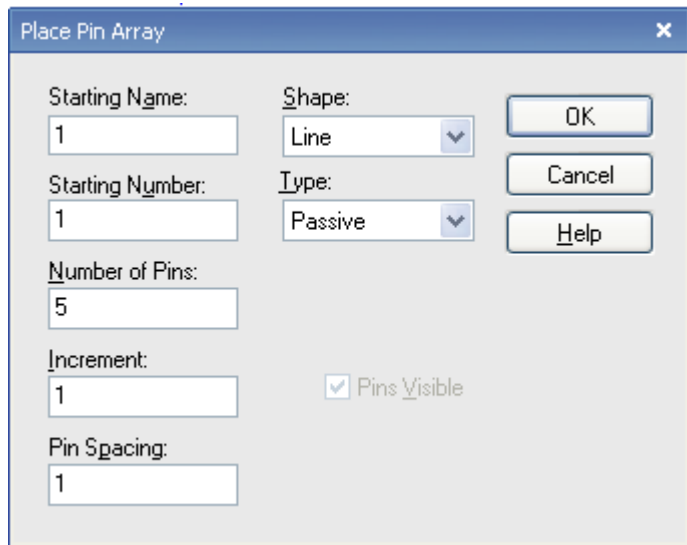


Place Pin 이용해서 Pin들 생성.

Note

- Design Rules Check에서 Electrical Rules Check를 피해가고자 한다면, Pin Type을 Passive로 설정한다
- **Pin Visible 옵션은 Pin Type이 Power 일 때만, 활성화 된다.** 즉, Pin Type이 Power일 때만, 도면상에서 핀을 숨길 수 있다

- Library 제작 - / 라이브러리 제작 환경



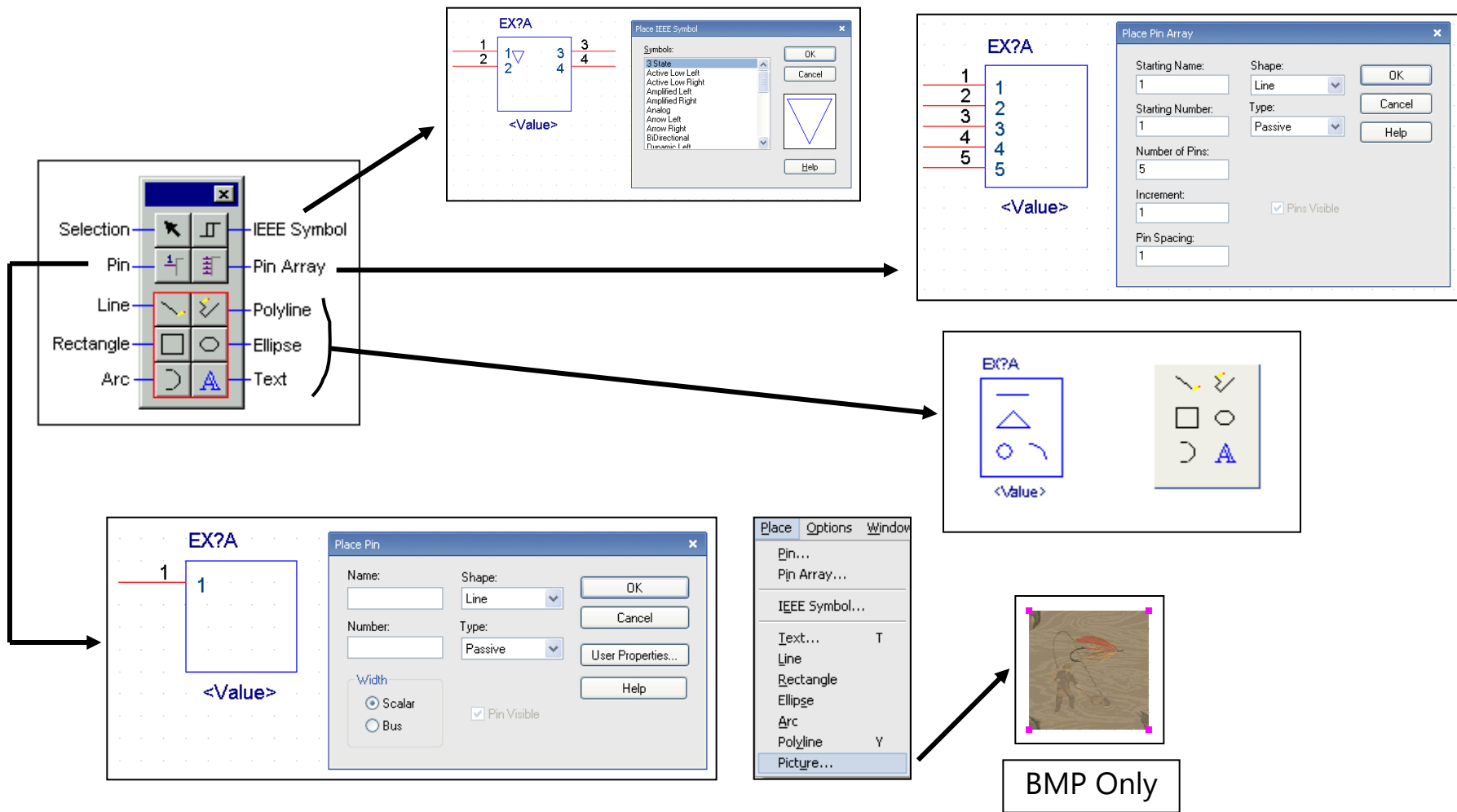
Place Pin Array

- Starting Name : 시작되는 핀 이름
- Starting Number : 시작되는 핀 번호
- Shape : 핀의 형상
- Type : 핀의 전기적 속성
- Number of Pins : 배치할 핀 개수
- Increment : 핀 순번의 증가 범위
- Pin Spacing : 배치할 핀 간격

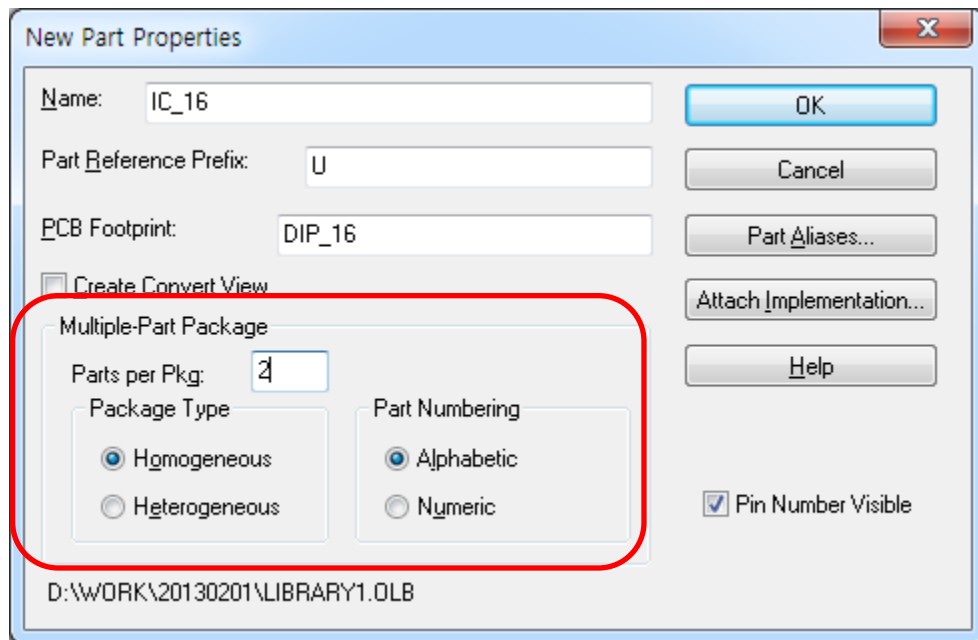
Note

- Increment 값을 2로 두면 "1 3 5 7 9", "2 4 6 8 10"의 순서로 핀을 배치할 수 있다
- Pin Spacing의 1은 Grid 1칸 간격을 의미
- Increment는 0을 제외한 정수로 입력한다 (ex : 1은 1씩 순번 증가, -1은 1씩 순번 감소)
- 배치 방향은 세로 - 위/아래, 가로 - 왼쪽/오른쪽이다 (ex : 핀 시작번호를 마지막 번호로, Increment 순번을 -1로 두면 핀을 역순으로 배치할 수 있다.)

- Library 제작 - / 라이브러리 제작 환경

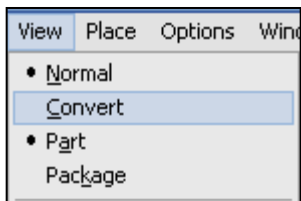


- Library 제작 - / 라이브러리 제작 환경(Multiple-Part Package)



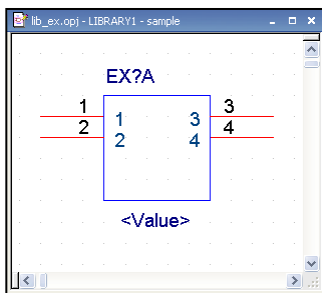
Multiple-Part Package 만들기 위해서는 Parts per Pkg 개수 설정과 Package Type 설정

- Library 제작 - / 라이브러리 제작 환경

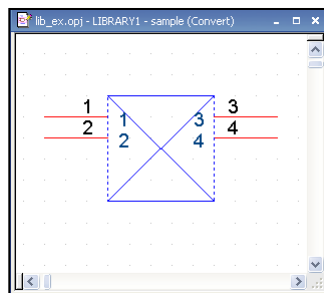


View Menu

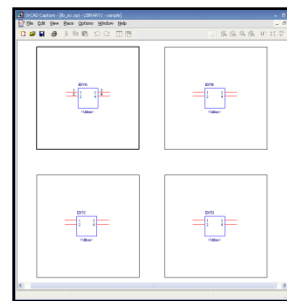
- Normal - 일반 편집모드
- Convert - 변형 편집 모드
- Part - 부품 편집모드
- Package - IC 전체 보기



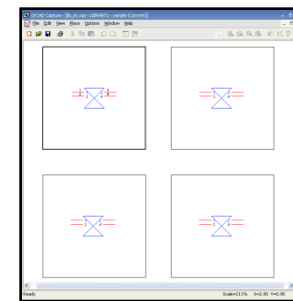
Normal / Part View



Convert / Part View



Normal / Package View

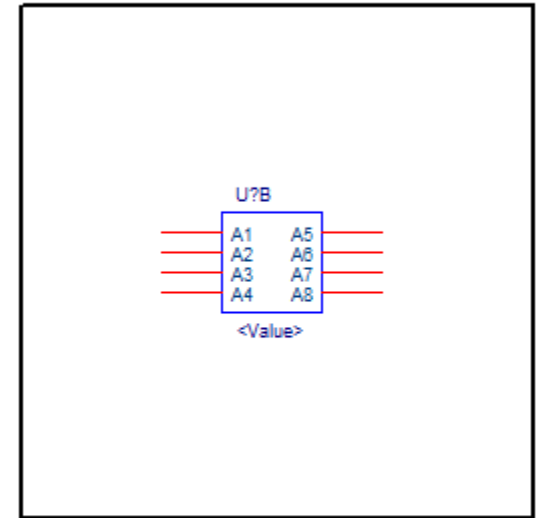
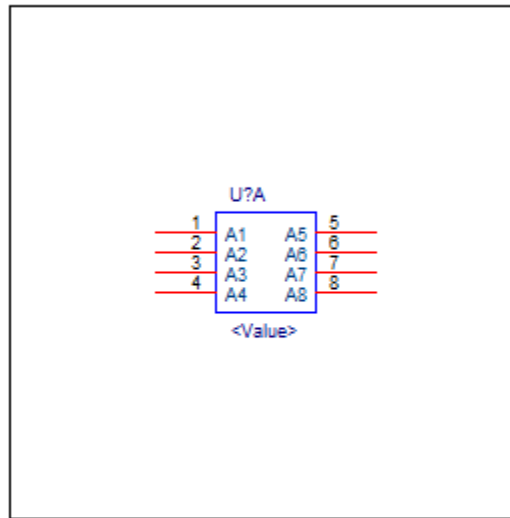
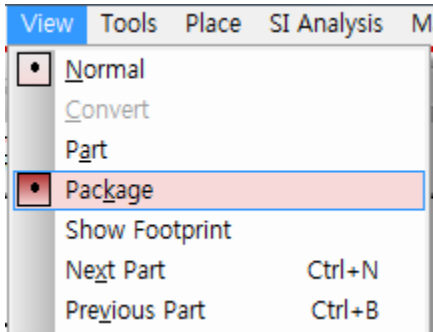


Convert / Package View

Note

- Package View는 Part Properties의 Multiple Part Package에서 Part per Pkg의 수가 2이상일 때, 전체 부품 확인 용도로 사용할 수도 있다
- Convert View는 Part Properties의 Create Convert View가 체크된 상태에서 사용이 가능하다

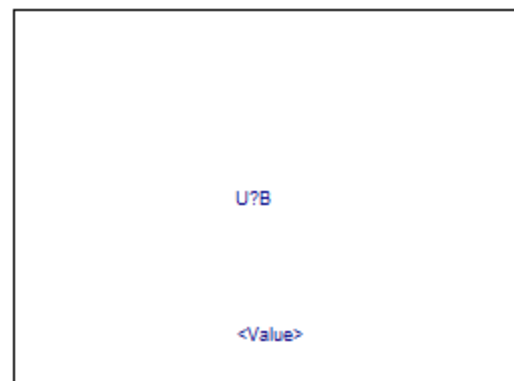
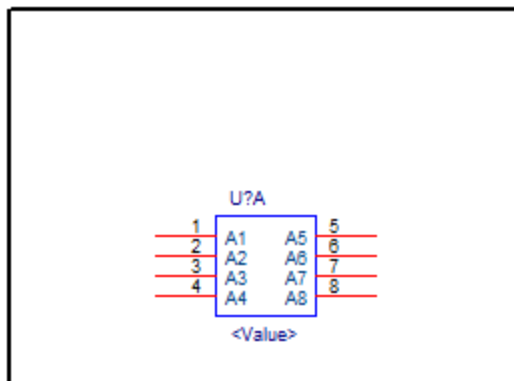
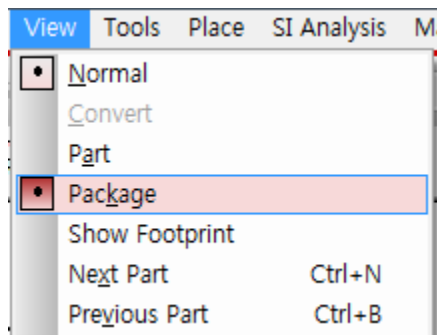
- Library 제작 - / 라이브러리 제작 환경(Multiple-Part Package)



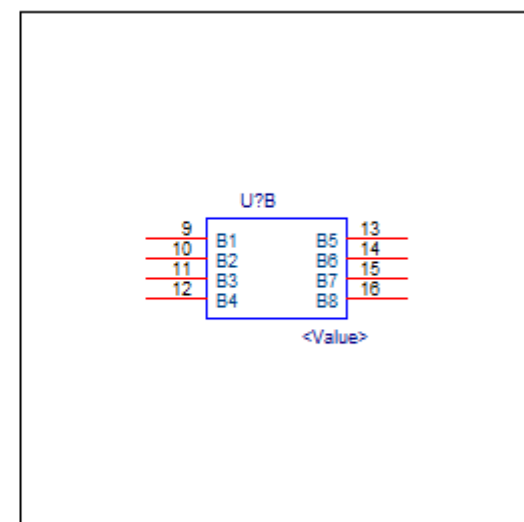
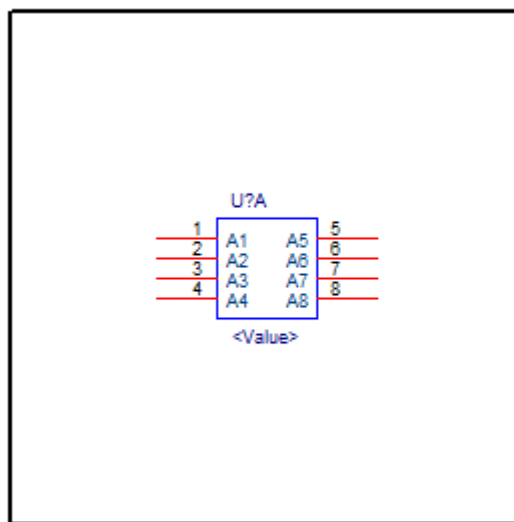
<Homogeneous Type>

Homogeneous Type을 했을 경우, "U?A"부분에 만들어진 모양이 다른 Package 부분에도 적용이 되어 만들어 짐.(Pin Number 제외)

- Library 제작 - / 라이브러리 제작 환경(Multiple-Part Package)

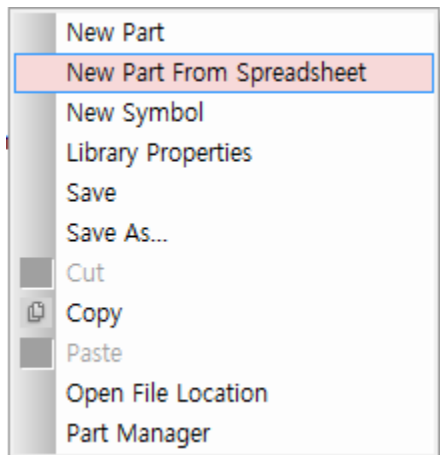


<Heterogeneous Type>

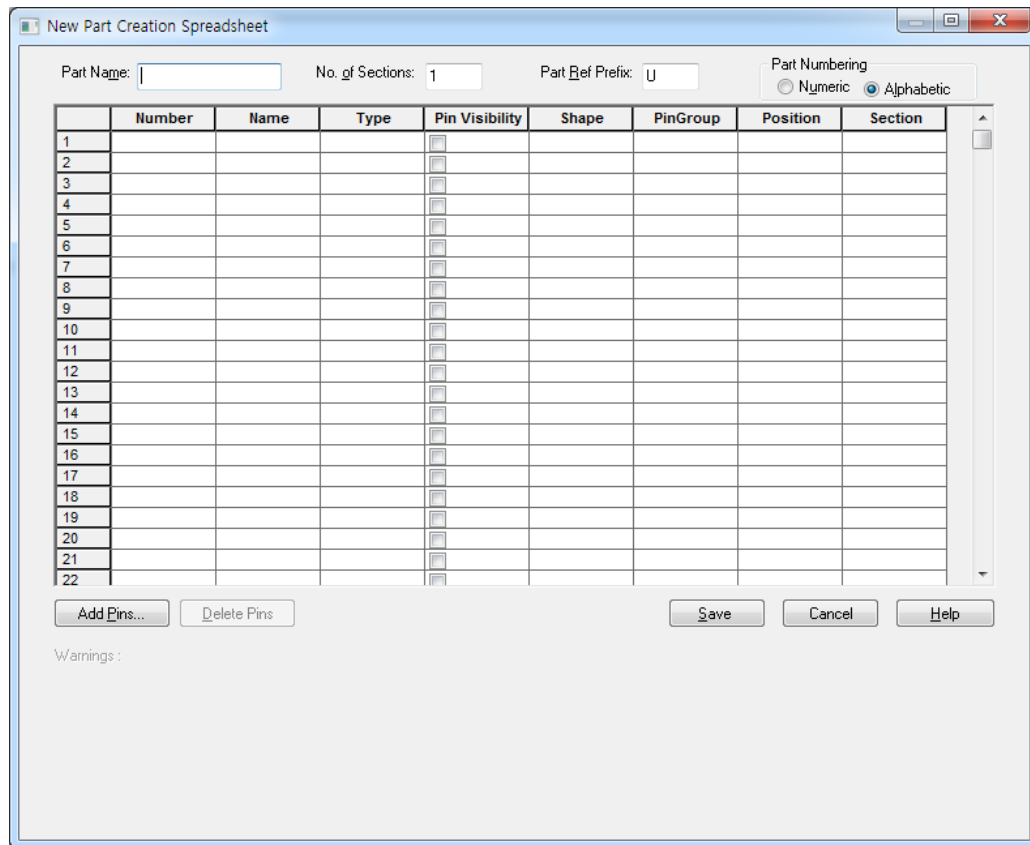


Heterogeneous Type을 했을 경우, U?A 부분 과 U?B을 따로 만들어주어야 함.

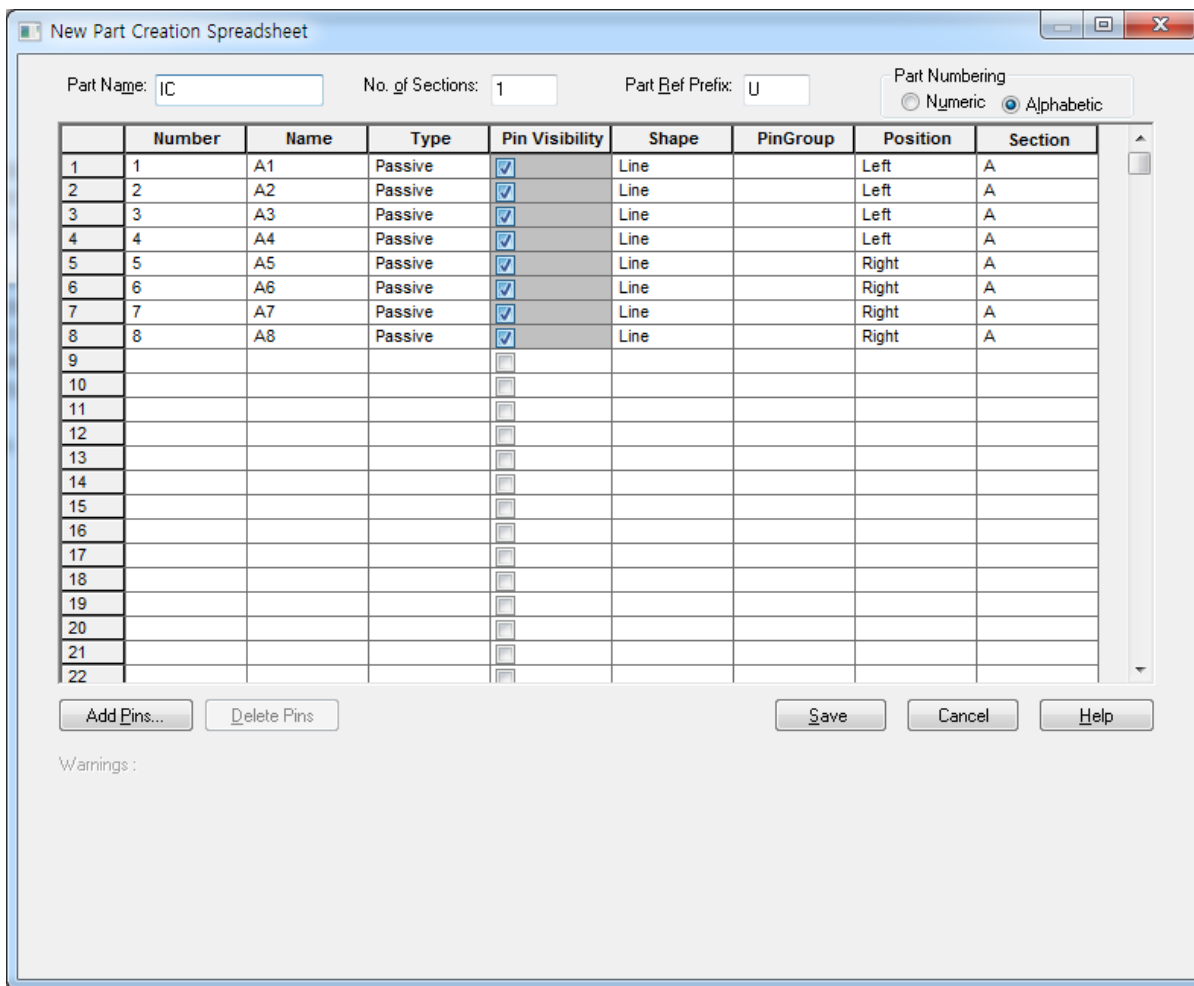
- Library 제작 - / 라이브러리 제작 환경 (New Part From Spreadsheet)



- BGA 이나 FPGA 부품을 만들 경우 PIN 개수가 많으므로, Spreadsheet로 이용해서 만들면 편리하게 제작할 수 있음.
- Excel Data에 있는 정보들 이용해서 붙여 넣기 가능.



- Library 제작 - / 라이브러리 제작 환경 (New Part From Spreadsheet)



- Spreadsheet를 이용해서 라이브러리를 제작.

- Library 제작 - / 라이브러리 제작 환경 (New Part From Spreadsheet)

Part Name: No. of Sections: Part Ref Prefix: Part Numbering: Numeric Alphabetic

Part Name : 부품이름

No.of Sections : 여러 개의 패키지 개수 설정(개수 설정만큼 Section 부분에 표시됨).

Part Ref Prefix : 부품의 Reference Name 설정.

Part Numbering : Section 부분을 숫자 또는 영어로 표시(부품이 배치 되었을 때 적용됨).

	Number	Name	Type	Pin Visibility	Shape	PinGroup	Position	Section
1	1	A1	Passive	<input checked="" type="checkbox"/>	Line		Left	A
2	2	A2	Passive	<input checked="" type="checkbox"/>	Line		Left	A
3	3	A3	Passive	<input checked="" type="checkbox"/>	Line		Left	A
4	4	A4	Passive	<input checked="" type="checkbox"/>	Line		Left	A
5	5	A5	Passive	<input checked="" type="checkbox"/>	Line		Right	A
6	6	A6	Passive	<input checked="" type="checkbox"/>	Line		Right	A
7	7	A7	Passive	<input checked="" type="checkbox"/>	Line		Right	A
8	8	A8	Passive	<input checked="" type="checkbox"/>	Line		Right	A
9				<input type="checkbox"/>				

Number : Pin 번호

Name : Pin 이름

Type : Pin 속성(Input, Output, Passive 등등...설정)

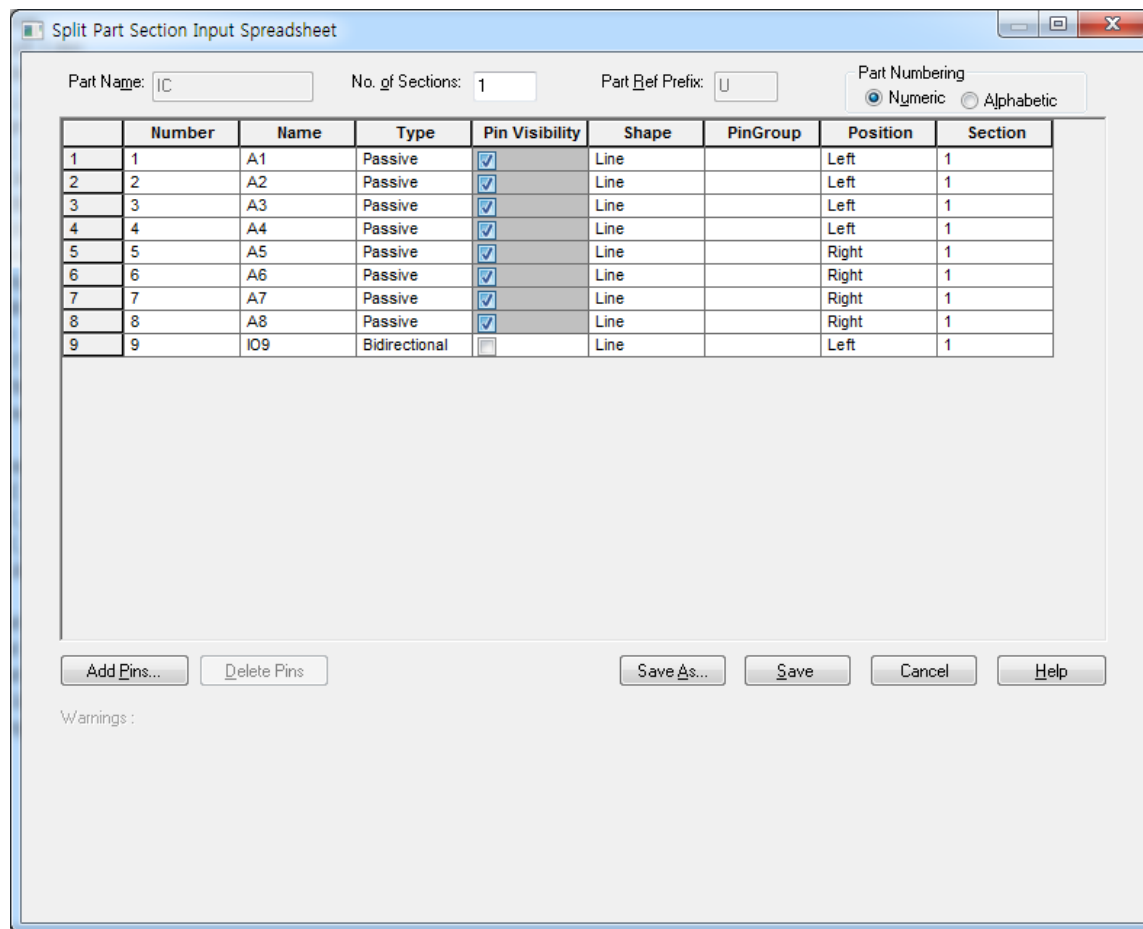
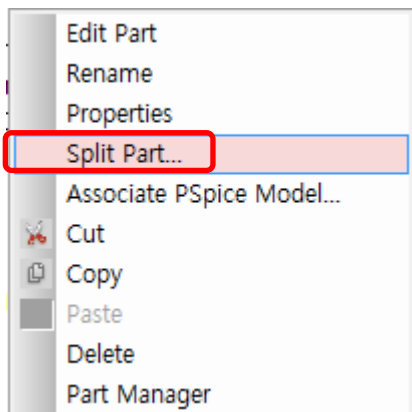
Pin Visibility : Pin 보이기 여부.

Shape : Pin 모양(Clock, Dot, Line등등...설정)

Position : pin 방향

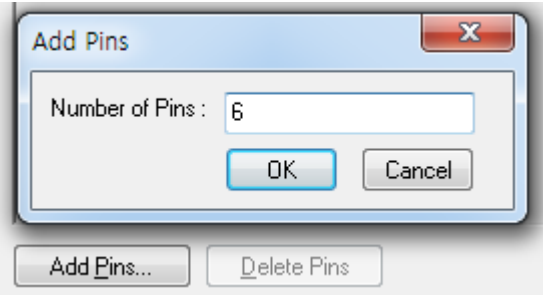
Section : 여러 개의 패키지로 만들 때 설정

- Library 제작 - / 라이브러리 제작 환경 (New Part From Spreadsheet)

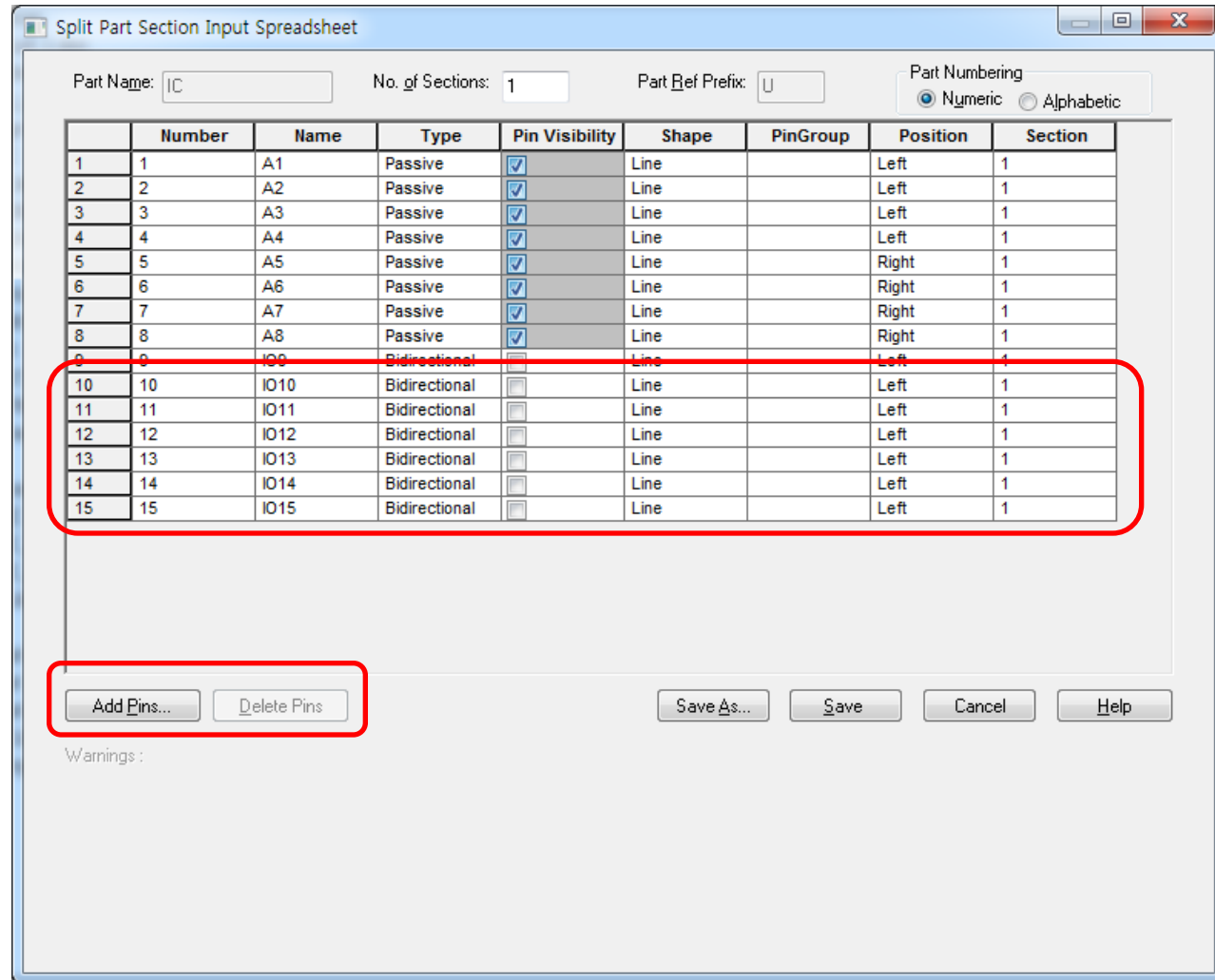


- Split Part를 이용해서 Pin 추가 및 삭제, 속성들을 수정하여 사용할 수 있다.

- Library 제작 - / 라이브러리 제작 환경 (New Part From Spreadsheet)

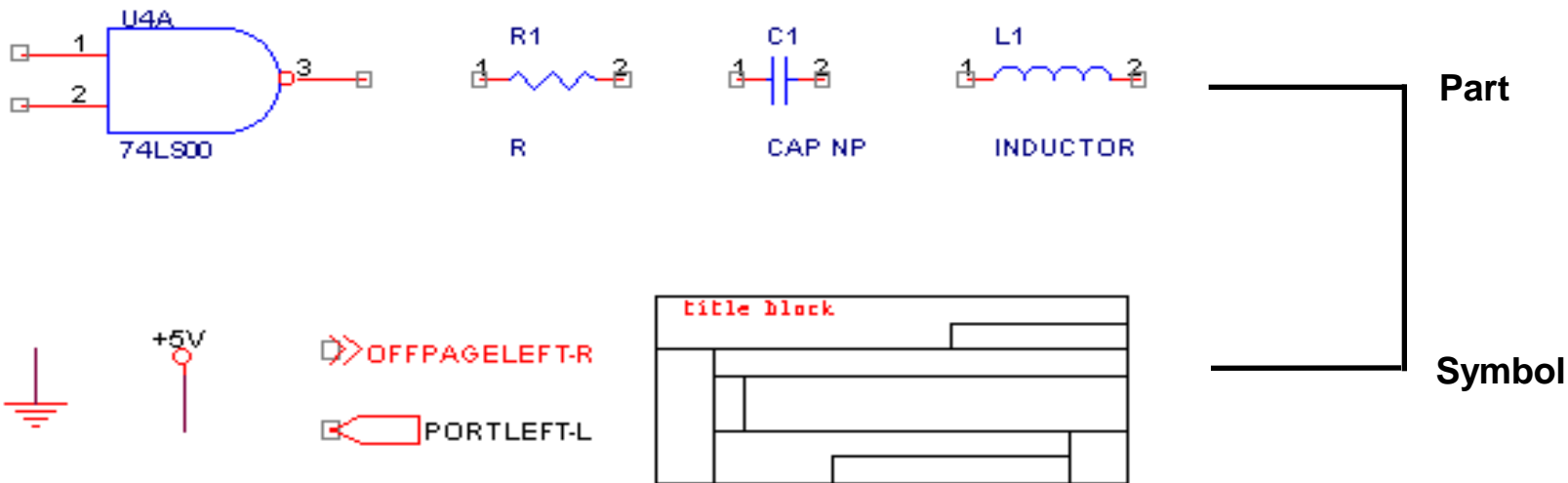


Add Pins.. : Pin 추가
Number of Pins : Pin 개수
설정.
Delete Pins : Pin 삭제



- Library 제작 - / Symbol 제작

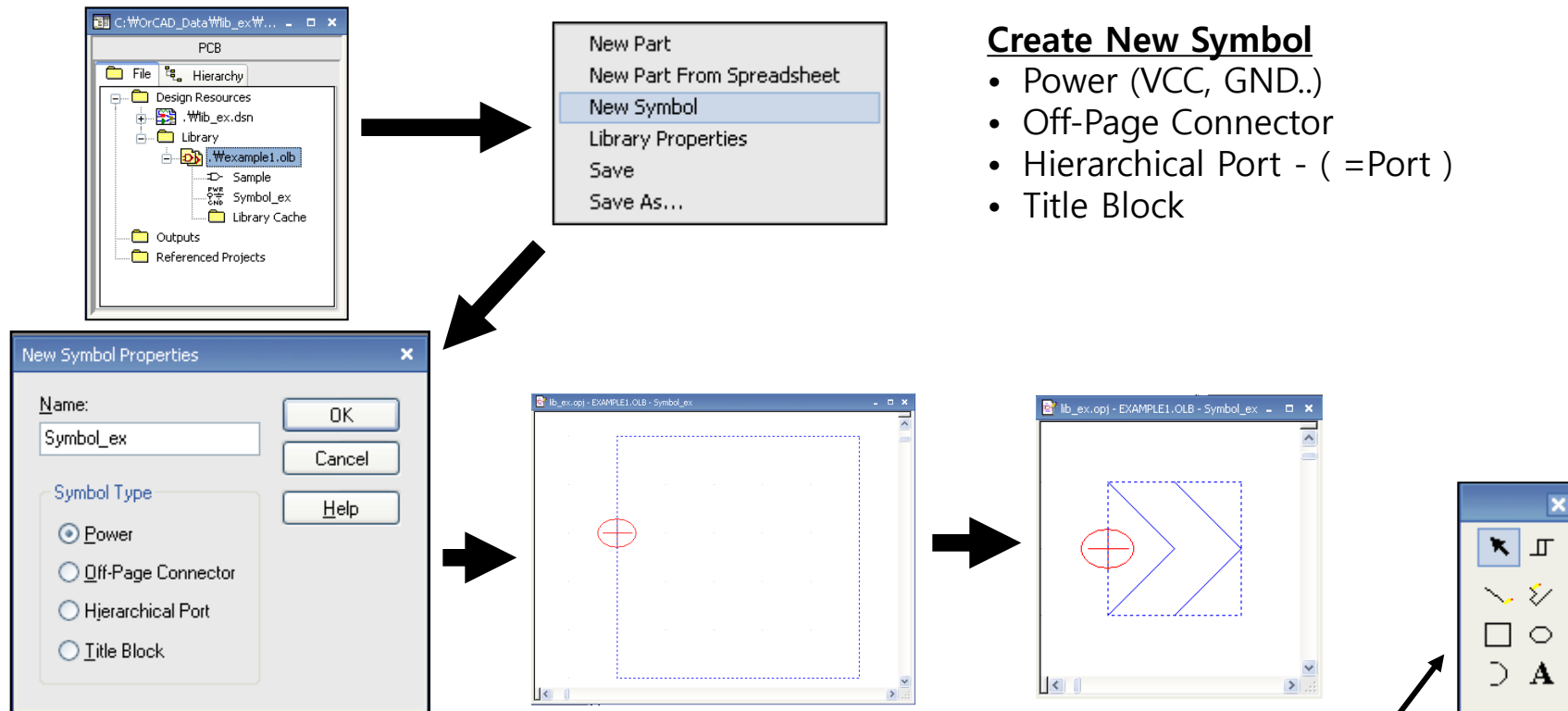
- **Part** : 물리적으로 존재하는 부품
- **Symbol** : 회로 설계를 위해 가상으로 제작된 라이브러리



Note

- Symbol은 Pspice, Layout, PCB Editor로 Data를 이전할 때, 부품으로 전환되지 않으며, 배선의 형태로만 존재하거나, Title Block 같은 경우 Netlist에서 제거된다

- Library 제작 - / Symbol 제작



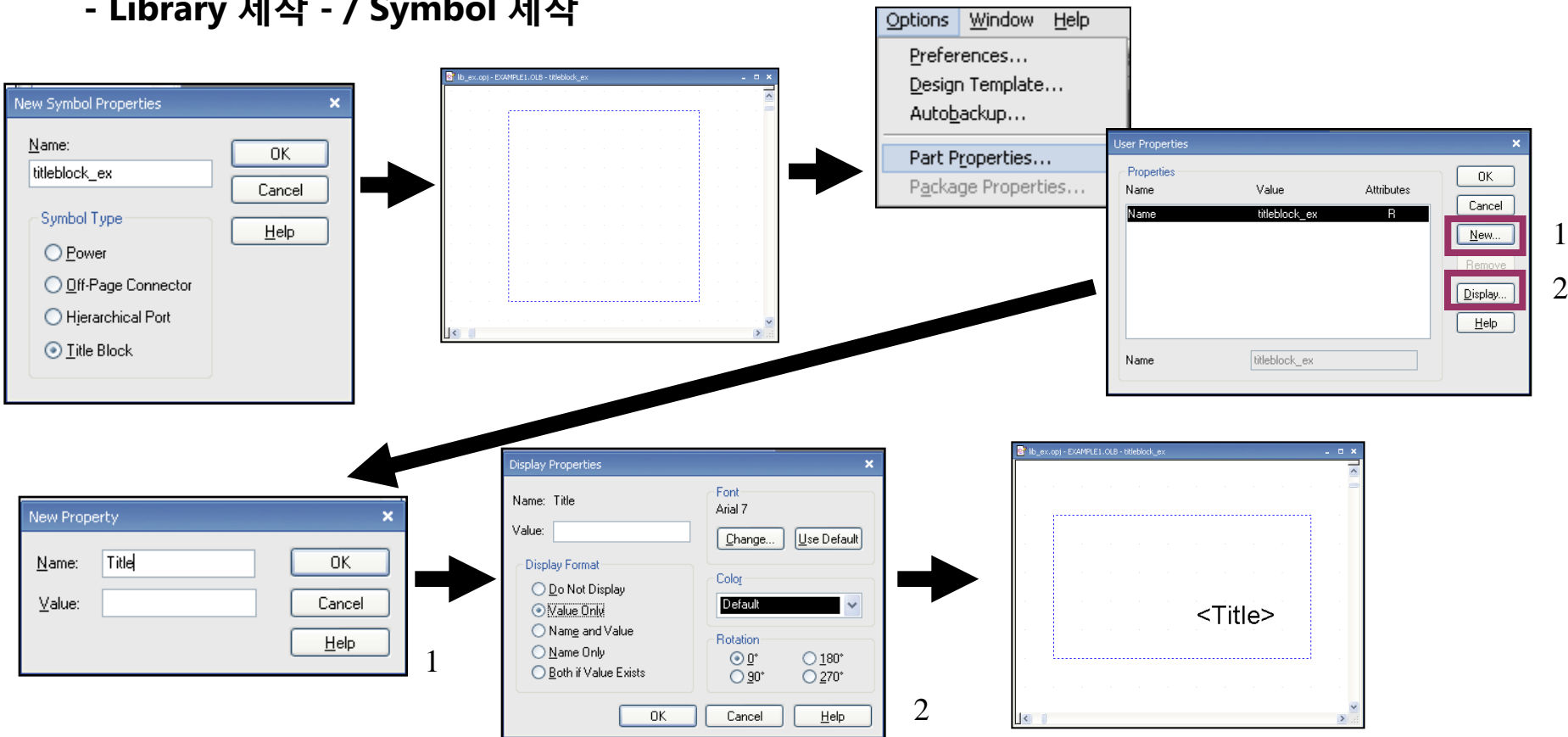
Create New Symbol

- Power (VCC, GND..)
- Off-Page Connector
- Hierarchical Port - (=Port)
- Title Block

Note

- Symbol에는 Pin 하나만 배치되거나, 사용되지 않는다. 따라서 별도의 Pin 배치버튼은 제공되지 않는다

- Library 제작 - / Symbol 제작



Note

- Title Block의 선은 Draw Rectangle, Draw Line을 이용하여 그린다
- Design Template으로부터 넘겨받는 속성들은 Part Properties에서 생성할 수 있다

- Library 제작 - / Title Block 제작

<OrgName>		
<OrgAddr1>		
<OrgAddr2>		
<OrgAddr3>		
<OrgAddr4>		
Size A	Document Number <Doc>	Rev ?
Date:	<Page Modify Date>	Sheet 1 of 1

Design Template, 예약어 목록

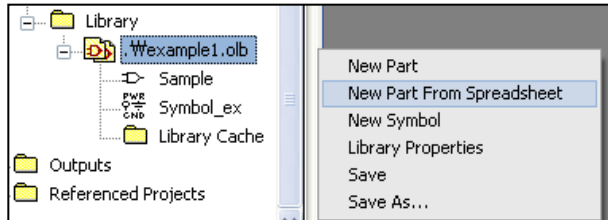
- Title = <Title>
- Organization Name = <OrgName>
- Organization Address 1~4 = <OrgAddr1~4>
- Document Number = <Doc>
- Cage Code = <Cage Code>

- Page Size = <Page Size>
- Revision = <RevCode>
- Page 순번 = <Page Number>
- Page 총 수 = <Page Count>
- 날짜 = <Page Modify Date>

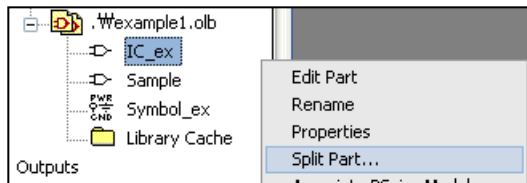
Note

- Title Block의 선은 Draw Line을 이용하여 그린다

- Library 제작 - / New Part From Spreadsheet



Create New Part



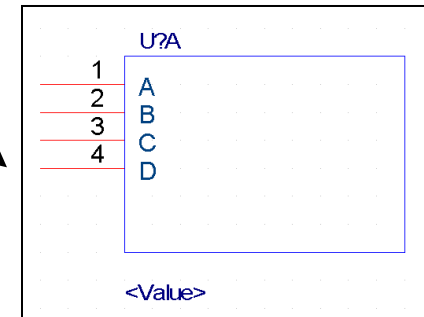
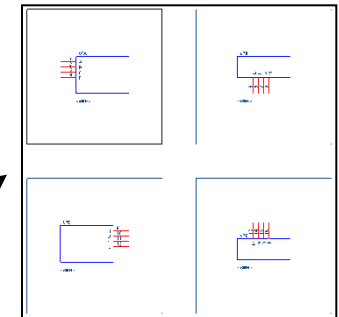
Split Part

New Part Creation Spreadsheet

Part Name: IC_ex No. of Sections: 4 Part Ref Prefix: U Part Numbering: Numeric Alphanumeric

Number	Name	Type	Shape	PinGroup	Position	Section
1	A	Passive	Line		Left	A
2	B	Passive	Line		Left	A
3	C	Passive	Line		Left	A
4	D	Passive	Line		Left	A
5	E	Passive	Line		Bottom	B
6	F	Passive	Line		Bottom	B
7	G	Passive	Line		Bottom	B
8	H	Passive	Line		Bottom	B
9	I	Passive	Line		Right	C
10	J	Passive	Line		Right	C
11	K	Passive	Line		Right	C
12	L	Passive	Line		Right	C
13	M	Passive	Line		Top	D
14	N	Passive	Line		Top	D
15	O	Passive	Line		Top	D
16	P	Passive	Line		Top	D
17						
18						
19						
20						
21						
22						
23						

Add Pins... Delete Pins Save Cancel Help



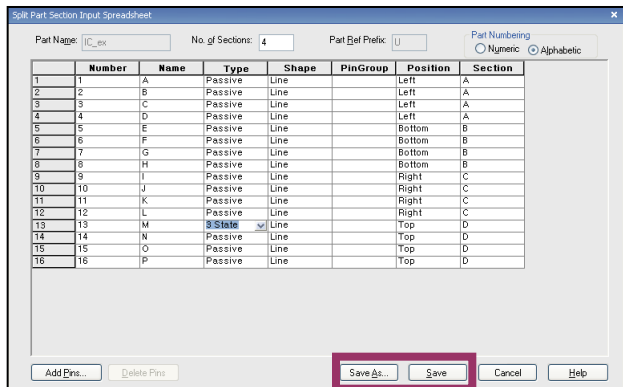
New Part from Spreadsheet

(IC형태의 부품 제작 환경)

- Part Name : 부품 이름
- No. of Sections : 부품 분할 개수
- Part Ref Prefix : 부품번호 머리글자
- Part Numbering : 부품 분할번호 표현방법

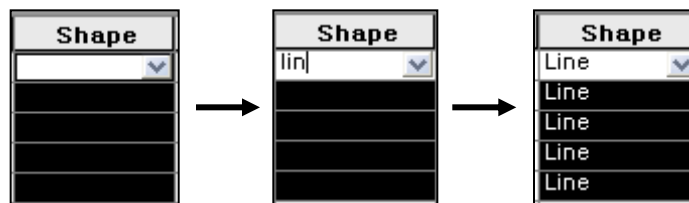
- Number : 핀 번호
- Name : 핀 이름
- Type : 핀 유형(Pin Type)
- Shape : 핀 모양
- Pin Group : 핀 그룹(Pin swap등의 용도)
- Position : 핀 배치방향 - 상하좌우
- Section : 핀 배치위치(부품분할번호 기준)

- Library 제작 - / New Part From Spreadsheet



New Part from Spreadsheet & Split Part

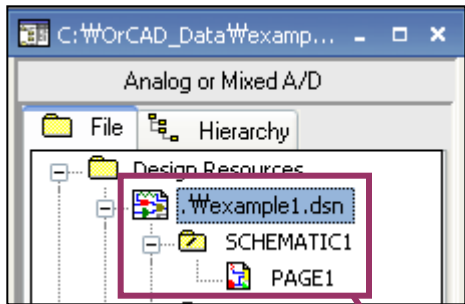
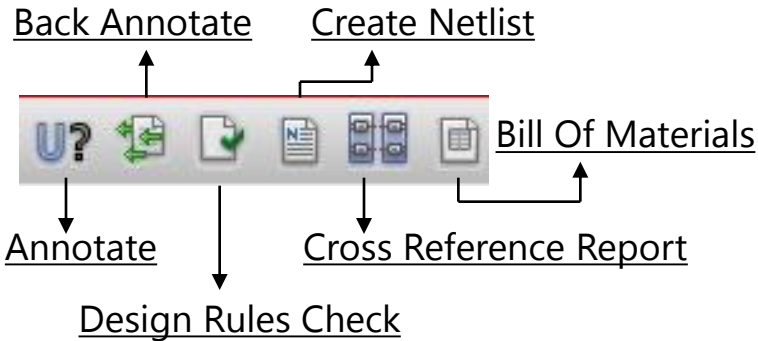
- Spreadsheet 방식의 IC부품 제작/편집 환경
- 부품 분할 지원 (Heterogeneous 방식)
- 부품 통합 지원 (Split Part)



Note

- Chip Vender에서 제공하는 Datasheet에 기록된 Pin Spec을 New Part from Spreadsheet 창으로 불러 재사용 할 수 있다(부품 제작을 최소한의 노력으로 완료할 수 있다.)
- New Part from Spreadsheet와 달리 Split Part의 Save 버튼은 원본내용을 덮어쓰우므로, 사본으로 저장할 경우 반드시 **Save AS** 클릭
- 두 개 이상의 Cell을 Block으로 지정된 상태에서 적절한 속성값을 입력하면 Block으로 지정된 전체 Cell에 값이 입력된다

- Project Manager Tools -



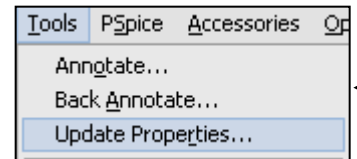
프로젝트 관리자에서 셋 중 하나를 선택



Project Manager Tools - 회로작성 후, 필요한 관리작업 및 후처리 작업을 위한 Tool

프로젝트 관리자의 디자인(*.dsn) 또는 Schematic Folder, Page 를 선택하면 버튼이 활성화된다

- Annotate : 부품번호 자동지정
- Back Annotate : PCB Data의 변경내역을 회로도면으로 반영
- Design Rules Check : 회로설계 중 발생한 오류 확인 및 식별
- Create Netlist : PCB / 시뮬레이션을 위하여 회로도면 정보를 각 프로그램 형식의 Data로 Export
- Cross Reference Report : 회로도면 정보 상호참조 정보 출력
- Bill Of Materials : 부품명세서 출력
- Update Properties : 회로 구성요소의 속성 일괄 변경

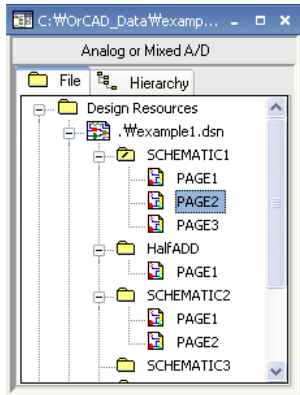


- Project Manager Tools - / Common Settings

Scope

Update entire design

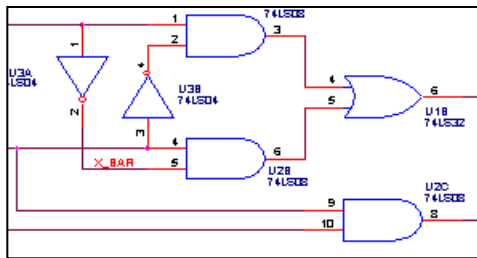
Update selection



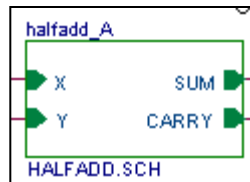
Mode

Update Occurrences

Update Instances (Preferred)



VS

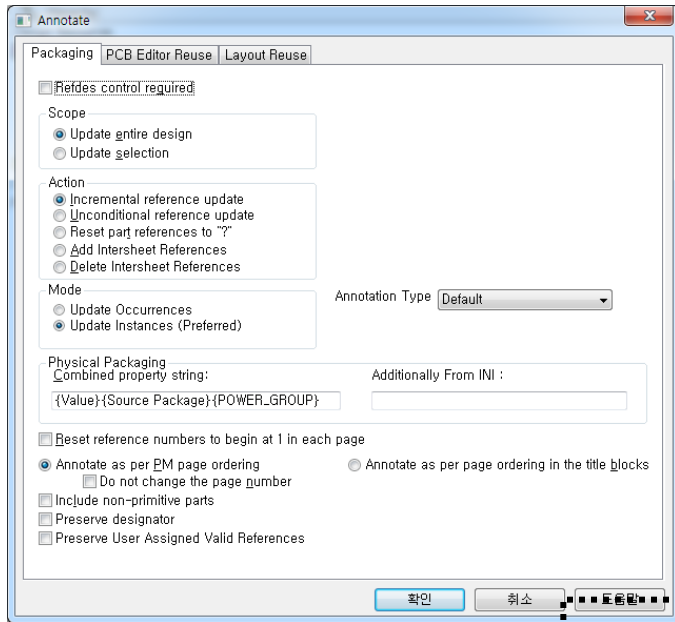
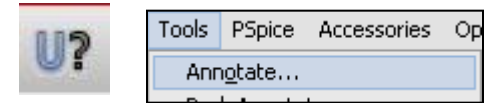


Scope와 Mode는 Project Manager Tools의 거의 모든 기능 창에 출현하며, 수행할 작업의 적용 범위를 지정한다

- Scope - 적용할 부분을 선택한다.
 - Update entire design : 디자인(*.dsn)에 속한 모든 Folder, Page에 작업 적용
 - Update Selection : 프로젝트 관리자에서 선택한 항목의 Folder 또는 Page에만 작업 적용
- Mode
 - Update Occurrences : 계층구조에서 계층블록 내부의 부품들도 모두 작업 적용
 - Update Instances (Preferred) : 최상위의 단일 부품에 관한 부분만 작업 적용

(주)작업 : Annotate, Design Rules Check, Bill Of Materials..

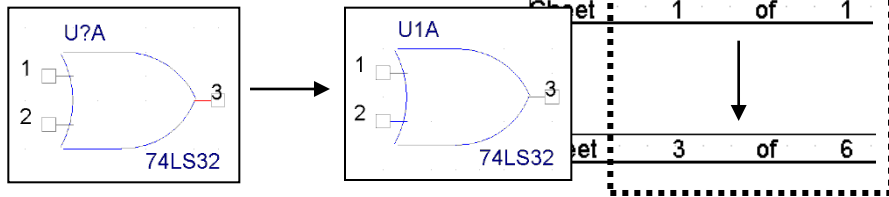
- Project Manager Tools - / Annotate



Annotate - 회로도면 페이지 순번 및 부품번호를 자동으로 지정한다

■ Action

- Incremental ... : 조건부 Update, 부품번호가 지정되지 않은(ex : U?,R?) 부품만 찾아서 번호를 지정
- Unconditional ... : 무조건 Update, 부품번호가 미리 지정되어 있는지 여부에 상관없이 모든 번호를 새로 지정
- Reset ... "?" : 모든 부품 번호를?(U?, R?..)로 초기화
- Add Intersheet Reference : Port로 연결되는 페이지 연결 정보를 Port 객체에 배치
- Remove Intersheet Reference : Port에 배치된 페이지 연결 정보 삭제

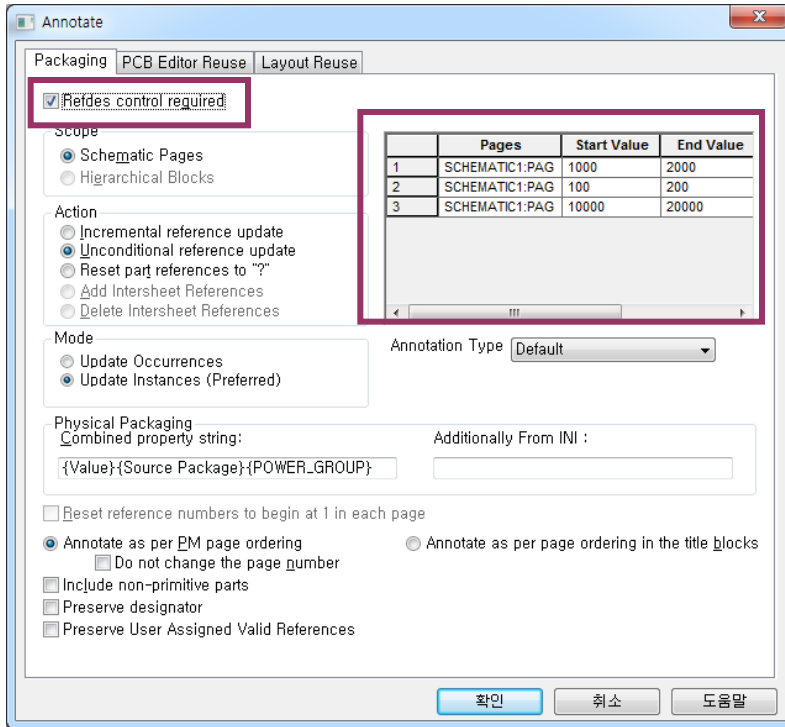


Title		
<Title>		
Size	Document Number	Rev
A4	<Doc>	<Rev Code>
Date: Thursday, September 28, 2006		
Sheet	1	of 1

■ Annotate as per PM page ordering : 프로젝트 관리자에 보이는 순서로 페이지 순번 설정

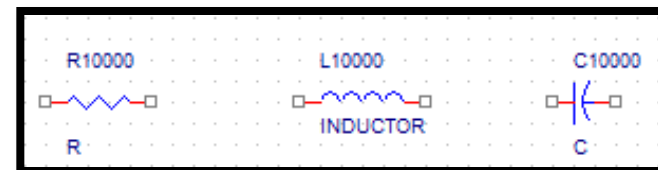
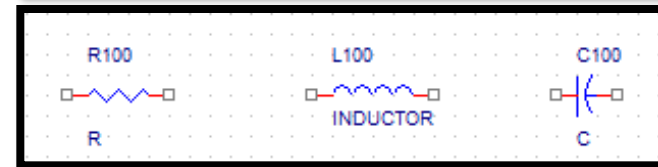
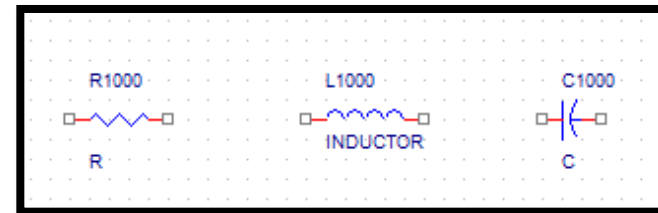
■ Annotate as per page ordering in the title blocks : 회로도면의 title block에서 사용자가 입력한 순서로 페이지 순번 설정

- Project Manager Tools - / Annotate



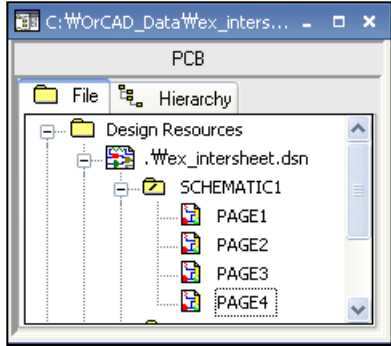
Refdes control required

- Refdes control required를 활용함으로써 사용자가 원하는 Page에 Reference를 설정 할 수 있다.

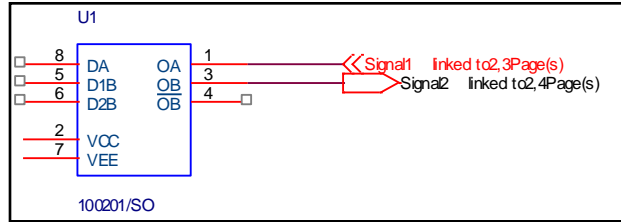


Capture Entry - Project Manager Tools

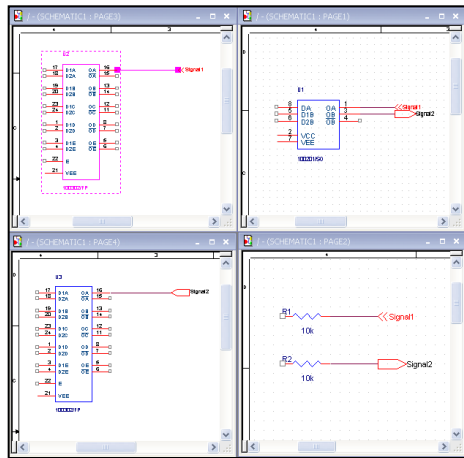
- Project Manager Tools - / Annotate



여러 페이지

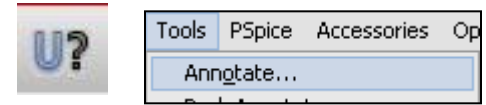


Intersheet Reference



페이지간 연결된 Port

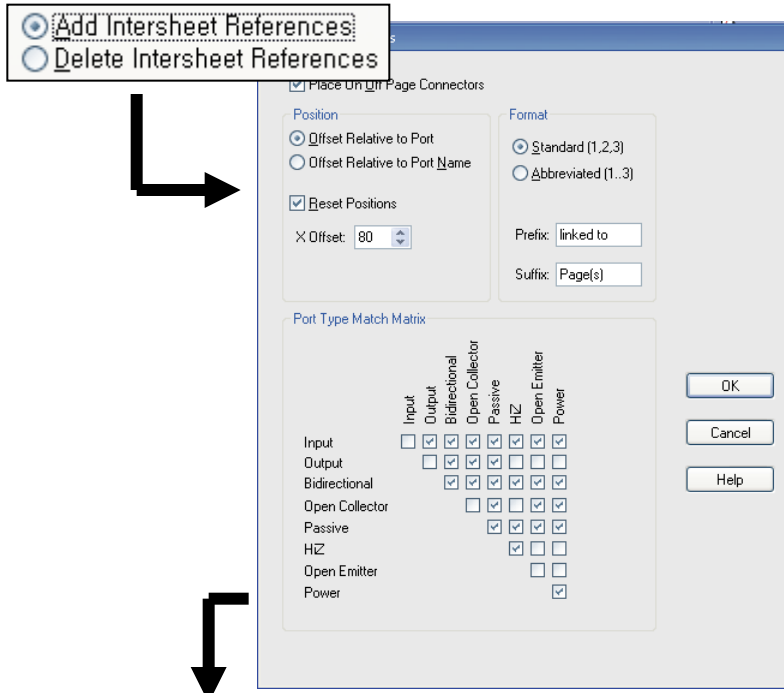
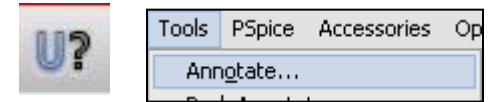
OrCAD Capture



Intersheet Reference - Annotate에 속한 기능으로, Port 또는 Off-page Connector의 주변에 다른 페이지로 연결된 Net의 Page 정보를 표시한다

여러 개의 Page 또는 Schematic Folder로 구성된 회로도면에서 Off-page Connector나 Port를 사용할 때, PC에서는 Capture의 기능으로 부분을 쉽게 찾을 수 있지만, 인쇄된 도면을 볼 때는, Port나 Connector가 어느 Page의 Net과 연결되어 있는지 찾기 번거로운 경우가 있다. Intersheet reference를 도면상에 추가해두면, 인쇄된 도면상에서 Connector의 Page간 연결을 쉽게 확인할 수 있다

- Project Manager Tools - / Annotate

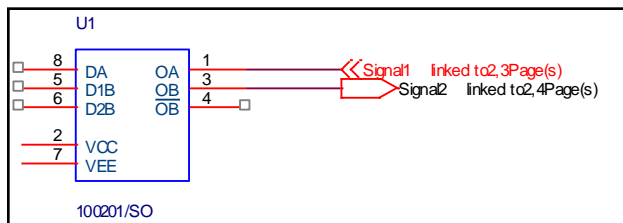


Annotate 창

- Add Intersheet Reference : Intersheet Reference를 도면에 표시
- Delete Intersheet Reference : Intersheet Reference를 도면에서 제거

Intersheet Reference 창

- Position : Intersheet Reference의 배치위치 지정
- Format : 표시 형식 선택([1,2,3] 또는 [1..3])
- Prefix : Intersheet Reference 앞에 붙을 접두사
- Suffix : Intersheet Reference 앞에 붙을 접두사
- Port Type Match Matrix : Design Rules Check의 ERC Matrix와 유사한 구조지만 ERC와는 반대로, 지정된 Connection Rule과 일치해야 Intersheet Reference를 배치한다



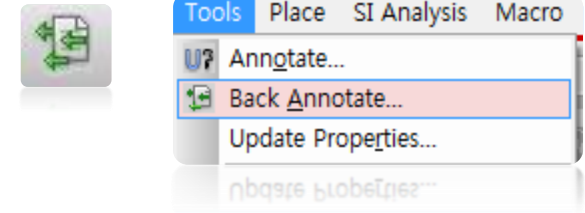
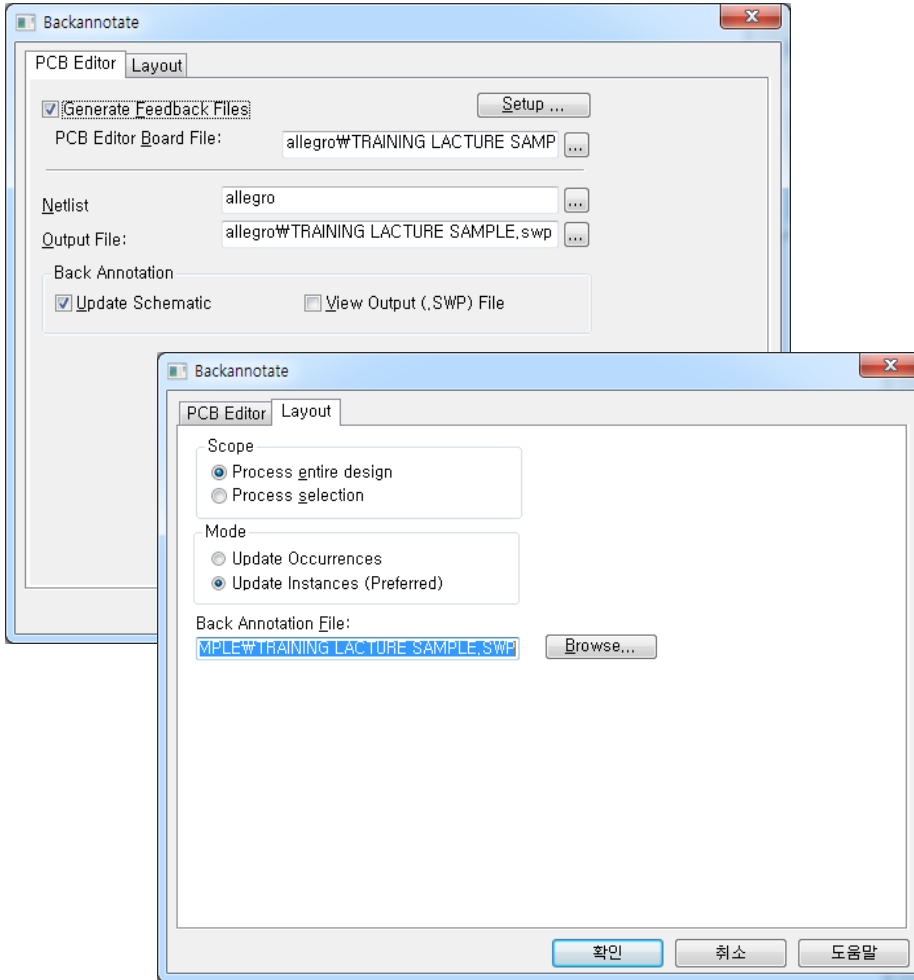
Tips

- Intersheet Reference를 추가하기 전에, 먼저 Annotate를 실행하여 Title Block의 Page 순번을 지정해야 오류가 발생하지 않는다

Capture Entry - Project Manager Tools

OrCAD Capture

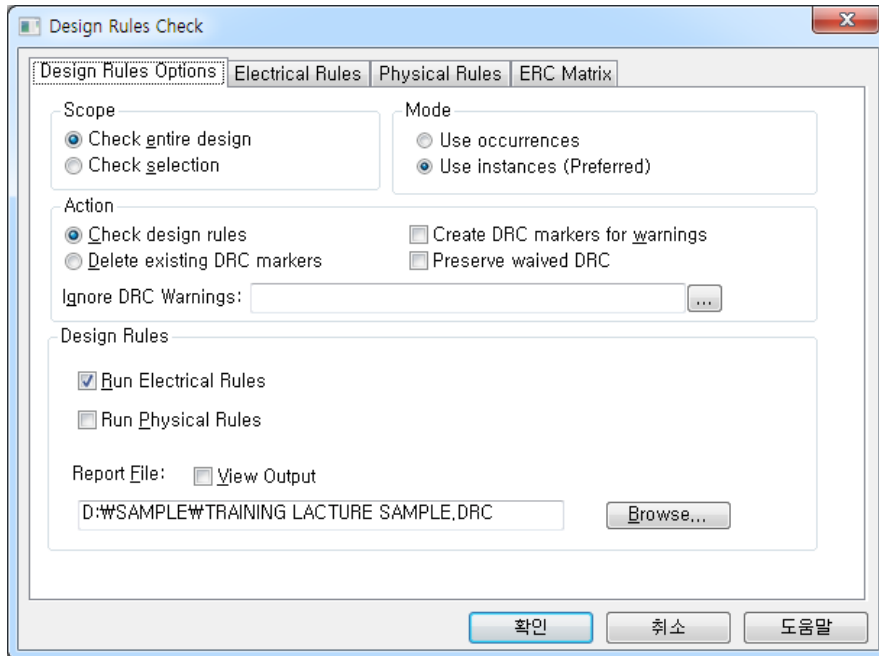
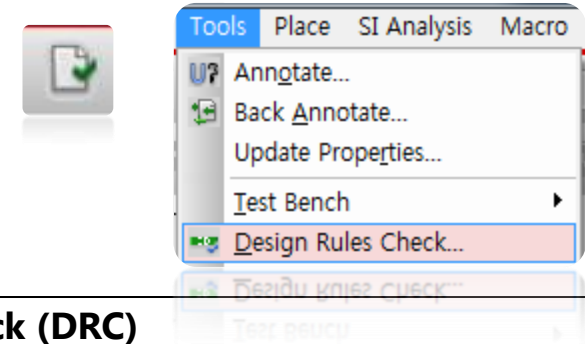
- Project Manager Tools - / Back Annotate



Back Annotate

- PCB 설계작업 중, 수정된 사항을 회로도면으로 반영한다
- Back Annotate는 아래의 PCB Tool에서 받아들 수 있다
 - Allegro PCB Editor / OrCAD PCB Editor
 - OrCAD Layout
- 반영 가능한 변경요소
 - Pin Swap / Gate Swap
 - PCB Footprint
 - Etc.

- Project Manager Tools - / Design Rules Check



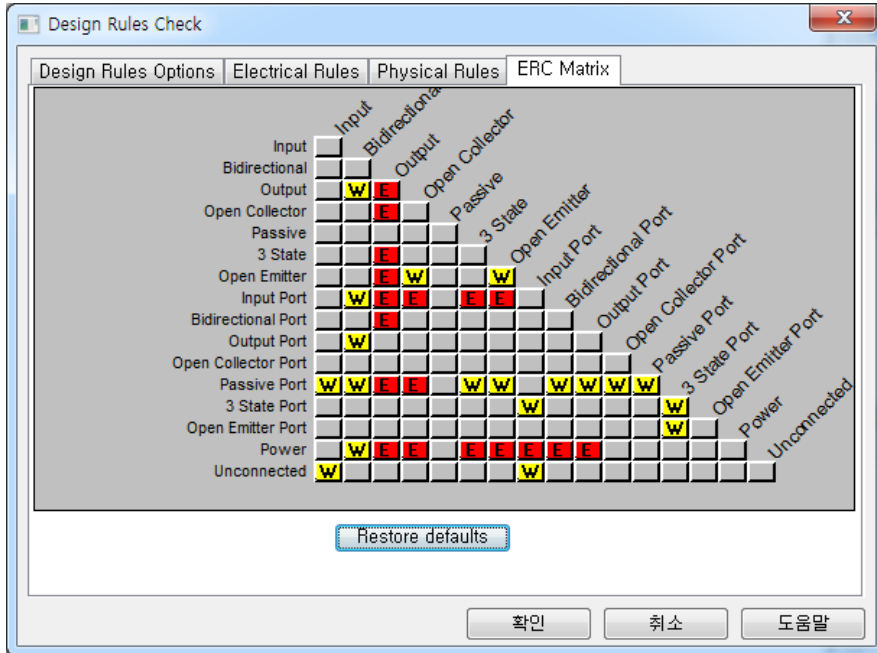
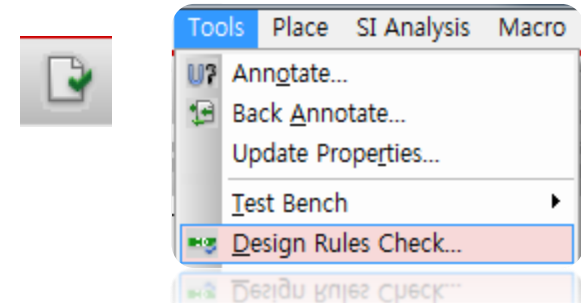
Design Rules Check (DRC)

- 회로도면상의 설계오류를 식별 / 표시한다
 - 회로도면에서 녹색 도너츠 형태로 표시
 - Session Log에서 오류정보 표시 - 오류내역 / 좌표
- 오류정보
 - 부품번호 (Part Reference)
 - 배선오류 - Pin, Net, Power Pin
 - Connector / Port 연결정보
 - 그리드에 붙지 않은 객체
 - 분리된 부품의 Packaging 오류

Capture Entry - Project Manager Tools

OrCAD Capture

- Project Manager Tools - / Design Rules Check

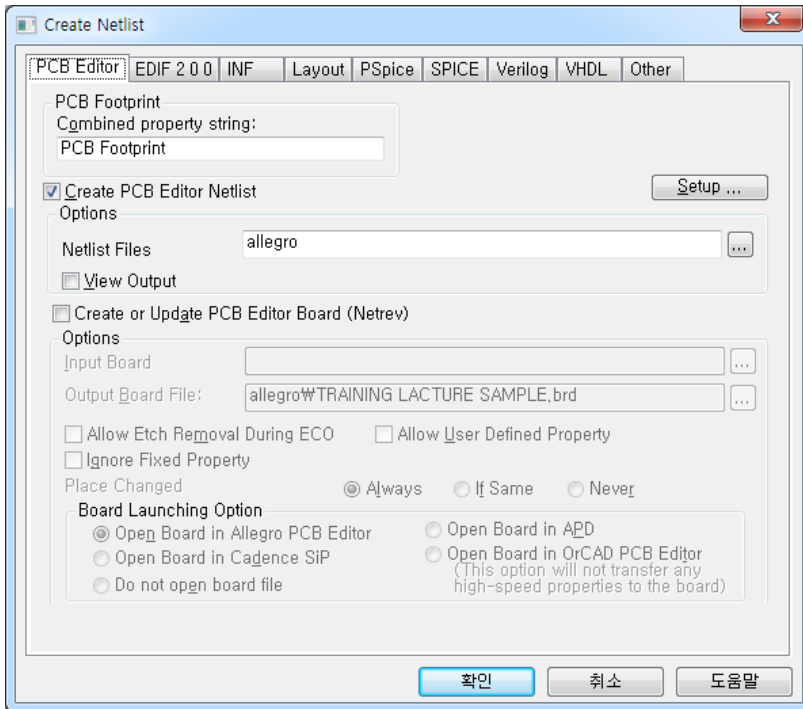


Electronic Rules Check (ERC)

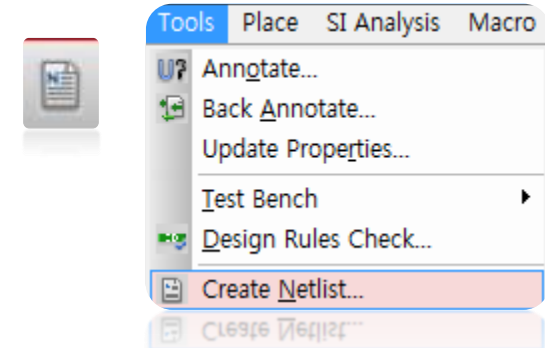
- 부품의 모든 핀은 고유한 입출력 속성을 갖고 있다. DRC는 ERC Matrix의 내용을 참조하여 핀 입출력 속성의 연결을 비교한 후, 잘못된 부분을 찾아낸다. ERC Matrix의 기본설정이 자신의 설계규칙과 동일하지 않을 경우, 이를 수정하도록 한다.
 - E (붉은색) - Error(오류)로 인식
 - W (노란색) - Warning(경고)로 인식

Capture Entry - Project Manager Tools

- Project Manager Tools - / Create Netlist



OrCAD Capture



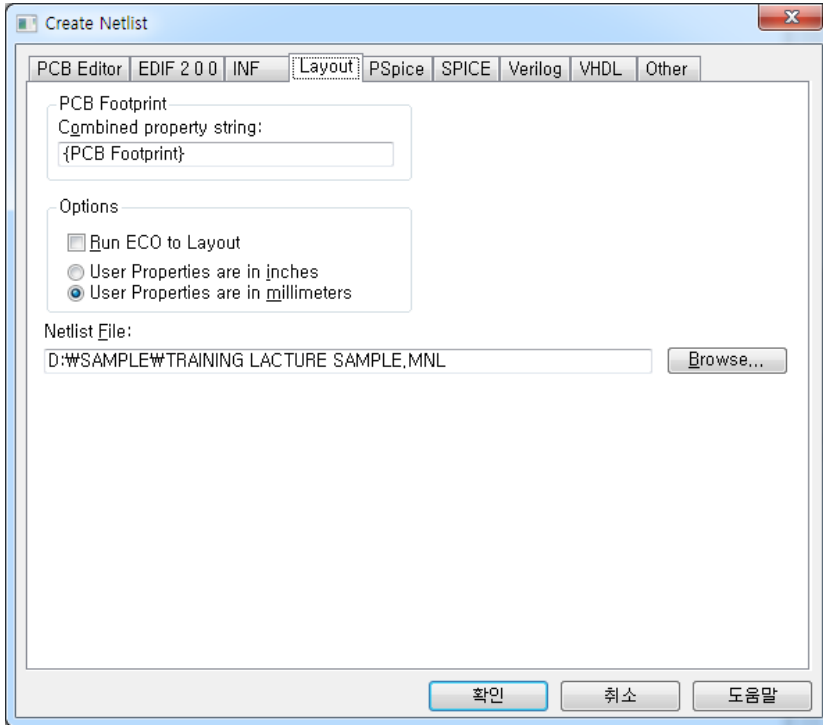
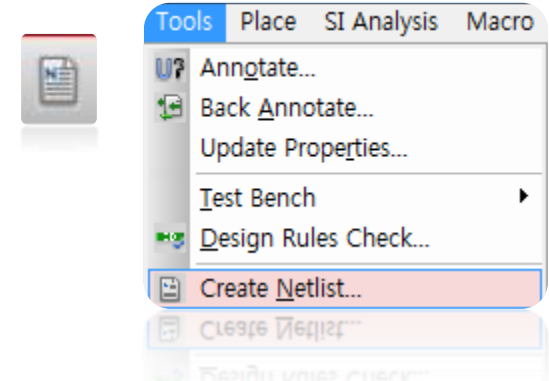
Create Netlist - PCB Editor

- Netlist는 PCB 및 여러 Tool 형식에 맞게 변환된 파일이다
- PCB Editor는 세 가지의 *.DAT 파일로 Netlist가 생성된다
- Create or Update PCB Editor Board - Netlist 생성과 동시에 PCB 작업이 가능하도록 PCB Editor Tool을 실행한다
- Options
 - Input board - 보드외곽선등의 미리 제작된 보드파일을 기반파일로 쓰고자 할 때 사용
 - Output Board File - 생성될 작업 파일
- Board Launching Option - 실행 프로그램을 지정한다
 - Allegro PCB Editor
 - OrCAD PCB Editor
 - Do not open board file : 파일을 만들되, 프로그램은 실행하지 않는다.

Capture Entry - Project Manager Tools

- Project Manager Tools - / Create Netlist

OrCAD Capture

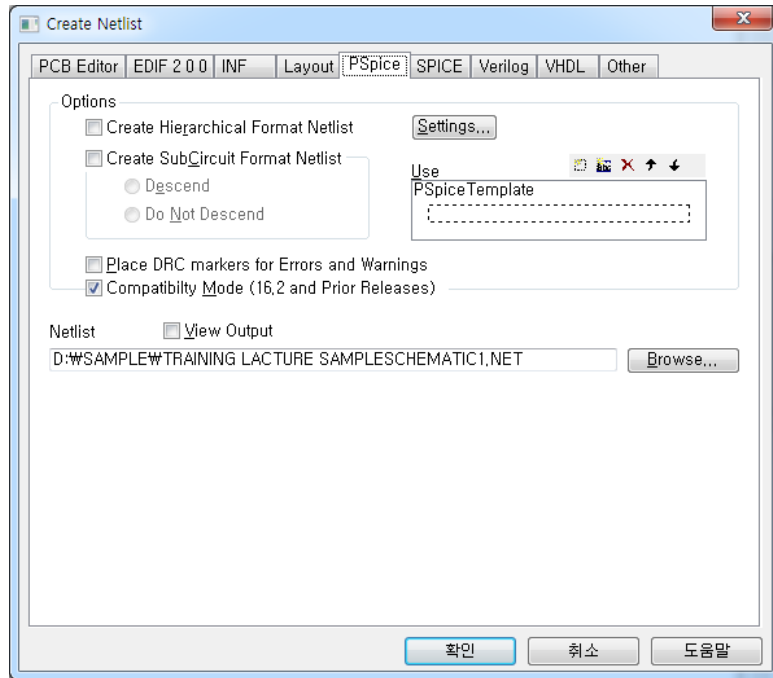


Create Netlist – OrCAD Layout

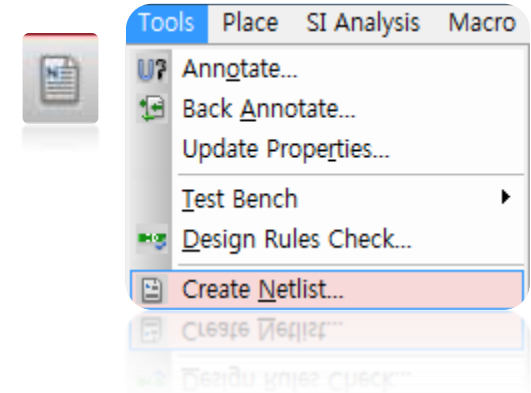
- Netlist는 PCB 및 여러 Tool 형식에 맞게 변환된 파일이다
- OrCAD Layout은 하나의 *.MNL파일로 Netlist가 생성된다
- Options
 - Run ECO to Layout - Layout이 실행 중이면, AutoECO 작업을 자동으로 수행
 - Use Properties are in ... - 작업 단위를 inch 또는 mm로 선택

Capture Entry - Project Manager Tools

- Project Manager Tools - / Create Netlist



OrCAD Capture



Create Netlist - Pspice

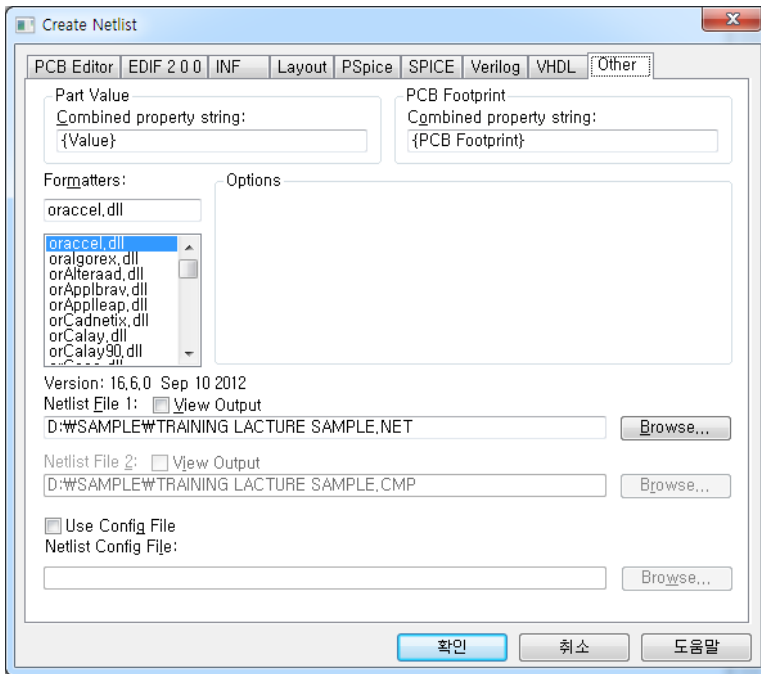
- Netlist는 PCB 및 여러 Tool 형식에 맞게 변환된 파일이다
- Create ... Format Netlist - Subckt 또는 Hierarchical Netlist를 생성 (Pspice 부품 Library)

Note

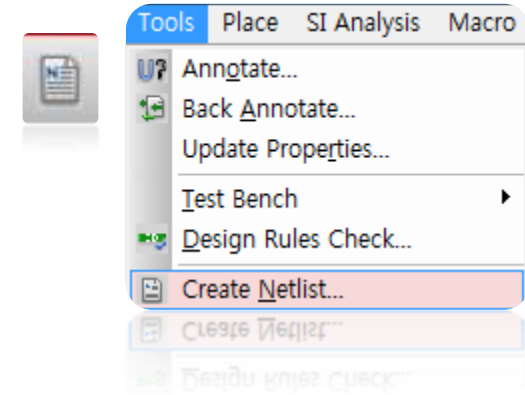
- 다른 제조사 Tool 형식의 netlist를 출력하고자 하면, Other Tab을 확인한다

Capture Entry - Project Manager Tools

- Project Manager Tools - / Create Netlist



OrCAD Capture

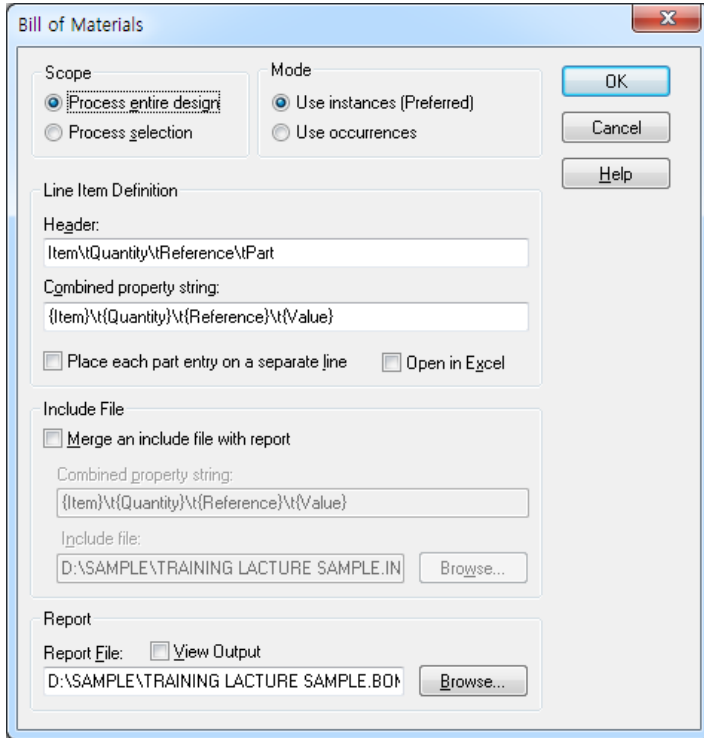


Create Netlist - Other

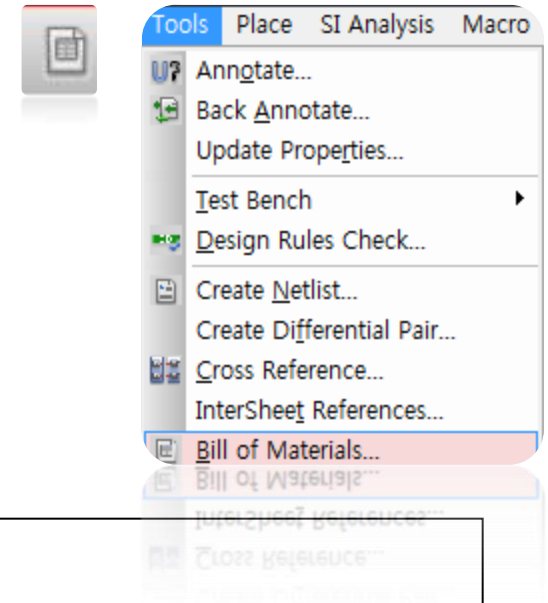
- Netlist를 타회사 tool에 맞게 Netlist를 변환할 수 있다. (PADS, P-CAD, Altium 등등)

Capture Entry - Project Manager Tools

- Project Manager Tools - / Bill Of Materials



OrCAD Capture



Create Bill Of Materials

- 부품 명세서를 출력한다
- Header - 제목에 출력할 속성 정의
- Combined Property String - 각 객체의 속성값 지정
- Place each part entry on a separate line - 같은 형태의 부품도 나누어 출력
- Open in Excel - 내용을 MS-Excel로 출력