

Allegro / OrCAD PCB Editor Training Guide



(주)베리티테크 EDA 사업부 서울특별시 서초구 양재동 114 덕산빌딩 3층 (우 135-746) Tel : 02-2057-8815 FAX : 02-2057-8810 Web : <u>http://www.veritytech.co.kr</u> Mail : <u>verity@veritytech.co.kr</u>



cādence[®]

Allegro PCB Editor

- Allegro PCB Editor 개요 -

- Workstation / PC 기반의 PCB (Printed Circuit Board) 설계도구
- 고속 고집적 PCB 설계를 위한 여러 기능 탑재
- 무제한의 작업 가능한 PCB Layer를 지원한다.
- Constraint Manager를 통한 설계규칙 설정환경을 제공한다.
- 부품 배치, 배선과 관련된 강력한 편의 기능을 제공한다.
- 보드외곽선, Copper작업을 위한 Shape 객체를 지원한다.
- 작업 중 발생하는 오류의 즉시 교정을 위한 Online DRC를 지원한다.
- Cadence Design Entry HDL, OrCAD Capture와 연동하는 Circuit Feedback 인터페이스를 지원한다.
- Signal Explorer와 연동하는 PCB 패턴분석 인터페이스를 지원한다.
- SPECCTRA Auto Router와 연동하는 PCB 자동배선 인터페이스를 지원한다.
- 입력환경의 편의성을 고려하여 사용자 개별 설정을 지원한다.
 (단축키, 마우스 제스처, 경로 변경 등. 사용자 개별설정은 계정단위로 관리)
- 작업된 PCB Footprint의 유출을 방지하기 위한 보안 설정 기능을 제공한다.
- 다른 Tool과의 호환성을 위한 File 변환기능을 지원한다.
 (P-CAD, PADS, OrCAD Layout, DXF, 그 외.)



- PCB Editor 실행 -
- Cadence SPB Series
 - 시작 -> 프로그램 -> Cadence SPB 16.x -> PCB Editor
- OrCAD
 - 시작 -> 프로그램 -> OrCAD 16.x -> OrCAD PCB Editor

- PCB Editor의 설계 진행 순서 -

- Netlist Import 또는 Capture / DE HDL에서 생성한 *.brd 파일 Load
- 작업환경 설정 (작업영역, 단위, Layer 수, Rules..)
- 보드외곽선 설정
- 부품 배치
- 배선 / Copper 작업
- Board Design Rules Check
- Gerber Data 출력

Allegro PCB Editor



cādence

CHANNEL PARTNER



Allegro PCB Editor

- PCB Editor 파일 확장자 -
- BRD : PCB Editor Board Design File
- PAD : PCB Footprint PAD Symbol File
- DRA : PCB Footprint Draw File (Source)
- PSM : PCB Footprint, Package Symbol File (Compiled)
- BSM : Board Symbol File (Compiled)
- ART : Gerber File
- DRL : NC Drill Data File
- LOG : (대부분)자동작업 수행 중 생성되는 로그파일
- Color : Color definition File
- DAT : PCB Editor format Netlist File
 - pstchip.dat : PCB Footprint 연결 정보
 - pstxnet.dat : 배선 정보
 - pstxprt.dat : 부품 정보



Allegro PCB Editor

- PCB Editor 파일 확장자 -
- OSM : Format Symbol File (Compiled)
- SSM : Shape Symbol File (Compiled)
- FSM : Flash Symbol File (Compiled)
- SCR : Script File
- TECH : Technology File (Constraints, 설계 규칙)
- JRL : Journal File, 각종 이벤트 발생내역을 기록
- DRL : NC-Drill Data
- RPT : Report File

Note

- PCB Footprint는 *.dra type의 Source 파일로 제작하여 Compile 하는 순서로 만들어진다.
- PCB 작업 중 PCB Footprint 부품은 Compile 된 것들만 사용할 수 있다.





Allegro PCB Editor

CHANNEL PARTNER

- PCB Editor 파일 연결 -





Allegro PCB Editor

- PCB Editor 작업창 구성 -







Allegro PCB Editor

- Tool Bar -



<u>Note</u>

- Tool Bar의 버튼으로 부품, Shape, 도형을 추가/수정 및 배선, 설정작업 등을 선택할 수 있다.
- 메뉴의 View -> Customize Toolbar 에서 Tool Bar의 구성요소들을 추가/제거/수정할 수 있다.





- Tool Bar -

Allegro PCB Editor

cadence







Allegro PCB Editor

- Tool Bar -

- Setup -



- Grid Grid 격자점 보기 On/Off
- Color Color/Display 설정



Shadow - Shadow mode On/Off



- Xsection Stack up 편집
- Cmgr Constraint Manager 호출



- Route Ki 배선 허용 영역 설정
- Package Ki 배치 허용 영역 설정
- Application mode -



General Edit - 일반 편집 모드



Etch Edit - 배선 편집 모드

- Manufacture -

- <u>회</u> Artwork Gerber 파일 출력
- 🅼 NC drill Param 드릴 출력 설정
 - 🏮 NC drill Legend Drill Chart 생성
- 🛃 Odb out Valor's Odb++ 파일 출력

- Miscellaneous -



- Report Report 출력
- ▋ DRC update Batch DRC 정보 갱신
- ④ Help Cadence Help(도움말) 호출





Allegro PCB Editor

- Tool Bar -
- Display -



Element - 객체 속성 표시



Cns show - 객체의 Constraint 속성 표시



Show measure - 거리 측정



- Hilight 객체 강조 표시
- Dehilight 객체 강조 취소
 - Waive DRC 보류 DRC 설정

- Shape -

-

4

P

2

- Shape add 다각형 Shape 생성
- Shape add rect 사각형 Shape 생성
- Shape add circle 원형 Shape 생성
- Shape select Shape 선택
- Shape void element Shape void 생성
- Shape void polygon 다각형 void 생성
- Shape void rect 사각형 void 생성
- Shape void circle 원형 void 생성
- Shape edit boundary Shape 외곽 수정





Allegro PCB Editor

- Tool Bar -
- Dimension -



- Create detail Design 상세 표기
- Line font Line 속성 정의
- Linear dim 직선 거리 표기
- 赋 Datum dim x,y 좌표형태 거리 표기
 - 1 Angular dim 객체간 각도 표기
- └ Leader only 가이드 선만 표기
- 0
- Leader diametrical 직경 가이드 선 표기
- X
- ۵,
- Leader balloon 풍선형 가이드 선 표기

Leader radial - 곡선 가이드 선 표기



Leader chamfer - Chamfer 부위 가이드선 표기





Place manual - Symbol 수동 배치



Place manual - Symbol 수동 배치 (부품 이동/조정 목적)



12



Allegro PCB Editor

- Tool Bar -
- Route -



L H

- Add connect 배선
- Slide Segment 단위 배선 이동



Custom smooth - 배선 굴곡 평활화



Vertex - 배선 수정



Fanout - Fanout 생성

- Add -



Rect - 사각형 생성



abi

Text - 텍스트 입력







Allegro PCB Editor

- Fold Away 방식 Control Panel 표시 / Window 표시 제어 -





 \checkmark Find

Visibility

Show All





- Control Panel -Find by Name or Property Visibility Find Name filter Value filter: Visibility : Find + ▼ × + ▼ × All> Design Object Find Filter Views: ¥ All On All Off Etch Via Pin Drc All Layer Use 'selected objects' for a Groups Shapes OK Cancel Apply Help Conductors 객체 선택 편의를 위한 속성 / 배선 List Planes 🗹 Symbols Cline Seqs Top Functions Other Segs - Design Object -Bottom Vets Figures • Group - 사용자 임의 지정에 의한 객체 그룹 All DRC errors Pins Comps - 부품(Part reference 기준) Vias Text Symbols - 부품(Package symbol 기준) Design 창의 색상 및 Clines Ratsnests Functions - Gate function 표시 여부 Nets - 부품간 배선 속성 Lines 🔽 Rat Ts ٠ Pins - 부품 핀 • Find By Name Option • Vias - 배선 비아 Net ~ Name 💙 Clines - 배선(Connection Lines) Options + * × > More... • Lines - 선 Active Class and Subclass: Shapes - Shape(Copper) 객체 선택의 편의를 위한 Filter Voids - Shape Void Board Geometry ¥ Cline Segs - 선 단위 Cline Other Segs - 선 단위 Line 🔲 Outline ¥ Figures - 각종 기호(Drill...) • DRC errors - DRC marker • Text - 모든 글자 • Ratsnests - 배선되지 않은 Wire 배치/배선 등의 작업 옵션 • Rat Ts - Ratsnest 분기점



Find by Name





Allegro PCB Editor

cādence

CHANNEL PARTNER





Allegro PCB Editor



- 항목 설명(일부) -
- Super Filter Control Panel의 Find Tab과 같은 역할
- Customize
 - Enable Single Click Execution 한 번 클릭으로 명령 자동 실행(예 : add connect) Disable Automatic Drag Operations 드래그 시, 특정 예상 작업 배제(예 : Slide)

 - Enable Shape Selection through Shape Fill Shape의 면을 클릭하여 Shape 선택





Allegro PCB Editor

- World View / Status Area -







Allegro PCB Editor

Key	Command	Key	Command
F2	Zoom fit	SF2	Property edit
F3	Add connect	SF3	Slide
F4	Show element	SF4	Show measure
F5	Refresh	SF5	Сору
F6	Done	SF6	Move
F7	Next	SF7	Dehighlight all
F8	Oops	SF8	Highlight pick
F9	Cancel	SF9	Vertex
F10	Grid toggle	SF10	Save_as temp
F11	Zoom in	SF11	Zoom previous
F12	Zoom out	SF12	Zoom world
CF2	Next	CF6	Color priority
CF5	Color	SCF5	status

- 단축키 -

<u>Note</u>

- 환경설정 파일 저장경로 :
 - Global : %Installed DIR% \share\pcb\text\env
 - Local : 환경변수에서 "HOME"으로 지정된 경로
 - 적용 우선순위 : Local > Global
- HOME Folder내 env file의 내용을 수정하여 단축키 설정 변경 (Alias 및 Funckey 선언)

#
Bind roam operations to function keys
set roamInc = 96
alias Up "roam y -\$roamInc"
alias Down "roam y \$roamInc"
alias Left "roam x -\$roamInc"
alias Right "roam x \$roamInc"
4
F1 is normally reserved by the system for Help so we don't use it
alias F2 done
alias F3 oops
alias F4 cancel
alias F5 show element
alias F6 add connect
alias F7 vertex
alias F8 zoom points
alias F9 zoom fit
alias F10 zoom in
alias F11 zoom out
alias F12 property edit
alias SF2 grid toggle
alias SF3 hilight pick
alias SF4 dehilight all





Allegro PCB Editor

- 단축키 -/ 지정 또는 수정 🜙 내 컴퓨터 에 대한 사용자 변수(U) 열기(O) 변수 값 C:₩OrCAD_Data 탐색(X) HOME Key Map 2004 (adal) _ 2004 - --Ъ. 검색(E)... - 21 7 관리(G) 새로 만들기(N) 편집(E) 삭제(D) Modifier Indicator Example 시스템 변수 네트워크 드라이브 연 Shift S SF2 변수 네트워크 드라이브 연 Marillan $100 \times$ CF2 Control C (function keys) ? , é 7. v A. ,. 바탕 화면에 표시(S) ~ (alpha-numbic) Control ~N 새로 만들기(W) 편집(I) 삭제(L) 이름 바꾸기(M) 1-1 AF2 Meta А 확인 취소 속성(R) Key 조합 변수 값 HOME C:₩OrCAD_Data CSF2 Control-Shift F2 ASF2 Meta-Shift F2 CAF2 Control-Meta F2 🚞 pcbenv CASF2 Control-Meta-Shift F2 파일(F) 편집(E) 보기(V) 즐겨찾기(A) 도구(T) 도움말(H) ~SZ Control-Shift Z 🄇 뒤로 🔹 🍙 🕤 🏂 🎾 검색 🔂 폴더 🛛 🎹 🗸 Shift-Up Arrow SUp 주소(D) 🛅 C:\#OrCAD_Data\#pcbenv 🗸 🛃 이동 CUp Control-Up Arrow E modelintegrity.out 🍓 allegro.ini allegro.strokes modelintegrity.ini C:₩OrCAD Data₩pcbenv 🖬 env 🖬 env, 1 Alias example lallegro.col 🎙 allegrø 메모장이나 워드패드로 alias SF2 grid toggle (그리드 On / Off 실행) 입 및 폴더 작업 8 env파일을 편집 pad_desig ixp.dec 📧 env gro.geo,1 **Funckey example** ad_designer.geo,1 금요일, 오전 funckey r rotate (부품 회전 명령 실행) 🛋 sigxp.geo, 1 크기: 1.00KB 🖬 allegro.mru 🔟 pad_designer.mru



종류: 파일 수정한 날짜: 2007-01-12 오전 1 1.00KB



😡 내 컴퓨터

Allegro PCB Editor

- 마우스 제스처 -

 키보드의 CTRL키와 마우스 오른쪽버튼을 누른 상태에서 아래 표와 같은 방법으로 마우스를 움직이면, 각각의 예약된 명령어가 실행된다.

	Stroke	Equivalent command	Key combinations
Ctrl	C	Сору	CTRL+C
+	\sim	Move	SHIFT+F6
	Z	Zoom In	F11
	J	Oops (Undo)	F8
	\bigvee	Zoom World	SHIFT+F12
	\wedge	Delete	



- 마우스 제스처 -/ Stroke Editor





<u>Note</u>

- Stroke Editor를 이용하여, 사용자 정의 마우스 제스처를 정의한다.
- Setup -> User Preference 에서 input Category의 no_dragpopup 항목을 설정하면 Ctrl키의 입력 없이, 마우스 오른쪽 버튼 만으로 제스처 입력기능을 사용할 수 있다. (Appendix 참고)





Allegro PCB Editor

Allegro PCB Editor

- Import Netlist - / OrCAD Capture

Create Netlist ×	→■ Capture의 Create Netlist 기능을 호축
PCB Editor EDIF 2 0 0 INF Lavout PSpice SPICE Verilog VHDL Other PCB Footprint Combined property string: DCD Footprint DCD Footprint	하여 BRD파일을 자동으로 생성한다.
✓ <u>C</u> reate PCB Editor Netlist	→■ Options : PCB 작업파일 저장경로
Options Netline Files allegro	Input Board : Board Template File
<u>N</u> etrist Files	Output Board : PCB Artwork File
Create or Update PCB Editor Board (Netrev) Options Input Board allegro₩AVRUSB500_orig,brd	■ Create or Update PCB Editor Board : BRD파일을 생성하고 PCB Editor를
Qutput Board File: allegro\#avrusb500,brd	실행하여 BRD 파일을 연다.
Allow Etch <u>Removal During ECO</u> Ignore Fixed Property	 BRD파일을 생성하지 않고 Netlist만 출력하고자 할 때는 이 옵션을 해제한다.
Place Changed O Always O If Same O Never Board Launching Option	→ ■ Board Launching Option : BRD파일을
 Open Board in Allegro PCB Editor Open Board in OrCAD PCB Editor (1 his option will not transfer any high-speed properties to the board) 	열기 위해 실행할 프로그램을 선택한다. Allegro PCB Editor OrCAD PCB Editor
확인 취소 도움말	





Allegro PCB Editor

- Import Netlist - / Import Logic



- Capture에서 생성된 Netlist 파일을 import하여 BRD 파일의 내용을 갱신한다.
- Tab
 - Cadence : 회로도면 작업을 Cadence DE HDL이나, OrCAD Capture로 작성했을 경우 선택.
 - Other : 회로도면을 다른 프로그램으로 작성했을 경우 선택.
- Import logic type : 회로도면을 작성한 프로그램을 선택한다.
 - SCALD : DE HDL 5.0 이전 버전 파일의 import
- Place changed component : 회로도면상의 부품이 변경될 경우, PCB상의 부품배치를 유지할지 제거할지 선택한다.
 - Always : 항상 이전 부품의 배치위치를 유지
 - Never : 항상 부품 배치를 초기화 한다.
 - If same symbol : 변경된 부품의 Symbol이 이전 것과 같을 경우만 부품배치를 유지



Allegro PCB Editor

- Import Netlist - / Create New File

File Edit View A	dd Display		
<u>N</u> ew	Ctrl+N		
 Open			
Derest Designed			
New Drawing			×
Project Directory:	C:/OrCAD_Data/example		ОК
Drawing <u>N</u> ame:		Browse	Cancel
Drawing <u>T</u> ype: Bo	ard	3	Help
Bo	oard 🔺		
Bo	oard (wizard)		
Pa	ackage symbol		
Pa	ackade symbol (wizard) 🞽		
New			? X
찾는 위치(!):	🛅 board_design	<u> </u>	3 🦻 🖻 🛄 -
a devices			<u>с </u>
signoise.run		•	
symbols			╞╘╧╝
cds_routed.brd			
			(# !!!!!!
파일 이름(<u>N</u>):	cds_routed,brd		열기(<u>0</u>)
파일 형식(<u>T</u>):	Layout (*,brd)		✓ 취소
			도운망(비)
Change Directory		1	
_			¥
<u>Previe</u> viev	<u>w text</u> Prev	<u>iew Boa</u> ı	<u>rd Picture</u>

- 새로운 BRD, 부품, Padstack 파일을 생성한다.
- Drawing Type
 - Board : 빈 BRD 파일
 - Board (Wizard): Board 에서 설정해야 할 부분을 Wizard 형식으로 진행하여 BRD파일 생성
 - Module : Design Reuse를 위한 모듈 생성
 - Package Symbol : 빈 DRA 파일 (Package, Mechanical, Shape(PAD), Flash)
 - Package Symbol (Wizard): 부품제작의 편의를 위해 Wizard 형식으로 진행하여 DRA, PSM, BSM 파일 생성
 - Format Symbol : Sheet Outline form
- Change Directory (Browse창): 도면 작업폴더 변경

	Ν	ote	
--	---	-----	--

 Netlist를 Import 하기 위해, 새로운 BRD파일을 미리 생성해야 한다.





Allegro PCB Editor

New Drawing			×			
Project Directory	: C:/OrCAD_Data/Allegro_e	×	ОК			
Drawing <u>N</u> ame:	Allegro_ex.brd	Browse	Cancel			
Drawing <u>T</u> ype:	Board (wizard)		Help			
	Board (wizard) Module Package symbol Package symbol (wizard)					
🙀 Board Wizard				- 0		
-	[]					
E-CONTRACTOR OF	cadence	This wizard helps	s you to get started	with a board design.		
Start		Drawing units, size, and origin				
+		- Board outli	ne			
Import Dat	a	- Grid spacin	ig			
Parameter		- Board cross-section				
		- Initial const	traints			
More Informatio	n?	This wizard also film definitions.	generates route ke	epin, place keepin, and artwork		
Custom Da	ita	You also can imp contain Allegro d create with this v commands in the	oort custom templat ata and parameter: vizard can be modil Allegro Editor.	es and technology files that s. The initial board that you fied by using the interactive		
Back	Next > Finish	Cancel	Help			

- 새로운 작업 파일을 문답식으로 설정하여 생성.
- 아래의 설정을 미리 완료 지을 수 있다.
 - 치수 단위, 도면 크기, 원점 위치
 - 보드외곽선
 - 그리드 간격
 - PCB 층 수
 - 환경설정 (Constraints)





Allegro PCB Editor







Allegro PCB Editor







Allegro PCB Editor

Board Wizard - Etch Cross-section details	Define etch layer names and their properties. Layer name Layer type Top Routing layer V Bottom Routing layer V	■ Layer 속성 지정 ■ Layer의 배선 가능 여부 ■ Routing Layer ■ Plane Layer
Parameters More		 Plane Layer의 굴덕 영대 결정 Positive Negative
Custom Data	Define the following spacing constraints for the board. Minimum Line width : 0.1000 millimeters Minimum Line to Line spacing : 0.1000 millimeters Minimum Line to Pad spacing : 0.1000 millimeters Minimum Pad to Pad spacing : 0.1000 millimeters Specify the padstack for the default via for this board. Default via padstack: via	 환경설정(Constraints) 최소간격 설정 배선 폭 배선간격 (배선간 이격거리) 라인 대 패드간격 패드 대 패드간격 기본 비아(Via)객체 지정
<back next=""> Finish</back>	Cancel Help	





Allegro PCB Editor







Allegro PCB Editor

- Design Parameters - / Display Tab

Design Parameter Edito	r
Display Design Text Shapes	Route Mfg Applications
Command Parameters	
Display	
Connect point size:	10.00
DRC marker size:	25.00
Rat T (Virtual pin) size:	35.00
Max rband count:	500
Ratsnest geometry:	Jogged 🔽
Ratsnest points:	Closest endpoint 🔽

Display Tab - 화면 출력/표시 설정

Display Tab

Display – 화면표시 설정

- Connect point size : Cpoint (Diamond 형태로 표시) 크기 설정 (사용자 Unit 설정을 따름)
- DRC marker size : DRC Marker의 크기 지정
- Rat T (Virtual pin) size : Net schedule 설정에서 Ratsnest의 T분기점 크기 설정
- Max rband count : 객체 이동 중 표현할 외곽선의 수, 현재는 바꿀 필요가 없는 설정
- Ratsnest geometry : Ratsnest의 표시방법 지정(Jogged, Straight)
- Ratsnest points : Ratsnest의 표시방법 지정(Endpoint 또는 Pin to Pin)



31





Allegro PCB Editor



- Design Parameters - / Display Tab



Display Tab
Enhanced Display Modes – 화면표시 설정
▪ Display plated holes : 도금된 패드의 홀을 표시
▪ Display non-plated holes : 도금되지 않은 패드의 홀을 표시
▪ Filled pads : 패드의 속을 색으로 채움
 Connect line endcaps : 화면에 보이는 Cline의 꺾임을 Round 형태로 표시
■ Thermal pads : Negative Plane 상의 Thermal Relief를 화면에 표시
 Bus rats : BUS_NAME 속성이 부여된 Net을 Bus형태로 묶어서 표시
■ Waived DRCs : 화면상에 Waived DRC Error 표시
Drill Hole





Allegro PCB Editor

Setup Shape Logic Place

cādence

CHANNEL PARTNER















- Design Parameters - / Design Tab

Allegro PCB Editor



	Design Tab
	Line lock – 배선 꺾임 설정
	■ Lock direction : 배선각 지정(Off - 자유각, 45, 90)
< Line lock	■ Lock mode : 꺾임 형태 지정(Line, Arc)
	■ Minimum radius : Arc의 최소 반경 지정(기본값 0)
Lock direction: 45 💌	▪ Fixed 45 Length : 45도 배선중, 꺾임을 고정할 경우, 꺾인 배선의 길이 지정
Lock mode:	▪ Fixed radius : Arc 배선중, 반경을 고정할 경우, Arc 배선의 반경 지정
Minimum radius: 0.0000	■ Tangent : Add - Line 작업에서 Arc의 진행 방향 설정
Fixed 45 Length: 0.6350	
Tangent	Symbol – 부품 속성 설정
	■ Angle : 객체 회전 각 default 값 지정(시계 방향)
- Sumbol	■ Mirror : 반시계 방향 회전 설정
Symbol	■ Default symbol height : 부품 높이 기본값 지정
Angle: 0.000 💌 🗌 Mirror	(DRC 부품 높이 제한)
Default symbol height: 3.8100	

Tangent 설정

Tangent 해제



Allegro PCB Editor



- Design Parameters - / Text Tab

Design Tab								
Sign Paralleter Editor Size – 문자 설정								
play Design Text Shapes Route	▪ Justification : 문자 정렬 방식 (원	왼쪽, 기	가운데,.	오른쪽)				
	■ Parameter block : 문자 설정 Se	et defa	ault 값 ㅈ	l정 (Text	Setup -	Text Blk	.)	
Size	■ Text marker size · Text이 내용	이었을	 	· ○ 、 퓨시됰 삼	· 각형 Mai	rker이 ㅋ	, 기 지정	
			= 0 -		10		110	
Justification:								
Parameter block:	Δ	🙀 Te	xt Setup					
Text marker size: 1.2700	<u>Text Marker</u>	Taut	1.C.M.	Usinha	1.000	Dhata	Char	
Setur Text Sizes		Blk	width	neight	Space	Width	Space	
		1	0.4064	0.6350	0.7874	0.0000	0.1524	^
			0.5842	0.7874	0.9906	0.0000	0.2032	
		3	0.9652	1.2700	1.6002	0.0000	0.3302	
		4	1.1938	1.6002	2.0066	0.0000	0.4064	=
		5	1.4224	1.9050	2.4384	0.0000	0.4826	
Note		6	1.5240	2.0320	2.5400	0.0000	0.5080	
		7	1.7526	2.3876	2.9718	0.0000	0.5842	
● PCB Editor에서는 Text Size들 하나의 Set으로 묶어 Text Block		8	1.9050	2.5400	3.1750	0.0000	0.6350	
이다는 아름으로 한다하며, 격격의 Text의 크기는 개월월경을 하는 것이 아니라. Text Block의 일련번호를 부여하여 각 Block에서			2.3622	3.1750	3.9624	0.0000	0.7874	
지정된 크기를 해당 Text 객체에 적용한다.		11	2.3718	3.3624	4.9030 5.5020	0.0000	1.3748	
■ 내용 없이 Text를 오지하거나 Text Line을 개해한 경으 Text		12	0.5274	4.4430	5.3626	0.0000	1 1020	~
 내용 없이 Text을 유지하거나, Text Line을 개행할 경우 Text Marker로 해당 Text의 내용이 비어있음을 알리며, 추후 Edit > Text 명령을 통해 내용을 수정할 수 있다. 			Car	icel Re	et Ac		act Help	




- Design Parameters / Text Tab
- Setup->Grids

📝 Te	🐉 Text Setup 📃 🗖 🗙									
Text Blk	Width	Height	Line Space	Photo Width	Char Space					
1	0.4064	0.6350	0.7874	0.0000	0.1524	^				
2	0.5842	0.7874	0.9906	0.0000	0.2032					
3	0.9652	1.2700	1.6002	0.0000	0.3302					
4	1.1938	1.6002	2.0066	0.0000	0.4064	=				
5	1.4224	1.9050	2.4384	0.0000	0.4826					
6	1.5240	2.0320	2.5400	0.0000	0.5080					
7	1.7526	2.3876	2.9718	0.0000	0.5842	-				
8	1.9050	2.5400	3.1750	0.0000	0.6350					
9	2.3622	3.1750	3.9624	0.0000	0.7874					
10	2.9718	3.9624	4.9530	0.0000	1.5748					
11	3.3274	4.4450	5.5626	0.0000	1.1176	_				
12	2 6014	A 7752	E 9090	0.0000	1 1020	~				
OK Cancel Reset Add Compact Help										

Allegro PCB Editor





cādence

CHANNEL PARTNER

- Text Setup -

Text Blk = Text Block 일련번호

- Width = 글자 폭
- Height = 글자 높이
- Line Space = 줄(행) 간격
- Photo Width = 선 폭 (0으로 지정될 경우 화면상에 1px로 표시)
- Char Space = 문자 간격
- Reset = (저장 전일 경우)저장된 값으로 복구
- Add = Text Block Set 추가
- Compact = 현재 사용하지 않는 Text Block Set 제거



- Design Parameters - / Shapes Tab



Allegro PCB Editor



cādence

CHANNEL PARTNER

Shape Tab

Edit global dynamic shape parameters

Command Parameters - Shape 속성 설정

- Global Dynamic Shape Parameters : Dynamic Shape를 위한 공통 설정
- Static Shape Parameters : Static Shape를 위한 공통 설정
- Split Plane Parameters : Split Plane의 Fill style 설정

Edit static shape parameters

Shape Void에 대한 속성 설정

 Shape 작업 후 Constraint의 설정값, 현 화면에서의 더해지는 값으로 Void처리 설정.

Edit split parameters

Shape Type 대한 설정

■ Shape Fill Type의 설정



Allegro PCB Editor



- Design Parameters - / Route Tab



Route Tab / Add Connect folder

Add Connect Parameters – Control Panel 표시 여부 및 Default 값 설정

- Miter : 배선 모따기 설정
- Line Width : 배선 폭 설정
- Bubble : 배선 충돌(Short)시 처리 방법 설정
- Shove vias : 배선 충돌 방지를 위한 비아 이동 허용
- Gridless : 그리드 무시
- Clip dangling clines : 결선되지 않은 패턴 끝점의 이동 여부 설정
- Smooth : 배선 변형 정도 설정
- Snap to connect point : 배선 Pin 자석기능 사용
- Replace etch : 중복되는 배선 제거 (배선 교체)





- Design Parameters - / Route Tab



Delay Tune	Parameters		
Show	Parameter Stule	Value	
	Accordion	۲	
	Sawtooth 👝	\circ	
	Trombone 📃	\circ	
	Centered		
	Gap	3x width	*
	Corners	90	*
	Miter size	1x width	~
	Allow DRCs		

Allegro PCB Editor



Route Tab / Delay Tune folder

Delay Tune Parameters – Delay Tune 관련 default 값 설정

- Accordion : 아코디언 형식 배선
- Sawtooth : 톱니 형식 배선
- Trombone : 트롬본 형식 배선
- Centered : 시작, 종료점을 중앙으로 위치
- Gap : Cline간 간격 (nx space 또는 nx width 또는 mm/mil 단위 값 입력)
- Corners : 꺾임 방식 설정
- Miter size : (45도 배선에서)모따기 각 설정
- Allow DRCs : Online DRC를 따름





- Design Parameters - / Route Tab



ſ	Edit Vertex I	Parameters	
	Show	Parameter	Value
		Style Bubble	Shove preferred 👻
		Shove vias Clip dangling connect lines	
		Smooth	Minimal
		Allow DRCs Allow gridless	

Allegro PCB Editor



Route Tab / Edit Vertex folder

Edit Vertex Parameters

- Bubble : 배선 충돌(Short)시 처리 방법 설정
- Shove vias : 배선 충돌 방지를 위한 비아 이동 허용
- Clip dangling connect lines : 결선되지 않은 패턴 끝점의 이동 여부 설정
- Smooth : 배선 변형 정도 설정
- Allow DRCs :
- Allow gridless :





- Design Parameters - / Route Tab



Slide Param	neters	
Show	Parameter	Value
V	Corners	45 🔽
	Max 45 len	99999.0 🔽
	Style Bubble Shove vias Clip dangling connect lines Smooth	Shove preferred V Off V Minimal V
	Allow DRCs	
	Gridless	
	Add at max	
	Vias with segments	
	Ts with segments	

Allegro PCB Editor



Route Tab / Slide folder

Slide Parameters

- Corners : 배선각 설정
- Max 45 len : 45도 배선각 제한 길이 설정
- Bubble : 배선 충돌(Short)시 처리 방법 설정
- Shove vias : 배선 충돌 방지를 위한 비아 이동 허용
- Clip dangling connect lines : 결선되지 않은 패턴 끝점의 이동 여부 설정
- Smooth : 배선 변형 정도 설정
- Allow DRCs :
- Gridless :
- Add at max :
- Vias with segments :
- Ts with segments :





- Design Parameters - / Route Tab



Allegro PCB Editor



cādence

CHANNEL PARTNER

Route Tab / Gloss folder

Gloss Parameters

- Line and via cleanup
- Via eliminate
- Line smoothing
- Center line between pads
- Improve line entry into pads
- Line fattening
- Convert corner to arc
- Pad and T connection fillet
- Dielectric generation



- Design Parameters - / Route Tab

Allegro PCB Editor



Add Connect Delay Tune Edit Vertex Gloss Create Fanout	🛃 Create	Fanout		X
	Include U	nassigned Pir	ns	
	Include Al	ISame Net P	ins	
Create Fanout Parameters	🗌 Тор	~	Start	
	Bottom	*	End	
	🔿 Via Struct	ure		
Create Fanout creates clines and via	Symbol	No avail via	structure	~
component pins so that the vias and,	Rotation	0.00	Mirro	r
the desired layer for routing.	💿 Via	Net Default		~
	Via Direction	BGA Quad	Irant Style	~
Courte France Brown board	🔲 Override L	ine Width.	0.0	~
Lreate Fanout Parameters	Pin-Via Space	e	5.0	~
	Min Channel :	Space	5.0	<u>×</u>
		v 🚩 🖓]	
	Curve Rac	lius	5.0	×
			Cancel	

Route Tab / Create Fanout folder

Create Fanout Parameters

- Include Unassigned Pins
- Include All same net pins
- Start and End Layers
- Via Structure
- Via Direction
- Override Line width
- Pin-via space
- Min Channel Space
- Curve
- Curve Radius





- Design Parameters - / Mfg Tab



Allegro PCB Editor



Manufacturing Applications Tab

Command Parameters

- Testprep : Testpoint 생성 설정
- Thieving : Thieving 생성 설정
- Silkscreen : Autosilk subclass 생성 설정
- Drafting : Dimension 설정





- Status -

Sym	bols and nets			
	Unplaced symbols:		0/74	0%
	Unrouted nets:	117.	/117	100 %
Sha	pes			
	Isolated shapes:		0	
	Unassigned shapes:		0	
	Out of date shapes:		0/0	Update to Smooth
Dyr	namic fill:	 Smooth 	⊖ Ro	ough 🔿 Disabled
DRO	is -			
	DRC errors: Up To D	ate	34	Update DRC
	Waived DRC errors:		0	
	On-Line DRC			

Status Tab

Symbols and nets

- Unplaced symbols : 배치되지 않은 부품의 수
- Unrouted nets : 완료되지 않은 배선의 수

Shapes

- Isolated shapes : 결선되지 않은 Shape의 수 (Shape Island)
- Unassigned shapes : 연결될 Net이 지정되지 않은 Shape의 수
- Out of date shapes : 설정 변경이 필요한 Shape의 수 (Shape설정의 Smooth option 참고)
- Dynamic fill : Shape의 Fill Mode 설정 (Global Dynamic Parameter 참고)

DRCs

- DRC errors : DRC에러 현황 표시(빨강<노랑<녹색)
- Update DRC : DRC 갱신
- Waived DRC errors : Waived DRC Error의 개수 표시
- On-Line DRC : Online DRC 실행 설정

<u>Note</u>

■ Status box Color - Green : 모든 객체 정상, Yellow : 일부 객체 정상, Red : 정상 객체 없음



Allegro PCB Editor

 Display
 Setup
 Shape
 Logic
 P

 Color/Visibility...
 Color Priority...
 Ctrl+F6

 Status...
 Status...



- Display 설정 - / 환경 Group, Class, Subclass

Allegro PCB Editor

Jispiay	Secup	зпаре	Logic
<u>⊂</u> olor;	/Visibility	Ctrl+	-F5

Group	설 명
Stack-Up	동판 구성요소
Geometry	보드 및 부품 구성요소
Components	부품 정보 (부품번호, 유형)
Manufacturing	공정 및 도면 열람용 정보 구성요소
Areas (Keep In, Keep Out)	기판 내, 배치/배선의 허용/금지 영역
Analysis	열 해석 등고선 구성요소
Display	기타 화면 구성요소





- Display 설정 - / 환경 Group, Class, Subclass

GROUP	CLASS	SUBCLASS
Geometry	Board Geometry	Outline, Plating_Bar, Assembly Notes, Tooling_Corners, Dimension, Place_Grid_Top, Place_Grid_Bottom, Top_Room, Bottom_Room, Both_Rooms, Switch_Area_Top, Switch_Area_Bottom, Silkscreen_Top, Silkscreen_Bottom, Assembly_Detail, Soldermask_Top, Soldermask_Bottom, Off_Grid_Area, Wb_Guide_Line
	Package Geometry	Assembly_Top, Assembly_Bottom, Place_Bound_Top, Place_Bound_Bottom, Pin_Number, Pad_Stack_Name, Silkscreen_Top, Silkscreen_Bottom, Body_Center, Soldermask_Top, Soldermask_Bottom, Display_Top, Display_Bottom, Modules, Dfa_Bound_Top, Dfa_Bound_Bottom, Pastemask_Top, Pastemask_Bottom
Manufacturing		Photoplot_Outline, No_Gloss_All, No_Gloss_Top, No_Gloss_Bottom, No_Gloss_Internal, Ncdrill_Legend, Ncdrill_Figure, Probe_Top, Probe_Bottom, Autosilk_Top, Autosilk_Bottom, No_Probe_Top, No_Probe_Bottom
Drawing Format		Outline, Title_Block, Title_Data, Revision_Block, Revision_Data





- Display 설정 - / 환경 Group, Class, Subclass

Group	Class	Subclass
Stack-up /	Pin, Via, DRC,	Top, GND, VCC, Inner, Bottom
Conductor	Etch, Anti Etch, Boundary	
Stack-up /	Pin, Via, DRC,	Non-Conductor : Soldermask_Top,
Non-Conductor	Etch, Anti Etch, Boundary	Soldermask_Bottom, Pastemask_Top, Pastemask_Bottom, Filmmask_top, Filmmask_bottom, Through All, Package_Top,
Components	Comp Value, Dev Type, Ref Des, Tolerance, User Part	Assembly_Top, Assembly_Bottom, Silkscreen_Top, Silkscreen_Bottom, Display_Top, Display_Bottom
Areas	Route Ko, Via Ko, Package Ko, Package Ki, Route Ki Constraints Region	Top, Bottom, Through All
Display	Grids, Ratsnest(Top, Bottom, Thru), Temp Highlight, Perm Highlight, Background	존재하지 않음.

<u>Note</u>

• 15.X > 16.x 변경 사항 : Board Geometry / Constraint Area(Subclass) > Areas / Constraint

Region(Class)





Allegro PCB Editor







- Display 설정 - / Display 설정 창(192 Color)



Allegro PCB Editor



Shadow Mode

• 화면을 어둡게 하여, 선택한 객체를 강조한다.



- OpenGL
 - OpenGL Engine을 이용한 객체 투명도 설정









- Display 설정 - / Display 설정 창(24 Color)

Command : color



Allegro PCB Editor

Command :

- Display 설정 - / Display 설정 창(24 Color)

color Color and Visibility _ = × Shadow Mode Group: Display ~ Global visibility: v • 화면을 어둡게 하고 선택한 객체를 강조한다. Display Shadow mode ⊙On ○Off Grids: Ratsnest: Brightness: Dim Bright Temporary highlight: 70% Permanent highlight: Dim active layer Waived DRC: Background: Palette Modify ... ~ OK Cancel Reset Help Apply Display Shadow mode ○On ⊙Off Grids: Ratsnest: Brightness: Dim Bright Temporary highlight: 100% Permanent highlight: Waived DRC: Background: Palette Modify... Y OK Cancel Apply Reset Help





- Display 설정 - / 색상 우선 순위

Allegro PCB Editor









Allegro PCB Editor







Allegro PCB Editor

5	s Section								
	Туре			Material		Thickness (MIL)	Conductivity (mho/cm)	Dielectric Constant	L Tar
1	SURFACE			AIR				1.000000	
	CONDUCTOR	•		COPPER	•	1.2	595900	1.000000	
	DIELECTRIC	•		FR-4	•	8	0	4.500000	0.
	PLANE	۲		COPPER	•	1.2	595900	4.500000	0.
	DIELECTRIC	۲		FR-4	•	0	0	4.500000	0.
	PLANE	۲		COPPER	-	1.2	595900	4.500000	U.
]	DIELECTRIC	•		FR-4	•	8	0	4.500000	0.
	CONDUCTOR	•		COPPER	•	1.2	595900	1.000000	
	SURFACE			AIR				1.000000	

Conductor Crossover Dielectric Plane Bonding Wire Microwire Multiwire Optical Wave Guide Thermal Glue Coating	AIR CONFORMAL_CUAT EP.4 TETRAFUNCTIONAL POLYIMIDE BT_EPOXY CYANATE_ESTER_E CYANATE_ESTER_S PTFE POLYIMIDE_FILM CONFOR	
	COPPER PLATED COPPER FOIL	

Layer Type	
Conductor	전도체
Crossover	부도체
Dielectric	부도체
Plane	전도체 (Plane Layer)
Bonding Wire	Wire (Package)
Micro Wire	Wire (Cable, Etc.)
Multi Wire	Wire (Cable, Etc.)
Optical Wave Guide	광섬유(광 도파관)
Thermal Glue Coating	열전도성 점착제





Allegro PCB Editor

Section							
Туре	Materi	al	Thickness (MIL)	Conductivity (mho/cm)	Di Co	Material (재질설정)	
SURFACE	AIR			505000	1.	AIR	외부영역 (공기중)
	FR-4		1.2	595900	4.5	CONFORMAL_COAT	불연재 코팅층 (Mask)
PLANE - DIELECTRIC -	COPPER FR-4		1.2 8	595900 0	4.	FR-4	Layer간 절연층 (Glass/Epoxy)
PLANE	COPPER FR-4	} -	1.2 8	595900 0	4.	TETRAFUNCTIONAL	Layer간 절연층 (4Functonal Epoxy)
CONDUCTOR SURFACE	COPPER AIR	PER 1.2		595900		POLYMIDE	Layer간 절연층 (Polymide)
					7	BT_EPOXY	Layer간 절연층 (BT Epoxy)
Conductor	*	AIR V				CYANATE_ESTER_E	Layer간 절연층 (시안산염 수지)
Crossover Dielectric Plane		CONFO FR-4	RMAL_COAT			CYANATE_ESTER_S	Layer간 절연층 (시안산염 수지)
Plane Bonding Wire Microwire Multiwire		POLYIM BT_EPO CYANA	IDE XY TE_ESTER_I			PTFE	Layer간 절연층 (Poly Tetra Fluor Ethylene)
Thermal Glue Coating		PTFE	IDE FILM			POLYMIDE_FILM	Layer간 절연층 (Flexible PCB)
		COPPE PLATEI	R ⁻ D_COPPER_I	FOIL		COPPER	동박 (전도층)
PLATE						PLATED_COPPER_F OIL	동박 (전도층)





🎇 La	ayı	out Cross	Section	-								
Cros	iss S	ection									Etch Subclass Name	Layer 이름 입력
		Subclass Name	Туре		Materia	Loss Tangert	Negative Artwork	She	ble	W (M		
	+		SURFACE		AIR	0						
2	2	TOP	CONDUCTOR	-	COPPEF	0				\Box		
	3		DIELECTRIC	-	FB-4	0.035					¥	1
4	4	GND	PLANE	-	COPPEF	0.035	×]		DBC as Photo Film Type	
- E	5		DIELECTRIC	-	FR-4	0.035						
6	6	VCC	PLANE	-	COPPEF	0.035	×]		Positive	정산생산 이세
1	7		DIELECTRIC	-	FR-4	0.035						00기이 년세
8	8	BOTTOM	CONDUCTOR	-	COPPEF	0					Nogativo	바저새사 이세
	9		SURFACE		AIR	0					INEYALIVE	민민극경 단폐

~	AIR 🗸
Conductor	AIR
Crossover Dielectric Plane Bonding Wire Microwire Multiwire Optical Wave Guide Thermal Glue Coating	CONFORMAL_COAT FR-4 TETRAFUNCTIONAL POLYIMIDE BT_EPOXY CYANATE_ESTER_E CYANATE_ESTER_S PTFE POLYIMIDE_FILM COPPER PLATED COPPER FOIL





Allegro PCB Editor

cādence

CHANNEL PARTNER

- Partitioning option -

개요 : 중대형 PCB Artwork의 분할 작업을 위한 관리 옵션





Allegro PCB Editor

CHANNEL PARTNER

- Partitioning option - / 작업 영역 분할 및 할당

- 작업 영역 지정 후, Partition 숫자 식으로 태그 자동 할당.
- 영역 중복 가능하며, 중복여부는 Report로 확인 가능.
- Draw mode
 - Line mode : 금을 긋는 식으로 작업 영역 지정
 - Rectangle mode : 사각형으로 작업 영역 지정
 - Shape mode : 다각형으로 작업 영역 지정







Allegro PCB Editor



Guide Port setup process





Allegro PCB Editor

- Partitioning option - / Workflow manage	er	<u>Place</u> <u>Route</u> <u>Analyze</u> <u>Manufac</u> <u>Manually</u> Quickplace
Workflow Manager Select Name Location User Status Progress Unpl MASTER_DESIGN ./cds_routed.brd bab2 Master New 0 PARTITION_2 ./partition_2/partition_2/partition_3/partition_3.dpf Inactive New 0 PARTITION_3 ./partition_3/partition_3.dpf Inactive New 0 Mappend Note: Impl C Impl C Notes: Import Export Refresh Select All Report Preview ViewLog Mail Suppress Mail Delete Retract Apply Apply	Iaced % Routed 6.84 N/A N/A	Autoplace Interactive Swap Autoswap Autoswap Image: Create Partitions Update Symbols Create Partitions Replace SQ Temporary Workflow Manager Design Partition Guideports
버튼 설명 Import : 분할 작업된 파일(dpf) import Export : 분할 영역을 파일로 export Report : 파티션 내 상태 정보 출력 Refresh : Master design 내용 갱신	ViewLog (Workflow Mail : 메일 Delete : I Retract : 취소 (해!	: import/export/제거 관련 작업 내역 v_manager.log) 실 전송 Form 호출 파티션 삭제 변경사항 발생에 따른 파티션 적용 당 파티션은 import 될 수 없음)
	2	cadence





Inactive

Partition File Export

Inactive

ewLog Mail Suppress Mail

Allegro PCB Editor

🛅 partition_3

*

\$

Partition File 확인 및 전달

🚞 signoise, run

💥 AutoSave, brd

😹 cds_routed, brd

lanh saniyah 🔚

- Partitioning option - / 작업영역 할당(Project manager)

Exported

Exported

Recovery Mo

OK

Help





t Export

Retract

Delete

기타 위치

자세히



- Partitioning option - / 할당영역 작업(Sub designer)







Partition File Open



PCB Artwork (할당된 영역만 편집 가능)



작업 완료 및 작업파일 전달





Allegro PCB Editor

- Partitioning option - / 작업 취합(Project manager)



Partition File Import

- Partition File의 Progress는 Partition File(*.dpf)에서 Partition Designer가 작업의 완료 여부에 따라, 진행 상태를 표기하며, Project Manager는 진행 상태의 확인만 가능하다.
- Partition으로 할당된 파일(*.dpf)은 Gloss 및 Manufacture 관련 작업을 할 수 없다.
 따라서, PCB 부품 배치/배선 이후 모든 정리 작업은 Project Manager가 내용을 취합한 상태에서 진행한다.



결과 확인 및 작업 마무리 (Gloss, Create Gerber, Etc.)





Allegro PCB Editor

개요 및 사용 목적 : DRC 기반의 PCB 작업을 위한, Board 상 물리적 / 전기적 Rule의 설정, 관리 Tool





Allegro PCB Editor



i

Set<u>up</u> <u>S</u>hape <u>L</u>ogic <u>P</u>lace 🗱 Design Parameters... Enable On-Line DRC Co<u>n</u>straints

- Constraints 설정은 Design Rules Check를 위한 설정이며, Constraints Rules를 위반하는 부분에 DRC Marker가 표시된다.
- Show Element 기능으로 해당 DRC Marker의 오류내용을 확인하거나, Report 기능을 사용하여 오류내용을 확인할 수 있다.



- Menu description -

<u>M</u> odes
<u>E</u> lectrical
<u>P</u> hysical
<u>S</u> pacing
Physical Net Overrides
<u>S</u> pacing Net Overrides
D <u>F</u> A Constraint Spreadsheet,
<u>C</u> onstraint Manager

사용 목적

Board 내 구성요소(배선, 핀, 비아 등)의 물리적/전기적 Rule을 설정

메뉴 설명

- Modes : DRC mode 설정창 호출
- Electrical : Constraint Manager 호출 Electrical rules 활성화
- Physical : Constraint Manager 호출 Physical rules 활성화
- Spacing : Constraint Manager 호출 Spacing rules 활성화
- Physical Net Overrides : Net 속성 정의창 호출 Physical 속성
- Spacing Net Overrides : Net 속성 정의창 호출 Spacing 속성
- DFA Constraint Spreadsheet : DFA Constraint Dialog 호출
- Constraint Manager : Constraint Manager 호출

<u>Note</u>

DFA Constraint Manager : 부품 실장을 고려한, Package 간격 Rule 기준 부품 배치 관리 기능







Allegro PCB Editor



Allegro PCB Editor

- 진행 과정 -
- 각 항목 직접 설정 : 각각의 배선별 Rule 설정 _____
 (Physical / Spacing / Electrical rules)

			Deferenced				
	Туре	Objects	Spacing CSet	Line	Thru Pin		
			opaoing coor	mil	mil		
	Sys	🖃 System					
	Dsn	🖃 pwrdemoa	DEFAULT	0.00	0.00		
	Net	\$\$\$45	DEFAULT	10.00	0.00		
	Het	\$\$\$77	DEFAULT	10.00	0.00		
	Net	\$\$\$593	DEFAULT	10.00	0.00		
Г	Net	\$\$\$614	DEFAULT	10.00	0.00		
Т	Net	\$\$\$700	DEFAULT	10.00	0.00		
Т	Net	\$\$\$947	DEFAULT	10.00	0.00		
Т	Net	\$\$\$948	DEFAULT	10.00	0.00		
Т	Net	\$\$\$949	DEFAULT	10.00	0.00		
Т	Net	\$\$\$950	DEFAULT	10.00	0.00		
Т	Net	\$\$\$952	DEFAULT	10.00	0.00		
Т	Net	\$\$\$954	DEFAULT	10.00	0.00		
T	Net	\$\$\$961	DEFAULT	10.00	0.00		
T	Net	\$\$\$1089	DEFAULT	0.00	0.00		

• Constraint Set Mapping을 이용한 설정 : Constraint Rule Set 지정 후, 배선별 Rule Set 지정

		С	reate Spa	cing CS	et	?	×				
<u>A</u> nalyze <u>S</u> elect Deselect Eind Bookmark	F9		Spacing Copy Constr	CSet: aints From:	my_Rule_set Design: pwrdemoa OK Cancel	Help					
Expand	∆lt+					1					
Eubalia	1.000									Line I)
C <u>o</u> llapse	Alt-			Туре	Objects	Line	Thru Pin	SMD Pin	Test Pin	Line I d) BB Via
Collapse Create	Alt-	Snacing	CSet	Туре	Objects	Line mil	Thru Pin mil	SMD Pin mil	Test Pin mil	Line To Thru Via mil	BB Via
Collapse	Alt-	Spacing (CSet,	Type Sys	Objects System	Line mil	Thru Pin mil	SMD Pin mil	Test Pin mil	Thru Via mil	BB Via mil
Collapse Create Rename	Alt-	Spacing (CSet,	Type Sys Dsn	Objects System pwrdemoa	Line mil	Thru Pin mil	SMD Pin mil	Test Pin mil	Line I of Thru Via	BB Via mil
C <u>o</u> llapse C <u>r</u> eate R <u>e</u> name <u>D</u> elete	Alt-	<u>S</u> pacing (CSet,.,	Type Sys Dsn SCS	Objects System pwrdemoa DEFAULT	Line mil 0.00 0.00	Thru Pin mil 0.00 0.00	SMD Pin mil 0.00 0.00	Test Pin mil 0.00 0.00	Line Io Thru Via mil 0.00 0.00	BB Via mil 0.00
Collapse Create Rename Delete Constraint Set References,	Alt-	<u>S</u> pacing (CSet	Type Sys Dsn SCS SCS	Objects System pwrdemoa DEFAULT MY_RULE_SET	Line mil 0.00 0.00 20.00	Thru Pin mil 0.00 0.00 10.00	SMD Pin mil 0.00 0.00 5.00	Test Pin mil 0.00 0.00 5.00	Line Io Thru Via mil 0.00 0.00 5.00	BB Via mil 0.00 0.00 5.00
Collapse Create Rename Delete Constraint Set References,	Alt-	<u>S</u> pacing (CSet	Type Sys Dsn SCS SCS Lyr	Objects System pwrdemoa DEFAULT MY_RULE_SET TOP	Line mil 0.00 0.00 20.00 20.00	Thru Pin mil 0.00 0.00 10.00	SMD Pin mil 0.00 0.00 5.00 5.00	Test Pin mil 0.00 0.00 5.00 5.00	Cine Io Thru Via mil 0.00 0.00 5.00 5.00	BB Via mil 0.00 0.00 5.00 5.00
Collapse Create Rename Delete Constraint Set References,	Alt-	<u>S</u> pacing (CSet	Type Sys Dsn SCS SCS Lyr Lyr	Objects □ System □ pwrdemoa ① DEFAULT □ MY_RULE_SET TOP INTERNAL1	Line mil 0.00 0.00 20.00 20.00 20.00	Thru Pin mil 0.00 0.00 10.00 10.00	SMD Pin mil 0.00 0.00 5.00 5.00 5.00	Test Pin mil 0.00 0.00 5.00 5.00 5.00	Cine Io Thru Via Mil 0.00 0.00 5.00 5.00 5.00	BB Via mil 0.00 0.00 5.00 5.00
Collapse Create Rename Delete Constraint Set References,	Alt-	<u>S</u> pacing (CSet	Type Sys Dsn SCS SCS Lyr Lyr Lyr	Objects ⇒ System ⇒ pwrdemoa → DEFAULT → MY_RULE_SET TOP INTERNAL1 INTERNAL2	Line mil 0.00 20.00 20.00 20.00 20.00	Thru Pin mil 0.00 10.00 10.00 10.00 10.00	SMD Pin mil 0.00 0.00 5.00 5.00 5.00 5.00	Test Pin mil 0.00 0.00 5.00 5.00 5.00 5.00	Line Io Thru Via mil 0.00 5.00 5.00 5.00 5.00	BB Via mil 0.00 0.00 5.00 5.00 5.00 5.00





Allegro PCB Editor

- Rules Description -
- Electrical 전기적 특성 rule 설정
- Signal Integrity
 - Reflection Overshoot 임계값 설정
 - Edge Distortions 파형 왜곡 rule 설정
 - Estimated xtalk
 - Simulated xtalk
 - SSN 스위칭 노이즈 rule 설정
- Timing
 - Switch/Settle Delays 스위칭 안정 시간 rule 설정
 - Setup/Hold 신호의 Setup/Hold time rule 설정
- Routing
 - Wiring Ratsnest 구성 방법 설정 (Star, Daisy chain, etc..)
 - Impedance 배선 임피던스 rule 설정
 - Min/Max Propergation Delay Delay rule 설정 (단일 배선)
 - Total Etch Length 배선 길이 설정
 - Differential Pair
 - Relative Propergation Delay Delay rule 설정 (여러 배선의 Delay 조정/일치)

- Physical 배선폭 설정
- 구분 Rule 적용 범위
 - Layer 레이어 단위 설정
 - Region 레이어+영역 단위 설정
- Spacing 배선 간격 설정
- 구분 Rule 적용 범위
 - Layer 레이어 단위 설정
 - Region 레이어+영역 단위 설정

7	Electrical
•	Physical
÷	Spacing
⊳∠	Properties
M	DRC
	DRC Electrical Physical Spacing Design External





- Constraint Modes -

Electrical - 전기적 Rule의 DRC 적용 여부 결정

- Stub length/Net Schedule
- Max via count 최대 비아 수
- Max exposed length
- Propagation delay 신호전달 지연
- Relative propagation delay 복수 배선의 신호 Timing 일치
- Max parellel
- Impedance 배선 임피던스
- Total etch length 배선 총 길이
- All Differential pair checks Diff pair 배선 Rule
- Max xtalk
- Max peak xtalk
- Layer sets

Allegro PCB Editor

🛿 Constraints I	Modes and	Opt	ions	; _ _ X
Spacing Modes De	esign Constraints	s Bor	nd Wir	e Constraints
Electrical Modes	Electrical Opti	ons	Phy	sical Modes
		-		
		<u>Un</u>	<u>11U</u>	<u>Batch</u>
All:				
Stub length/Net sch	edule:	\bigcirc	۲	0
Max via count:		\bigcirc	۲	0
Max exposed length:	:	\bigcirc	۲	0
Propagation delay:		۲	\bigcirc	0
Relative propagation	n delay:	\bigcirc	۲	0
Max parallel:		\bigcirc	۲	0
Impedance:		\bigcirc	۲	0
Total etch length:		\bigcirc	۲	0
All Differential pair ch	necks:	\bigcirc	۲	0
Max stalk:		\bigcirc	۲	0
Max peak xtalk:		\bigcirc	۲	0
LayerSets:		0	۲	0



Allegro PCB Editor

- Constraint Modes -

Physical - 배선폭 등, 물리적 Rule의 DRC 적용 여부 결정

- Min line width 최소 배선폭
- Min neck width Neck mode 배선시 배선폭
- Max neck length Neck mode 배선시 최대 배선 길이
- Max line width 최대 배선폭
- Allow on etch subclass 레이어 배선 여부
- T junctions 접합점 온도(열해석)
- Min BB via stagger BB Via 엇갈림 배치 최소값
- Max BB via stagger BB Via 엇갈림 배치 최대값
- Pad/Pad direct connect 패드간 직접 연결

-	
🎾 Constraints Modes and	d Options 📘 🗖 🔀
Spacing Modes Design Constraint	ts Bond Wire Constraints
Electrical Modes Electrical Opt	tions Physical Modes
	<u>On Off</u>
All:	
Min line width:	• •
Min neck width:	(follows min line width)
Max neck length:	(follows min line width)
Max line width:	\odot \bigcirc
Allow on etch subclass:	\odot \bigcirc
'T' junctions:	\odot \bigcirc
Min BBvia stagger:	\odot \bigcirc
Max BBvia stagger:	\odot \odot
Pad/Pad direct connect:	\odot


Allegro PCB Editor

- Constraint Modes -

Spacing - 배선, Pad 등 동박 간격 rule의 DRC 적용 여부 결정

- Pin
- Line
- Via
- Shape
- Thru xxx Thru-hole type pad
- Smd xxx Surface mount type pad
- Bond finger Bonding pad
- B/B Via Blind / Buried via
- Min BB Via Gap BB 비아간 최소 간격

	🙀 Constraints Modes and Options 🔳 🔲 🗙			
결정	Electrical Modes Elect	trical Options Physical Modes		
	Spacing Modes Design Constraints Bond Wire Constraints			
	Global	<u>On</u> Off		
	Die Te Die			
F lobal				
Thru Pin	Line To Pin:	• •		
Smd Pin Test Pin	Line To Line:	• •		
Thru Via	Via To Pin:	\odot \bigcirc		
B/BVia TestVia	Via To Via:	\odot \bigcirc		
Bond Finger	Via To Line:	\odot \bigcirc		
Line Shape	Shape To Pin:	\odot \bigcirc		
	Shape To Via:	\odot \bigcirc		
	Shape To Line:	\odot \bigcirc		
	Shape To Shape:	• •		
	Min BB Via Gap:	⊙ ○		





Allegro PCB Editor

- DFA(Design For Assembly) - : Package 단위, 부품 이격 설정

완성된 PCB 기판에 부품을 실장할 때, 수동삽입 또는 공정형태의 자동삽입으로 진행할 수 있다. 부품 실장시, Package type에 따라 부품간 이격을 최소 얼마 이상의 값으로 부여해야 하는 경우가 있는데 이 때, DFA Constraint를 통해 부품 실장을 고려한 PCB Design을 진행할 수 있다.

Allegro PCB Editor의 Constraint Manager가 패드와 동박 패턴간 이격 및 Package symbol의 Boundary에 대한 Rule을 관리하는 반면에, DFA는 부품 실장을 위한 Package symbol 이격을 관리하는 차이가 있다.





Package symbol boundary에 의한 DRC와는 다르다.











<u>Note</u>

- dfa_pause_level : 부품 이동시 DFA Rule을 위반할 경우 부품 이동을 순간적으로 멈춤 0~3 까지 선택 가능하며, 0은 pause 없음, 3은 가장 강한 pause, 기본값 1
- display_nodfa_drc_marks : DFA 원형 Marker에 같이 표시되는 DRC Marker 제거







<u>Note</u>

- Constraint Setup : Check 항목 지정 및 설정
- Explore Violations : 오류 항목 탐색
- Report : Check 결과 내용 확인





Allegro PCB Editor

- Xnet 개요 -

- Allegro DB 내부에서는 수동소자나 Connector가 추가된 배선의 경우, 수동소자 양단을 기준으로 각 배선을 독립적인 객체로 관리한다.
- 필요할 경우, Constraint Manager에서 단일 배선으로 묶어 관리할 수 있으며, 이를 Xnet이라는 이름으로 정의한다.





Allegro PCB Editor

- Xnet 정의 -



PCB SI 환경설정 호출





Resistor Model 정의

Xnet 적용 여부 확인 (Constraint Manager)



- Xnet 정의 / Resistor Model 정의
- Xnet은 별도의 설정이 존재 하지 않으며, Passive Part modeling에 의해 자동으로 설정 됨
- 2핀 Resistor는 Auto Setup을 이용한 자동 설정 권장.
- R 판별 여부는 Setup Advisor의 Device Setup 단계에서 Refdes 문자로 결정
- Resistor Array 설정시, Auto Setup으로 Model 정의되지 않을 경우, Edit Model 클릭하여 Pin Connection 설정을 직접 추가

P Signal Model Assignment Devices BondWires RefDesPins	#Taaaaai00744.tmp - WordPad
DevType Value/Refdes Signal Hodel Source Library	("DEFAULT_RESISTOR_100000HM_2_1" ("Espice"
ISUSUSS_LVC FUNCT ISUSS	".subckt DEFAULT_RESISTOR_100000HM_2_1 1 : R1 1 2 10000 .ends DEFAULT_RESISTOR_100000HM_2_1 ") ("PinConnections" ("1" "2") ("2" "1"))
Clear All Model Assignments OK Cancel Preferences Help	For Help, press F1



부품 배치







부품 배치

- 부품배치 - / Quick Place



























부품 배치

Allegro PCB Editor



Room Property Setting (Capture / DE CIS 에서 설정할 경우)

- 부품 선택 Edit Properties
- 각 부품의 Room Property Value (Room Name) 입력
- Property Value 입력 Room Name 입력





부품 배치 - 부품배치 - / Quick Place - by room 🙀 Room Outline Setup Shape Logic Place Route Manufacture Tools Help Command Operations 1 📲 🎁 i Oreate 🔵 Edit O Move O Delete Room Name X Name: CAPACITOR ¥

-ROOM_TYPE Properties

Design level: <None>

Room:

Hard

Cancel

¥

~

Help

Create Room Outline

Electrical Constraint Spreadsheet...

Create

Drawing Size...

Text Sizes...

Cross-section...

Materials...

Constraints...

Define Lists...

Areas

Outlines

Property Definitions...

Vias

Grids... Subclasses...

Drawing Options...

Draw Rectangle - 마우스 클릭으로 영역 그리기(사각형)

Side of Board

🔘 Тор

O Bottom

-Create/Edit Options

💿 Draw Rectangle

O Place Rectangle

Width: Height

O Draw Polygon

0K

OB Both

- Place Rectangle 크기를 지정하여 배치(사각형)
- Draw Polygon 마우스 클릭으로 영역 그리기(자유도형)
- Edit 이미 그려진 영역 수정

•

Room Outline...

Board Outline...

- Move 이미 그려진 영역 이동
- Delete 이미 그려진 영역 삭제













부품 배치





- Manhattan Length Connection 간 최단거리 (또는 패턴이 아닌 Ratsnest 길이)
 - Spread Between Voids Pad 내 Void 침범 배선 교정





Allegro PCB Editor



- 배선 - / Rats, UnRats





















- 배선 - / Add Connect - Control



 Route
 Manufacture
 Tools
 Help

 Connect
 F6

 Slide
 Shift+F6







- 배선 - / Add Connect - Control

Allegro PCB Editor

<u>C</u>onnect Slide

٩.,

Route Manufacture Tools Help

F6

Shift+F6











- 배선 - / Add Connect - Control



- Smooth 형태가 바뀌는 배선이 Smoothing 되는 정도를 지정
- Snap to connect point 배선 끝이 Pad에 쉽게 붙도록 설정
- Replace etch 중복되는 패턴을 제거





- 배선 - / Add Connect - Via



Route	Manufacture	Tools	Help
Con	<u>C</u> onnect		
<u>S</u> lide	<u>S</u> lide		+F6















CHANNEL PARTNER

Allegro PCB Editor

- 배선 - / Edit Vertex



















Allegro PCB Editor

- Shape - / Add, Edit







Allegro PCB Editor

- Shape - / Print Image









Allegro PCB Editor

- Shape - / Print Image



Negative Shape



Positive Shape



VS











Allegro PCB Editor

- Shape - / Add, Edit





Allegro PCB Editor

- Shape - / Control







Allegro PCB Editor

- Shape - / Parameters

- Shape Fill Style : Hatch/Solid 등의 Fill Style 설정
- Void Control : 최적화된 출력형상을 위한 Gerber 유형별 Shape Void 출력 선택
- Clearances : Line Constraint Rule 기반의 Shape / Pattern간 이격 거리 설정
- Thermal relief : Thermal Relief 형성 방법(방향 및 연결 Line 수)의 세부 설정

Clobal Dynamic Shape Parameters Shape III Update to Smooth Out of date shapes: 0/radie to Smooth Ok of date shape: 0/radie Natch style: Hoi. Vert Hatch set Line width Soo 0000 Second 000 0rigin X: 0.00 Border width: 5.00	Global Dynamic Shape Parameters Shape III Void controls Clearances Themal relief connects Artwork format: Mininum aperture for artwork IIII Suppress shapes less than: Create pin voids: Individually Create pin voids to hatch grid	✔ Global Dynamic Shape Parameters ▲	Clobal Dynamic Shape Parameters Shape fill Void controls Clearances Thru pixs: Othogonal Best contact Maximum connects Image: Contact Image: Contact </th
DK Cancel Apply Reset Hep Shape Fill Solid	Void Control	Clearances	DK Carcel Apply Reset Hep Thermal Relief
Hatch	Line Void		

- Shape - / Parameters



Allegro PCB Editor



- Update to Smooth : 현재 Dynamic fill mode가 Rough 또는 Disable로 설정된 모든 Dynamic Shape의 fill 모드를 Smooth로 변경(Void 및 Thermal 연결 내역도 같이 갱신)
- Out of date shapes : 전체 Shape 중, Dynamic fill mode가 Rough 또는 Disable로 설정되어 제대로 묘사되지 않는 Shape의 수
- Dynamic fill Shape의 채색 방법 선택
 - Smooth 고품질(Artwork film quality output)의 Shape Fill mode
 - Rough 세부적 연결 및 묘사를 간략화 한 mode (Shape 연결, Void 내역 갱신 최소화)
 - Disabled Shape의 형태를 대략적으로 표시, 작업규모가 클 경우 사용 (Shape 연결, Void 내역 갱신 하지 않음)

cādence

CHANNEL PARTNER


- Shape - / Parameters

Global Shape Parameters		
Shape fill Void controls Clearance	s Thermal relief connects	■ Artwork format - Shape 죄 형식 선택
		▪ Minimum aperture for artw 위한 최소 aperture 크기
Artwork format:	Gerber RS274X 💌	▪ Minimum aperture for gap 위한 최소 aperture 크기(오
Minimum aperture for gap width:	4.0	 Suppress shapes less that
Suppress shapes less than:	25.0 mils	작은 크기의 Shape 제거
Create pin voids:		Snap off
Acute angle trim control:	Round	
Snap voids to hatch grid		Spap on

Allegro PCB Editor Shape Logic Place Route M



- İ화를 위한 출력
- rk fill shape fill을
- vidth shape fill을 같은 말)
- .. 설정된 값보다















Allegro PCB Editor

CHANNEL PARTNER

- Shape - / Merge & Void

■ Shape Merge : PCB Editor의 Draw기능으로 제작하기 어려운 형태의 Shape를 부분적으로 제작하여 통합



• Shape Void : 5가지 Void 유형 선택 – Element, Polygon, Rectangle, Circle, Boundary





Allegro PCB Editor

- SOV (Segment Over Void) -

신호 왜곡 방지를 위한, Pin Void / Signal trace간 위치 겹침 여부의 표시





- Spread Between Voids -
- Pad간 Trace 간격 교정



Allegro PCB Editor

<u>R</u> o	ute	Analy <u>z</u> e	<u>M</u> anufacture
<u>م</u>	<u>C</u> o	nnect	F3
	Mit	ter By Pick	
	Un	Miter By Pi	ick
	Sp	read Betwe	een <u>V</u> oids
	<u>G</u> lo	oss	•





Copper 보전 또는 Signal trace의 전류 전달 안정성 확보를 위해, Segment Over Void 기능을 통해 확인한 Void 영역 침범 패턴의 간격을 교정

- 메뉴 선택 후, 순서대로 Pad를 클릭하여 교정작업 진행
- Pad의 Void Clearance값을 바탕으로 이격하며, 이격 간격을 넓히려면 제어판의 Clearance 항목에 값을 지정 후 작업.







Allegro PCB Editor



		<u>R</u> o	ute	Analy <u>z</u> e	<u>M</u> anufacture
ab			Ro	uter C <u>h</u> eck	s
			Opt	timize Rat	<u>T</u> s
		Ð	Ro	ute <u>A</u> utoma	atic
			4		Done
[<u>Route</u> Analy <u>z</u> e <u>M</u> anufacture			♥	Oops
	Eanout By Pick	-			Cancel
	Route Net(s) By <u>P</u> ick				Temp Group
	Elongation By Pick	_			Complete
1 Strategy · 진	· 어 방번 격정	-			Setup
					Results
2. Limit via cre	auon : 미야 생성 금지				
3. Limit wrapar	rounds : 핀 끝을 둘러	싸		형태의	배선 금지
4. Protect exist	ting routes : 기존 배선	형	상	의 변형	금지
5. Turbo Stage 및 효율 향싱	ər : 핀/비아 주변의 배신 }	선을	^루 수	용하여	비배선 성능
6. Enable diag	onal routing : 대각(45.	도)	배	선 허용	
7.해당 Layer b	배선 허용				
8. Layer(Subcl	ass) 명칭				
9. 배선 방향 –	Horizontal 가로 위주 /	/ Ve	erti	cal 세료	<u> </u> 위주
10.Protect : 기	존 배선 보호				



- Route Automatic - / Routing Passes Tab



- 1. Preroute and route : 작업 과정 정의
 - 1. Check : 해당 작업 진행
 - 2. Pass type : 작업 내용 정의
 - 3. Passes : 작업 횟수 설정
 - 4. Start : 버릴 작업 횟수 설정

2. Post Route : 배선 후, 마무리 작업

- 1. Critic : 배선 굴곡/계단 제거 (Clean – 재배선 VS Critic – 굴곡만 교정)
- 2. Filter routing passes : 중복/겹침 배선 제거
- 3. Center wires : Pin 사이를 지나는 배선 위치를 각 Pin 가운데로 교정
- 4. Spread wires : 배선-배선, 배선-Pad 간 간격 추가
- 5. Miter Corners : 직각배선 모따기
- 6. Delete conflicts : 중복 및 Highspeed rule을 위반한 배선 제거





Allegro PCB Editor

- Route Automatic - / Routing Passes Tab



• Filter : 중복, 겹침 배선 제거 (Filter routing passes와 동일)



Allegro PCB Editor



🙀 Automatic Router	
Router Setup Routing Pas	ses Smart Router Selections
Preroute and route	ine Passes Start
→ Noute	• 23 Params
Spread Wires	tic Router Parameters
Fanout Bus Routi	ng Seed Vias Testpoint
1 Direction: ~ In OOu	it 💿 Either Cancel
Vialocat 2 Olnside	
	Enable Badial Wires 4 Help
3	
Current Via Grid	Earout Blind/Buried Vias To:
O I wire Between vias	
O 2 Wire Between Vias	Bottom
Consider Crief	
	O Dpposite Side

Statt		
	~	
1		
		Params

<u>Fanout 설정</u>

- Direction : Fanout시 배치될 Via 방향(Component pin 기준)
- Via Location : 배치될 Via 위치(Component outline 기준)
- Maximum Fanout Length : Fanout시 최대 배선 거리
- Enable Radial Wires : 방사형 배선 진행(APD 전용)
- Fanout Grid : Fanout 배선 그리드 설정
- Blind/Buried Via Depth : BB Via사용시 Fanout의 진행 방향(Layer) 결정





Allegro PCB Editor

- Route Automatic - / Routing Passes Tab / Params



배선 및 정리

Pin Types ○ All ④ Specified: ☑ Power ☑ Signal	Nets Si Nets U	ngle Pin Nets nused Pins:		
Sharing Share With Share Pins Max S Share SME Max S Share Vias Max S	in Distance: hare Count: D's on Way to Via hare Count: hare Count:	3 3 4 5		

<u>Fanout 설정</u>

- 1. Pin Types : Fanout을 진행할 Pin 유형 설정
- 2. Share Within Distance : Share기능 이용한 공유시 최대 거리 한도 설정(아래 항목들의 Global 설정)
- 3. Share Pins : Same net에 해당하는 Thru-Hole Pin을 사용하여 Fanout
 - Max Share Count : 공유할 SMD Pin 수 한도 설정
- 4. Share SMD's on Way to Via : Same net에 해당하는 SMD pin끼리 Via까지의 패턴 경로 공유
 - Max Share Count : 공유할 SMD Pin 수 한도 설정
- 5. Share Vias : Same net에 해당하는 SMD pin끼리 Via 공유
 - Max Share Count : 공유할 SMD Pin 수 한도 설정







Allegro PCB Editor

- Route Automatic - / Routing Passes Tab / Params

Bus Routing

Spread V	Vires	Mite	r Corners	Elongate	01
Fanout	Bus Ro	outing	Seed Vias	Testpoint	UK
					Cano

1. Diagonal Routing : 대각 배선 설정

2. Othogonal Routing : 직각 배선 설정

Seed Vias

		a Comers	Liongale	
Fanout	Bus Routing	Seed Vias	Testpoint	UK
Break-up Connec	ctions Longer Tha	n: 100	0.00	Cance

- 1. Break-up Connection Longer Than : 배선 길이 최대값 설정(설정 길이값 이후로는 Via를 통해 우회하여 배선됨)
- 2. Place Vias Under SMD Component : SMD 부품상에 Via 배치 허용







- Route Automatic - / Routing Passes Tab / Params

Spread Wir	es	Miter Corners	Elor	ngate	
Fanout	Bus Rou	ting 🔰 Seed Via	as Te	estpoint	UK
Testesist Cide					Cano
	OBoth	om 💿 Both	(1		_
VILVE VILVE	0.000	0.000			Hel
Contor To C	ion Contor Coppi				
Center To C	enter space	ny.			
	omponent s	pacing:	(2	
	Outline Clea	irance:			
Testpoint X	Grid:				
Testpoint Y	Grid:				
📃 Maximum Le	ength:				
Pin Use					
Allow Pin U	se	Select	ed Compor		
By Comp	onent			3 /	
Filter	ŝ.				
101					
C10					
C11 C12		<u><=</u>			
C13					
Via Padstacks				_	
Specify Tes	tooint Vias	Select	ed Padstac		
Ellen D				⊿ 🕂	
Filler.	9				
VIA					

<u>Testpoint 설정</u>

- 1. Testpoint Side : TP를 배치할 Layer 지정
- 2. Testpoint Position : TP 배치관련 세부 설정
 - Center To Center Spacing : 최소 TP간 간격(TP 중심점 기준)
 - Center To Component Spacing : 부품 Boundary로부터 TP간 최소 이격거리(TP 중심점 기준)
 - Component Outline Clearance : 부품 Boundary로부터 TP간 최소 이격거리(TP 외곽선 기준)
 - Testpoint X Grid : TP배치시 X축 그리드 설정
 - Testpoint Y Grid : TP배치시 Y축 그리드 설정
 - Maximum Length : Pad, TP간 최대 거리

3. Pin Use

- Allow Pin Use : 부품핀의 TP 사용을 허용
- By Component : 지정된 부품의 Pin만 TP 사용을 허용

4. Via Padstacks

• Specify Testpoint Vias : 지정된 Via만 TP 사용을 허용





Allegro PCB Editor

Params.

Patams.

Spread wires

Miter corners



- Route Automatic - / Routing Passes Tab / Params

Miter Corners

Spread Wires

Fanout	Bus Routin	g Seed Via:	Tesl	tpoint	
Spread W	/ires	Miter Corners	Elong	ate	UK
	-		(1	Cance
Miter Passes:	4				
Sector of some sector					11-1-
Options					Help
Options Miter Pin a	and Via Exits		$\overline{\mathbf{a}}$		Help
Options Miter Pin a Slant Wro	and Via Exits	its	2		Help
Options Miter Pin a Slant Wro Miter T Ju	and Via Exits ng-way Segmer inctions	its	2		Help

- 1. Spread시 추가 이격거리 값 설정(Global 설정)
- 2. 유형별 추가 이격거리 값 설정
- Starting > Ending : 시작값에서 끝값까지 Spread 작업을 순차적으로 진행하며, Ending은 값이 없을 경우 Starting의 값을 따름

- 1. Miter Passes : 작업 횟수 설정
- 2. Options
 - 1. Miter Pin and Via Exit : 배선 중 Pin, Via Exit 부분 Miter
 - 2. Slant Wrong-way Segments : 배선방향에 배치되는 배선 Segment를 조정
 - 3. Miter T Junctions : T 분기 배선을 Miter
 - 4. Miter at Bends : 90도 배선을 45도 배선으로 변환





Allegro PCB Editor

Statt

- Route Automatic - / Routing	Passes Tab / Params
	Elongate (Delay Tune)
SPECCTRA Automatic Router Parameters	1. Meander : 둘러 싸는 형태로 배선 늘임 ────→
Fanout Bus Routing Seed Vias Testpoint Spread Wires Miter Corners Elongate OK	2. Trombone : Trombone 형태로 배선 늘임 I르르,
Elongation Patterns Cancel	• Minimum Gap : 배선 간격
	• Maximum Run Length : Segment 단위 길이
Minimum Gap:	3. Accordion : 아코디언 형태로 배선 늘임 ──── ┚╻╻╻
	● Minimum Gap : 배선 간격
Minimum Gap:	• Minimum Amplitude : Segment 단위 최소 길이
Maximum Amplitude:	• Maximum Amplitude : Segment 단위 최대 길이
Sawtooth V	4. Sawtooth : 톱니 형태로 배선 늘임 ───── - ▲ ▲ ▲
Minimum Amplitude:	• Minimum Gap : 배선 간격
Options	• Minimum Amplitude : Segment 단위 최소 길이
✓ Pattern Stacking	• Maximum Amplitude : Segment 단위 최대 길이
	5. Option
	· • Pattern Stacking : 기존 배선에 Elongate 허용



- Route Automatic - / Smart Router, Selection Tab

Close

Route

Undo

Results

Help

🐉 Automatic Router		
Router Setup Routing Passes Smart Router Selections	<u> </u>	Close
Grid Minimum via grid: Minimum wire grid:	1	Route
Fanout		Undo
Fanout if appropriate Via sharing Pin sharing	2	Results
Generate Testpoints Off Top Bottom Both Use grid:	3	()
Miter after route	4	L Help

O All but selected

선택된 배선

목록창

Deselect all

elected Object

Smart Router Tab

1. Grid : Via 및 배선 그리드 설정

2. Fanout : 자동배선 중, 필요할 경우 Fanout 실행

• 필요할 경우, 기존의 Pin 및 Via를 Fanout via로 공유

3. Generate Testpoints : 필요할 경우, Testpoint 생성기능 실행

4. 자동배선 완료 후, Miter corner 실행

Selections Tab

- Routing Passes 및 Smart Router의 배선 범위 지정
 - Entire Design : 모든 배선
 - All selected : 선택한 모든 배선
 - All but selected : 선택한 배선을 제외한 모든 배선



🙀 Automatic Router

Objects to route: O Entire design

Object type: Filter:

> CON1 IGNITION CON10 LIGHT AUTO SW CON11 ALS SEN. CONTROL

CON4 HL LOW CON5 LS MOTOR CON6 HS MOTOR CON7 SOLAB OUT

CON12 WASHER SW CON13 MOTOR RETURN SV

CON14 RAIN AUTO SW CON2 GROUND CON3 TAIL LAMP

Select all in list 배선 목록창

Router Setup Routing Passes Smart Router Selections

Nets

All selected

>

Allegro PCB Editor

- Constraint Rule에 의한 자동 배선 -
- 개요 : 수동배선을 대체하기 위한, 물리적/전기적 Rule(Constraints) 부여에 의한 자동 배선 진행 과정 소개



배선 완료 및 확인

cādence

CHANNEL PARTNER





진행 대상 Net : Ra10

설정 조건

- 대상 파일 : cdsrouted.brd
- 대상 Net : Ra10
- Manhattan length : 1460 MIL
- 기준 Rule : 길이(Etch Length)
- 작업 방법 : Auto Router 사용
- 배선 요구 길이 : 2000MIL ~ 2010MIL



Net Ra10의 속성



Allegro PCB Editor

Setup Shape Logic Place







Allegro PCB Editor

- Target net의 Constraint Rule 정의 -



Constraint Manager 호출한 후, Net(Ra10) 선택



Net Properties를 선택하여 Constraint Manager 호출

	0 🖻 🥝 🐫 🏧	I 🔽 🏓 🖓	🔎 🚡 🍕 🖷	* *
Electrical	Туре	Objects	Voltage	Weigh
Physical Proving	Hat	IMEI	v	
C Spacing	net	WEL		
⊡ද Properties	s net	UNIVAMED 4 OCC 124 P		
E S Net	Net	POMOEI		
Electrical Prope	rties Net	RESETI		
General Proper	ties Net	RESET		
😑 🔄 Component	Net	REF		
😟 🌐 Component Pro	perties Net	RDYL		
😟 🏢 Pin Properties	Net	RASL		
	Net	RA15		
	Net	RA14		
	Net	RA13		
	Net	RA12		
	llet	RA11		
	Net	RA10		
	Net	RA9		
	Net	RA8		
	Net	RA7		
	Net	RA6		
	Net	RA5		
	Net	RA4		
		DA2		

Constraint Manager에서 Rule 설정





Allegro PCB Editor







Allegro PCB Editor

- Constraint Rule에 의한 자동 배선 실행 -







Net "Ra10"

Allegro PCB Editor

Constraint Manager를 이용한 확인

- 배선 완료 여부 및 배선 상태 확인 -

PCB Editor의 Show Element 기능을 이용한 확인





Allegro PCB Editor

- Via Array Generator -

■ 기능 개요 : Signal Copper 주변의 Noise 차폐를 위한 GND Via 배치 편의 기능







Allegro PCB Editor

- Via Array Generator - / Normal Generator



- 항목 설명 (단위: 사용자 설정에 따름 > mil 또는 mm)
 - 1. Via Pad간 간격
 - 2. Via Array 배치 영역 지정 시, 영역으로부터의 이격 거리
 - 3. Via 연결 배선(주로 GND) 설정
 - 4. Via Array로 적용할 Via Pad 지정





🙀 Boundary Via Array

ΜМ

MM.

Place

Select an etch shape to continue...

1. Via Pad간 간격

2

¥

Padstacks-

VIA

Unplace

- 항목 설명 - (단위: 사용자 설정에 따름 > mil 또는 mm)

-Via Array Parameters Shape Net:

Via-Boundary Offset:

Maximum Via-Via Gap:

1.2700

1.0000

Nets

GND

0K

Calculator

- Via Array Generator - / Boundary Via Array

X

¥

Help

Via Array 배치 영역 지정 시, 영역으로부터의 이격 거리

Allegro PCB Editor









2.



Allegro PCB Editor

- Via Array Generator - / Circular Via Array







Allegro PCB Editor







Allegro PCB Editor

- Via Array Generator - / Offset Via Array







Allegro PCB Editor

- DB Doctor -

Tool > Database Check

🐉 DBDoctor (Database health r	n 🔳 🗖 🔀
✓ Update all DRC (including Batch) ✓ Check shape outlines	Check Close Viewlog Help

DRC Update(Batch DRC) 및 Brd file database 내부 오류 점검





- Create Artwork (Gerber) -

보드설계 구성요소 생성되는 파일 Top.art Allegro Design File (.brd) VCC.art GND.art Bottom.art SilkTop Smask_top Gerber files Тор VCC **GND To photoplotter** Bottom Smask bot Film Control records SilkBot Mylar Film Parameter file **Aperture file** Log file art_aper.txt art_param.txt photoplot.log (vector only)





Allegro PCB Editor

🙀 Artwork Control Form		- 🗆 ×
Film Control General Parameters		
Device type Gerber 6x00 Gerber 4x00 Gerber RS274X Barco DPF MDA	Film size limits Max X: 24.000 Max Y: 16.000	Coordinate type Absolute Incremental
Error action	Format Integer places: 5 Decimal places: 3	Output options Optimize data Use 'G' codes
Suppress Leading zeroes Trailing zeroes Equal coordinates	Output un O Inches Inches	its
Max apertures per wheel:	999 Scale factor	for output: 1.0000
OK Cancel	Apertures Viewlog	Help.

- Create Artwork (Gerber) - / General Parameters

<u>M</u> anufacture	<u>T</u> ools	<u>H</u> elp	
<u>D</u> imension/Draft		•	
<u>A</u> rtwork			
Stream Out			

- Device Type 출력 Format 지정
 - Gerber 6x00 (RS-274D)
 - Gerber 4x00 (RS-274X, divided aperture file = art_aper.txt)
 - Gerber RS274X
 - Barco DPF
 - MDA
- Film size limits 인쇄영역 지정
- Coordinate type 좌표형식 지정
- Error action 오류발생시 작업 방법 지정
- Format 인쇄영역의 좌표계 자릿수 지정
- Output option 출력옵션 설정
- Suppress 좌표계 자릿수 설정
- Output units 출력단위 지정 (inch, mm)
- Scale factor for output 인쇄물의 확대/축소 비율 지정





Allegro PCB Editor

Manufacture Tools Help

- Create Artwork	Dimension/Draft		
🙀 Artwork Control Form	- ¤ ×		<u>A</u> rtwork Stream Out
Film Control General Parameters	Film options Film name: BOTTOM Rotation: 0 Offset X: 0.0 Y: 0.0 Y: 0.0 Undefined line width: 0.0 Shape bounding box: 100.0 Plot mode: • Positive • Negative • Negative • Film mirrored • Full contact thermal-reliefs • Suppress unconnected pads • Draw missing pad apertures • Use aperture rotation • Suppress shape fill	 Available Films - Film으로 출력할 부분 File option - 각 Film의 출력관련 회전이 인쇄색상 형식(정상/반전) 등을 설정 Create Artwork - Film File 출력 (*.art) Check database before artwork - Film doctor를 이용하여 오류확인작업을 진행 	!을 지정 또는 수정 여부, 원점 위치, file 출력 전에 DB 행
Create Artwork OK Cancel Apertures	Vector based pad behavior Viewlog	Note Films List의 항목들은 메뉴를 통해 Des 확인할 수 있다.	sign 창에서 바로
	.::	● Drill을 제외한 나머지 Film은 모두 List	에 주가

Croate Artwork (Carbor) / Eilm Control







Allegro PCB Editor





Allegro PCB Editor







- Create Auto Silk -






- Create Auto Silk -

Allegro PCB Editor



👺 Auto Silkscreen	
Layer: • Top C Bottom C Both	Elements: C Lines C Text © Both
Classes and subclasses:	_ Text:
Board geometry: None ▼ Component value: None ▼ Device type: None ▼ Package geometry: Silk ▼ Reference designator: Any ▼ Tolerance: None ▼ User part number: None ▼	Rotation: Image: 0 Image: 180 Image: 90 Image: 270 Allow under components Lock autosilk text Maximum displacement: 100.0 Displacement increment: 35.0
Minimum line length: 10.0 Element to pad clearance: 8.0 Silkscreen Close Audit	Clear solder mask pad

- Subclass로 나누어진 각각의 구성요소를 Auto Silkscreen이라는 하나의 구성요소(Film)로 통합한다.
- 부품의 실장위치나 Silk Screen 인쇄 여부에 따라 단면 혹은 양면으로 Auto silk Subclass를 구성한다.
- Subclass내의 객체 중 DRC Rule을 지키지 않은 객체는 Auto Silkscreen에 포함되지 않는다.



Allegro PCB Editor







Allegro PCB Editor

CHANNEL PARTNER







Note

• 보드내 특정 부분의 별도 표기를 위한 확대 표시





Allegro PCB Editor Post Process - Report -🥥 🗙 🔛 🚭 😤 Search: Match word Match case Design Name C:/OrCAD_Data/AVRUS8500/allegro/AVRUS8500-3.brd Date Mon Mar 31 14:35:40 2008 Total Components: 34 Reports Component Report REFDES COMP_DEVICE_TYPE COMP_VALUE COMP_TOL COMP_PACKAGE Tools <u>H</u>elp Available Reports (Double click to select) CAPACITORNONPOL CPCYL10229 S10003 C2 CAPACITORNONPOL CPCVL10229 S100031 Dangling Lines Report C3 CAPACITORNONPO DCM 10228 \$10005 C4 CAPACITOR 🕈 📰 Dangling Lines Report Create Module ... Design Rules Check Report C5 CAPACITO Etch Length by Layer Report 🖉 🗙 🔛 🕮 🐔 Search: Match word Match case C6 CAPACITOR Etch Length by Layer and Width Report C7 CAPACITO Padstack Etch Length by Net Report C8 CAPACITO Dangling Line and Via Report C9 CAPACITO Selected Reports (Double click to remove) Pad C10 CAPACITOR : AVRUS8500-3.brd Drawing aftware Version : 16.0p005 ate/Time : Mon Mar 31 14:35:40 2008 Component Repo D1 LED Dangling Lines Report IC1 ATMEGA8DIL Date/Time Derive Connectivity... CON5 J2 CON4_J2 J3 CON5 The location marked with a star (+) is danaling. 🗿 <u>R</u>eports... CONS 14 R1 Output File: Append **R**2 Via Dargling on "VCC" (30.226 19.304) Via Dargling on "VCC" (77.470 17.780) Via Dargling on "VCC" (32.182 31.689) Via Dargling on "VCC" (33.624 23.676) Quick Reports (optional) 00 Write Report 🗹 Display Report Report Yia Dangling on "VCC" Via Dansling on "BND" (89.662 11.04 New/Edit <u>H</u>elp <u>C</u>lose Browse - A dengling via is not a testpoint and has a single cline connection Number of reports written: 0 Total dangling vias: Total dangling lines:

총 41개의 Report 형식
Text 형식 출력 – 링크가 포함된 Html 기반으로 출력하여, 객체 선택 용이
Html Table 형식 출력 – 표 형식으로 출력되어, MS-Excel 등의 Spreadsheet Tool과 100% 호환





Allegro PCB Editor

- Report - / Report 설정파일 저장 경로

😂 views						X
파일(F) 흔집(E)	보기(V) 즐기찾기(A)	도구(T) 도용발(H)				2
() HE - ()	- 🍠 🔎 ଅଧ୍ୟ 👔	5 BQ (III-				
芯(D) C:WC	adenceWSP8_16.01Wsha	areWpcbWtextWviews			. 🖸	비동
BCI	×	018	371	88 -	수정한 날짜	
	consing: a vet a vet a vet a vet a vet beb indude a modelinegity a poblik a poblik a poblik a poblik beb indude a conside beb consid sobil beb consid sobil sobil	a diagnotib.view.td analysis.tex. analysis.tex. analysis.tex. before the second se	1KB 2KB 2KB 1KB 1KB 1KB 1KB 1KB 1KB 1KB 1KB 1KB 1	1. 「一市市市市市市市市市市市市市市市市市市市市市市市市市市市市市市市市市市市市	1016 6년 32 오후 1 1916 년 6년 2 2 7 1916 년 6년 2 7 1916 년 6년 2 7 1926 년 6년 2 7 1926 년 6년 2 8 1926 년 6년 19 19 19 19 19 10 10 10 10 10 10 10 10 10 10 10 10 10	
<	3	Connectivity_baseview.txt	IKB	테스트 콜셔	1991-06-02 2.79	
196 개체 (디스크 야)	유 공간: 1,8968)		11	ISKB QU	합프트	

- C:\Cadence\SPB_16.0\share\pcb\text\views
- C:\Cadence\OrCAD\16.0\share\pcb\text\views

text 파일을 수정하여 사용자정의 Report 생성 가능

Component Report

C:WCa	denceWSPB_16.01Ws	hareWpcbWtex	d₩views₩d	:mp_rep.txt			
) × E	🖁 🚭 🍳 Search	Mai	ich word 🔲 Mal	ich case			
Lesign Name C:/OrCAD_Data/bab2/PCB/avrusb500/Allegro/allegro/AVRUSB500_orig.brd Late Fri Mar 28 21:50:13 2006 <u>C:WCadenceWSPB_16.01WshareWpcbWtextWviewsWcmp_rep.bt</u>							
REFDES	COMP_DEVICE_TYPE	COMP_VALUE	COMP_TOL	COMP_PACKAGE	SYM_X	SYM_Y	SYM_ROTATE SYM_MIRROR
C1	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	43.180	21.590	270.000 NO
22	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	36.830	8.890	180.000 NO
23	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	26.670	8.890	0.000 NO
04	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	43.180	27.940	90.000 NO
05	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	12,700	5.080	0.000 NO
6	CAPACITOR_POL	luF		CPCYL1D225LS100031	7.620	5.080	180.000 NO
27	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	91.395	21.225	270.000 NO
C8	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	91.395	28.845	270.000 NO
C9	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	20.320	5.080	0.000 NO
210	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	6.350	11.430	90.000 NO
D1	LED			CYLD250LS125031	84.433	34.119	180.000 NO
C1	ATMEGA8DIL28IC1			JEDECMS026	73.195	22.046	90.000 NO
11	CON5			BLKCON100VHTM1SQSW1005J1	3.810	30.480	270.000 NO
12	CON4_J2			USBMINIB	92.408	10.446	270.000 NO
3	CON5			BLKCON100VHTM1SQSW1005J3	65.220	29.296	270.000 NO
14	CON5			BLKCON100VHTM1SOSW1005J4	13.970	36.830	180.000 NO
A1	R	470		A×400×100031	50.720	15.454	0.000 NO
92	R	470		AX400X100031	22.860	20.320	180.000 NO
A3	R	470		AX400X100031	22.860	24.130	180.000 NO
84	R	470		AX400X100031	22.860	27.940	180.000 NO
85	R	470		AX400X100031	60.840	6.342	180.000 NO

Report 항목에서 선택

Compor	ent Report							
9 × 🔚	🛛 🚭 🐔 Search: 🗍	Mat	ch word 🔲 Mat	ch case				
<u>Design Na</u> <u>Date</u> Fri I Total Com	ame_C:/OrCAD_Data/ Mar 28 21:54:26 2008 Iponents:_34	bab2/PCB/avr	usb500/Alle	gro/allegro/AVRUS8500_orig	.brd			
			<u>,</u>	omponent Report				
REFDES	COMP_DEVICE_TYPE	COMP_VALUE	COMP_TOL	COMP_PACKAGE	SYM_X	SYM_Y	SYM_ROTATE	SYM_MIRROR
C1	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	43.180	21.590	270.000	NO
C2	CAPACITORNONPOL	47nF		CPCVL1D225LS100031	36.830	8.890	180.000	NO
C3	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	26.670	8.890	0.000	NO
C4	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	43.180	27.940	90.000	NO
C5	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	12,700	5.080	0.000	NO
C6	CAPACITOR_POL	1uF		CPCYL1D225LS100031	7.620	5.080	180.000	NO
C7	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	91.395	21.225	270.000	NO
C8	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	91.395	28.845	270.000	NO
C9	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	20.320	5.080	0.000	NO
C10	CAPACITORNONPOL	47nF		CPCYL1D225LS100031	6.350	11.430	90.000	NO
D1	LED			CYLD250LS125031	84.433	34.119	180.000	NO
IC1	ATMEGA8DIL28IC1			JEDECMS026	73.195	22.046	90.000	NO
J1	CON5			BLKCON100VHTM1SQSW1005J1	3.810	30.480	270.000	NO
J2	CON4_J2			USBMINIB	92,408	10.446	270.000	NO
J3	CON5			BLKCON100VHTM1SQSW1005J3	65.220	29.296	270.000	NO
J4	CON5			BLKCON100VHTM1SQSW1005J4	13.970	36.830	180.000	NO
R1	R	470		AX400X100031	50.720	15.454	0.000	NO
R2	R	470		AX400X100031	22.860	20.320	180.000	NO
R3	R	470		AX400X100031	22.860	24.130	180.000	NO
R4	B	470		AX400X100031	22.860	27.940	180.000	NO

Text 파일 Load





Allegro PCB Editor

- Report - / Report Customize(ex : Component Report)



- 기존 Report 설정 파일의 예약어를 참조하여 새로운 Report form 생성
- REFDES_SORT : REFDES 기준으로 전체 출력 Data 정렬 그 외(REFDES, COMP_DEVICE_TYPE...) : Allegro 항목 예약어





Allegro PCB Editor

- Padstack - / 유형별 Layer 구성

Through-Hole Padstack



Surface-Mount Padstack







Allegro PCB Editor

- Padstack - / Pad Designer



- Parameter Tab -

- Type : 생성 가능한 Pad의 Type 지정
- 관통형 / Blind, Buried / 표면 실장형
- Internal Layers : Film 출력시 내층에서 연 결되지 않은 패드를 유지(Fixed)하거나 선택 적인 제거(Optional)

- Optional은 PCB Editor의 Artwork Film 설 정에 의해 결정된다.

- Units : 치수 단위 지정
- Multiple drill : 두 개 이상의 드릴홀 지정에 사용
- Drill/Slot hole : 드릴홀 크기 지정
- Drill/Slot symbol : Drill Chart Symbol 정의

Parameters Layers			
Type Through Blind/Buried Single	Internal layers Fixed Optional	Units Units: Mils v Decimal places: 0	Multiple drill Enabled Staggered Rows: 1 Clearance X: 0 Clearance Y: 0
Drill/Slot hole		Top view	
Hole type:	Circle Drill	v	
Plating:	Plated	~	
Drill diameter:	38		
	0		
Tolerance:	+ 0 -		
Offset X:	0		
Offset Y:	0		
Non-standard drill:		▼	
- Drill/Slot sumbol			
Figure:	Square	✓	
- Characters:	A1		
Width:	38		
Height:	38		





Allegro PCB Editor

- Padstack / Pad Designer
- Layer Tab -
- Padstack Layers : 동박 및 Mask Layer에 할당될 패드의 크기를 정의
- Regular Pad
- Thermal Relief
- Anti Pad
- Views : Padstack 미리보기
- Xsection : 옆에서 보기
- Top : 위에서 보기

각 Layer를 선택하여 해당 Layer에 표시할 Pad의 크기를 정의한다.





- Padstack - / Pad Designer







Allegro PCB Editor

- Padstack - / Pad Designer







Allegro PCB Editor

- Padstack / Pad 인쇄 유형
- Regular Pad : 원형, 사각형, 타원 등의 일반적인 형태를 갖는 Positive Pad
- Thermal Relief
 - Positive : Pin, Via와 Positive Copper를 연결하기 위한 Pad. Regular Pad에 라인을 덧 댄 형태로 표현된다.
 - Negative : Pin, Via와 Negative Copper를 연결하기 위한 Flash Type Pad
- Anti Pad : Pin, Via를 Copper 주변으로부터 분리하기 위한 빈 공간

Positive 또는, Negative 여부에 따라 결정된다.

■ Shape : 일반적인 형태(원형, 사각형, 타원)가 아닌, 직접 그려 사용하는 이형 Pad

■ Thermal Relief의 Positive와 Negative는 Plane Layer에 속한 Copper의 인쇄형태가

■ Shape, Flash를 제외한 모든 Pad는 Pad Designer 유틸리티로 생성할 수 있다.

■ Shape, Flash는 PCB Editor 창에서 직접 dra 파일로 제작하여 생성할 수 있다.







Note



Allegro PCB Editor

- Padstack - / Pad Selection Guide

🞇 Select Library Padstack		×	
Smd30_115	Quickview		
Smd30_115 OK OK		Pad Type	Describtion
Smd30_31 Smd30_31B Smd30_35			
Smd30_55B		h109p	hole; 109 Mils; plated
Smd30_55B Help		h109u	hole; 109 Mils; unplated
Smd30_94 Smd30_94		m43b	multi-bus connector; 43 Mils; BOTTOM mount
Smd30_96 Smd300rec250		m43t	multi-bus connector; 43 Mils; TOP mount
Smd30rec14 Vibrary	 Graphic: 	p50c32	pad; 50 Mils; circle shape; 32 Mil drill size
Smd330rec48		p50s30	pad; 50 Mils; square shape; 30 Mil drill size
Total elements: 190		pga	pin grid array
		s25_48	surface mount pad; 25 x 48 Mils pad size; TOP mount
		s25_48b	surface mount pad; 25 x 48 Mils pad size; BOTTOM mount
	-	sq55	pad; square shape; 55 Mils
		via	





Allegro PCB Editor



Allegro PCB Editor

- Component Symbol - / Drawing Setting

🐉 Drawing Parameters 🛛 🗛 🗖 🗙
Project: C:/OrCAD_Data/temp_work
Drawing: my_outline
Type: 🛛 🖌 V symbol
User Units: Mils 💌
Size: A 💌
Accuracy: 2 🤤 (decimal places)
DRAWING EXTENTS
Left X: -2000.00 Lower Y: -2000.00
Width: 11000.00 Height: 8500.00
MOVE ORIGIN
X: 0.00 Y: 0.00
OK Cancel Reset Help

Setup > Drawing Size



CHANNEL PARTNER







- Component Symbol - / Symbol 구성요소



Minimum/Maximum Package Height





- Component Symbol - / Pin 배치





Allegro PCB Editor

CHANNEL PARTNER

- Component Symbol - / 부품 외곽선 배치

Add >





Allegro PCB Editor

- Component Symbol - / Text 배치







Allegro PCB Editor

- Component Symbol - / 영역 설정

Setup > Areas



Silk Ref







Allegro PCB Editor

- Component Symbol -

<u>Note</u>

- Symbol 편집 후, 저장하면 두 개의 파일이 동시에 생성된다.
 - *.dra 편집 가능한 원시 파일, 부품으로 사용하기 위해 바이너리로 컴파일 해야 한다.
 - *.psm 편집 불가능한 바이너리 파일, 부품으로 사용할 수 있다.
- 원본 dra 파일에 이상이 있을 경우, psm 파일로 컴파일 되지 않는다.



Allegro PCB Editor

- Board Symbol - / 외곽 영역 생성







Allegro PCB Editor



CHANNEL PARTNER

- Board Symbol - / 실장 Hole 설정, 배치



- Board Symbol / 모따기(Chamfer)
 - **Dimension > Chamfer**







Allegro PCB Editor

- Board Symbol - / Dimension

		0 E	· · · · · · · · · · · · · · · · · · ·
	🔼	0.9. 1. 1. 4, I.V	· · · · · · · · · · · · · · · · · · ·
		l	
		· · · · ·	
		· · · · · · [· · · · · · · · · · · · ·	🚹
· · · · · ·		Q	
····			
		Dimension Lincon	
		Dimension > Linear	
		Dim Dim	
		₩	
		·····	
		· · · · · · · · · · · · · · · · · · ·	: : : : : : : : : : : : : : : : : : :
	01 111		
		🗁 Extension Line	
		Line Suppression: None 1	I I I I
		Offset Distance from Element: 0.250	
		Distance Beyond Dimension Line: U.100	
			· · · · · · · · · · · · · · · ·
		ОК Нер	
		<u> </u>	·····
· · · · <u>۴</u>		, · 😳 · · · · · · · · · · · · · · · · ·	· · · · · · · 😰 · · · · · 🛓 · · · · ·
			· · · · · · · · · · · · · · · · · · ·
			· · · · · · · · · · · · · · · · ·
			· · · · · · · · · · · · · · · · · ·
	· · · ===:- · ·		





Allegro PCB Editor

- Board Symbol - / Ki,Ko 영역 생성

Edit > Z-Copy



... 또는



Allegro PCB Editor

- Board Symbol - / 저장







Allegro PCB Editor

- PCB Editor Command Index - / File

메뉴 항목	콘솔창 명령
File	

메뉴 항목	콘솔창 명령
File	

File – New	new
File – Open	open
File – Recent Designs	opencd
File - Save	save
File - Save As	save_as
File – Create Symbol	create symbol (Symbol Editor 전용)
File – Import – Logic	netin param
File – Import – Artwork	load photoplot
File – Import – Stream	load stream
File – Import – IPF	load plot
File – Import – DXF	dxf in
File – Import – IDF	idf in
File – Import – IFF	iff in

File – Import – Router	specctra in
File – Import – PADS	pads in
File – Import – PCAD	pcad in
File - Import - Sub-Drawing	clppaste
File - Import - Techfile	techfile in
File - Import - Active Times	signal atimes
File - Import - Placement	plctxt in
File - Import - Annotations	annotation in
File - Import - Pin Delay	pin_delay in
File – Export – Logic	feedback
File - Export - Netlist w/Properties	netout
File – Export – IPF	create plot
File – Export – DXF	dxf out



- PCB Editor Command Index - / File

메뉴 항목	콘솔창 명령
File	
File – Export – IDF	idf out
File – Export – Router	specctra_out
File - Export - Sub-Drawing	clpcopy
File - Export - Libraries	dlib
File – Export – Techfile	techfile out
File - Export - Placement	plctxt out
File - Export - Annotations	annotation out
File – Export – InterComm	icm_out
File – Export – IPC 356	ipc356 out
File - Export - ODB ++ inside	odb_out
File - Export - Save Design to 15.0	downrev
File - Export - Save Design to 15.2	downrev2
File – Export – Pin Delay	pin_delay out

메뉴 항목	콘솔창 명령
File	
File – Viewlog	viewlog
File – File Viewer	명령어 없음.
File – Plot Setup	plot setup
File – Plot Preview (Windows only)	plot preview
File – Plot	plot
File – Properties	file_property
File – Change Editor	toolswap
File – Script	script
File – Exit	exit





Allegro PCB Editor

- PCB Editor Command Index - / Edit

메뉴 항목	콘솔창 명령
Edit	
Edit – Undo	undo
Edit – Redo	redo
Edit – Move	move
Edit – Copy	сору
Edit – Mirror	mirror
Edit – Spin	spin
Edit – Change	change
Edit – Delete	delete
Edit – Z–Copy	zcopy shape
Edit – Split Plane – Parameters	split plane param
Edit - Split Plane - Create	split plane create
Edit – Vertex	vertex
Edit – Delete Vertex	delete vertex

메뉴 항목	콘솔창 명령
Edit	
Edit – Text	text edit
Edit – Groups	groupedit
Edit – Properties	property edit
Edit – Net Properties	net_properties





Allegro PCB Editor

- PCB Editor Command Index - / View, Add

메뉴 항목	콘솔창 명령
View	
View – Zoom By Points	zoom points
View – Zoom Fit	zoom fit
View – Zoom In	zoom in
View – Zoom Out	zoom out
View – Zoom World	zoom world
View – Zoom Center	zoom center
View – Zoom Previous	zoom previous
View - Color View Save	colorview create
View - Color View Restore Last	colorview restore
View – Refresh	redisplay
View - Customization - Display	display param
View - Customization - Toolbar	명령어 없음.

메뉴 항목	콘솔창 명령
Add	
Add – Line	add line
Add - Arc w/Radius	add rarc
Add – 3pt Arc	add arc
Add - Circle	add circle
Add – Rectangle	add rect
Add - Frectangle	add frect
Add – Text	add text



- PCB Editor Command Index - / Display

메뉴 항목	콘솔창 명령
Display	
Display - Color/Visibility	color192 또는 color
Display - Color Priority	color priority
Display - Element	show element
Display - Measure	show measure
Display - Parasitic	show parasitic
Display - Property	show property
Display - Highlight	hilight
Display - Dehighlight	dehilight
Display - Waive DRCs - Waive	waive drc
Display - Waive DRCs - Show	show waived drcs
Display – Waive DRCs – Blank	blank waived drcs
Display - Waive DRCs - Restore	restore_waived drc
Display - Waive DRCs - Restore All	restore_waived drcs

메뉴 항목	콘솔창 명령
Display	
Display - Show Rats - All	rats all
Display - Show Rats - Components	rats component
Display - Show Rats - Net	rats net
Display – Blank Rats – All	unrats all
Display – Blank Rats – Components	unrats component
Display – Blank Rats – Nets	unrats net



- PCB Editor Command Index - / Setup

메뉴 항목	콘솔창 명령
Setup	
Setup - Drawing Size	drawing param
Setup - Drawing Options	status
Setup – Text Sizes	define text
Setup – Grids	define grid
Setup – Subclasses	define subclass
Setup - Cross-section	define xsection
Setup – Vias – Define B/B Via	define bbvia
Setup – Vias – Auto Define B/B Via	auto define bbvia
Setup – Constraints	cns
Setup – Electrical Constraint Spreadsheet	cmgr
Setup – DFA Constraint Spreadsheet	dfa_spreadsheet
Setup – Property Definitions	define property
Setup – Define Lists	define list

메뉴 항목	콘솔창 명령
Setup	
Setup - Areas - Package Keepin	keepin package
Setup – Areas – Package Keepout	keepout package
Setup - Areas - Package Height	package_height
Setup - Areas - Route Keepin	keepin router
Setup - Areas - Route Keepout	keepout router
Setup – Areas – Via Keepout	keepout via
Setup – Areas – Probe Keepout	keepout probe
Setup - Areas - Gloss Keepout	keepout gloss
Setup - Areas - Photoplot Outline	keepin photo
Setup – User Preferences	enved


Allegro PCB Editor

- PCB Editor Command Index - / Layout

메뉴 항목	콘솔창 명령
Layout	
Layout 메뉴는 Symbol Editor 창에	서만 나타납니다.
Layout - Pins	add pin
Layout - Connections	add connect
Layout - Slide	slide
Layout - Labels - RefDes	label refdes
Layout - Labels - Device	label device
Layout - Labels - Value	label value
Layout - Labels - Tolerance	label tolerance
Layout - Labels - Part Number	label part





Allegro PCB Editor

- PCB Editor Command Index - / Shape

메뉴 항목	콘솔창 명령
Shape	
Shape - Polygon	shape add
Shape - Rectangular	shape add rect
Shape - Circular	shape add circle
Shape - Manual Void - Polygon	shape void polygon
Shape - Select Shape or Void	shape select
Shape - Manual Void - Rectangular	shape void rectangle
Shape - Manual Void - Circular	shape void circle
Shape - Manual Void - Delete	shape void delete
Shape - Manual Void - Element	shape void element
Shape - Manual Void - Move	shape void move
Shape – Manual Void – Copy	shape void copy
Shape - Edit Boundary	shape edit boundary
Shape - Delete Islands	island_delete

메뉴 항목	콘솔창 명령
Shape	
Shape – Change Shape Type	shape change type
Shape – Merge Shapes	shape merge shapes
Shape – Check	shape check
Shape – Compose Shape	compose shape
Shape – Decompose Shape	decompose shape
Shape – Global Dynamic Params	shape global param





- PCB Editor Command Index - / Logic

메뉴 항목	콘솔창 명령
Logic	
Logic – Net Logic	net logic
Logic – Net Schedule	net schedule
Logic - Assign Differential Pair	diff pairs
Logic - Identify DC Nets	identify nets
Logic – Assign RefDes	assign refdes
Logic – Auto Rename RefDes – Rename	rename param
Logic – Auto Rename RefDes – Design	rename area design
Logic – Auto Rename RefDes – Room	rename area room
Logic - Auto Rename RefDes - Window	rename area window
Logic – Auto Rename RefDes – List	rename area list
Logic - Change Parts	partedit
Logic - Part Logic	partlogic
Logic – Terminator Assignment	ecl param





Allegro PCB Editor

- PCB Editor Command Index - / Place

메뉴 항목	콘솔창 명령
Place	
Place – Manually	place manual
Place – Quickplace	quickplace
Place - Router	specctra
Place - Autoplace - Insight	place insight
Place – Autoplace – Parameters	place param
Place - Autoplace - Top Grids	place set topgrid
Place - Autoplace - Bottom Grids	place set bottomgrid
Place - Autoplace - Design	place area design
Place - Autoplace - Room	place area room
Place - Autoplace - Window	place area window
Place - Autoplace - List	place area list
Place - Interactive	place interactive
Place - Swap - Pins	swap pins

메뉴 항목	콘솔창 명령
Place	
Place - Swap - Functions	swap functions
Place - Swap - Components	swap components
Place – Autoswap – Parameters	swap param
Place - Autoswap - Design	swap area design
Place – Autoswap – Room	swap area room
Place – Autoswap – Window	swap area window
Place – Autoswap – List	swap area list
Place – Evaluate – Parameters	eval param
Place – Evaluate – Design	eval area design
Place – Evaluate – Room	eval area room
Place - Evaluate - Window	eval area window
Place – Evaluate – List	eval area list
Place – Update Symbols	refresh symbol



- PCB Editor Command Index - / Place

메뉴 항목	콘솔창 명령
Place	
Place – Replace SQ Temporary – Devices	replace temp_device
Place – Replace SQ Temporary – Symbols	replace temp_symbols
Place - Design Partition - Create Partitions	partition
Place – Design Partition – Workflow Manager	workflow
Place - Design Partition - Guideports	guideport





Allegro PCB Editor

- PCB Editor Command Index - / Route

메뉴 항목	콘솔창 명령
Route	
Route – Connect	add connect
Route – Slide	slide
Route - Delay Tune	delay tune
Route – Custom Smooth	custom smooth
Route – Router Checks	specctra checks
Route - Fanout by Pick	fanout_by_pick
Route - Route Net(s) by Pick	route_by_pick
Route - Elongation by Pick	elong_by_pick
Route - Route Automatic	auto_route
Route – Router Editor	specctra
Route – Miter by Pick	miter_by_pick
Route – Unmiter by Pick	unmiter_by_pick
Route - Spread Between Voids	spread_between_voids

메뉴 항목	콘솔창 명령
Route	
Route – Gloss – Excute	gloss param
Route – Gloss – Design	gloss area design
Route - Gloss - Room	gloss area room
Route - Gloss - Window	gloss area window
Route – Gloss – Highlight	gloss area highlight
Route – Gloss – List	gloss area list





- PCB Editor Command Index - / Analyze

메뉴 항목	콘솔창 명령
Analyze	
Analyze – SI/EMI Sim – Initialize	signal init
Analyze – SI/EMI Sim – Library	signal library
Analyze – SI/EMI Sim – Model	signal model
Analyze – SI/EMI Sim – Model Dump/Refresh	signal model refresh
Analyze – SI/EMI Sim – Preferences	signal prefs
Analyze – SI/EMI Sim – Audit – Design Audit	signal audit
Analyze – SI/EMI Sim – Audit – Net Audit	signal audit net
Analyze – SI/EMI Sim – Audit – Audit One Library	signal lib audit
Analyze - SI/EMI Sim - Audit - Audit List of Libraries	signal libs audit
Analyze – SI/EMI Sim – Probe	signal probe
Analyze – SI/EMI Sim – Xtalk Table	signal xtalktable
Analyze – EMI Rule Checker	emcontrol
Analyze – Transmission Line Calculator	tline calculator





- PCB Editor Command Index - / Manufacture

메뉴 항목	콘솔창 명령
Manufacture - Dimension/Draft	
Manufacture – Dimension/Draft – Parameters	draft param
Manufacture - Dimension/Draft - LineFont	linefont
Manufacture - Dimension/Draft - Linear Dim	dimension linear
Manufacture - Dimension/Draft - Datum Dim	dimension datum
Manufacture - Dimension/Draft - Angular Dim	dimension angular
Manufacture – Dimension/Draft – Leader Lines	leader only
Manufacture - Dimension/Draft - Diametral Leader	leader diametral
Manufacture - Dimension/Draft - Radial Leader	leader radial
Manufacture - Dimension/Draft - Balloon Leader	leader balloon
Manufacture - Dimension/Draft - Chamfer Leader	leader chamfer
Manufacture - Dimension/Draft - Chamfer	draft chamfer
Manufacture - Dimension/Draft - Fillet	draft fillet
Manufacture - Dimension/Draft - Create Detail	create detail

PCB 편집창의 Manufacture - Dimension Draft 메뉴는 Symbol 편집창의 Dimension 메뉴와 동일





- PCB Editor Command Index - / Manufacture

메뉴 항목	콘솔창 명령
Manufacture	
Manufacture – Artwork	film param
Manufacture - Stream Out	stream out
Manufacture – NC – Drill Customization	ncdrill customization
Manufacture - NC - Drill Legend	ncdrill legend
Manufacture - NC - Backdrill Setup and Analysis	backdrill setup
Manufacture – NC – NC Parameters	ncdrill param
Manufacture – NC – NC Drill	nctape_full
Manufacture – NC – NC Route	ncroute
Manufacture – Cut Marks	cut marks
Manufacture - DFx Check (legacy)	dfa
Manufacture - Create Coupons	create coupons
Manufacture – Silkscreen	silkscreen param





- PCB Editor Command Index - / Manufacture

메뉴 항목	콘솔창 명령
Manufacture	
Manufacture – Testprep – Automatic	testprep automatic
Manufacture – Testprep – Manual	testprep manual
Manufacture – Testprep – Properties	testprep properties
Manufacture - Testprep - Fix/unfix testpoints	testprep fix
Manufacture – Testprep – Create FIXTURE	testprep createfixture
Manufacture - Testprep - Create NC drill data	testprep ncdrill
Manufacture - Testprep - Density Check	testprep density
Manufacture - Testprep - Resequence	testprep resequence
Manufacture - Thieving	thieving
Manufacture - Variants - Create Assembly Drawing	variant assembly
Manufacture - Variants - Create Bill of Materials	variant bom





- PCB Editor Command Index - / Tools, Help

메뉴 항목	콘솔창 명령
Tools	
Tools – Create Module	create module
Tools – Padstack – Modify Design Padstack	padeditdb
Tools – Padstack – Modify Library Padstack	padeditlib
Tools – Padstack – Replace	replace padstack
Tools – Padstack – Group Edit	multpadedit
Tools - Padstack - Refresh	refresh padstack
Tools - Pad - Boundary	editpad boundary
Tools - Pad - Restore	editpad restore
Tools – Pad – Restore ALL editpad restore	
Tools – Silkscreen	silkscreen param
Tools – Derive Connectivity	derive connectivity
Tools – Reports	reports
Tools – Technology File Compare	techfile compare

메뉴 항목	콘솔창 명령
Tools	
Tools – Setup Advisor	setup advisor
Tools – Database Check	dbdoctor
Tools - Update DRC	drc update

메뉴 항목	콘솔창 명령
Help	
Help – Help	cdsdoc
Help – Manuals	cdsdoc
Help – About	about





CATEGORY: artwork	
	Allegro Artwork 및 Artwork 사용자 인터페이스 옵션
arc_oldvectorize	15.5 이전 방식의 Arc 벡터화 알고리즘을 사용, art_circvects 기능을 켜려면 이 옵션도 같이 활성화 해야 한다.
art_circvects	벡터화 된 Arc, Circle을 구성하는 Line Segment 개수를 지정한다. 15.7부터는 새로운 벡터화 알고리즘이 적용되고 있으며, 이 옵션을 사용하려면 arc_oldvectorize 옵션도 같이 활성화 해야 한다.
art_stripdirectoryname	Artwork Film의 Comment 항목에 포함되는 파일경로 정보에서 디렉터리 정보를 제거하고, 파일명만 기록한다.
artwork_no_unit_warn	Manufacture -> Artwork 창을 열면 표시되는 경고 대화상자를 띄우지 않는다. 단, photoplot.log에는 경고가 기록으로 남는다.
film_nosort	Artwork 인터페이스의 Film 목록을 14.2 이전 방식의 정리되지 않은 순서로 표시한다. Film 설정 전에 Stackup 설정이 먼저 되어 있다면, Film 목록은 Stackup된 순서로 표시될 것이다.
loadgerber_flash_size	Gerber 4x/6x 형식의 Film을 선택하거나 읽을 경우, Flash Symbol(Triangle)의 크기를 지정한다. 기본값은 C-Point size(80mil)이고, 치수단위는 도면서식의 설정을 따른다. 크기값은 숫자와 단위(mil, micron)로 구성된다.





CATEGORY: autosave	
	자동저장 설정
autosave	autosave를 활성화 한다.
autosave_dbcheck	자동저장 전에 DB 내용을 점검한다.
autosave_name	자동저장에 사용할 파일명(확장자는 넣지 말 것!!)을 지정한다. 기본값은 AUTOSAVE.brd(또는 dra)
autosave_time	자동저장 주기를 분단위(10분 ~ 300분)로 지정한다. 기본값은 30분이다.





CATEGORY: browser	
	브라우저 설정
browser_nodircheck	브라우저 창의 change directory 체크박스의 기본값을 일괄적으로 체크 안함으로 설정한다. 한 예로, File->Open의 Browse 창은 항목에 기본적으로 체크가 되어 있으나, File->scripts의 Browse 창은 체크가 해제 되어 있다.
browser_nosticky	Browse 창이 열릴 때의 디렉터리 위치를 현재 작업중인 디렉터리로 지정한다. 이 옵션을 설정하지 않을 경우 Browse 창이 열릴 때의 디렉터리 위치는 마지막으로 이동했거나, 파일을 읽어들인 디렉터리로 이동하게 된다.
browser_win31	Windows 3.1 형식의 파일 브라우저를 사용한다.
clip_filebrowser	Sub_Drawing의 clpcopy command에 대해서 Windows 3.1 형식의 파일 브라우저를 사용한다. (13.6 이전 버전의 기능)
filemgr_unix	Unix OS에서 파일관리자를 변경한다. 기본값은 그놈 노틸러스
filemgr_windows	MS-Windows OS에서 파일관리자를 변경한다. 기본값은 explorer.exe
nolast_directory	%알레그로설치경로%/pcbenv/allegro.ini 에 이전 작업 디렉터리 대신, 기본 설정된 작업디렉터리를 사용한다. 12.0 이전 버전의 기능
nolast_file	이전 작업 파일 대신, unnamed.brd를 연다. 12.0 이전 버전의 기능
old_scriptbrowser	SCRIPTPATH를 지원하는 Allegro data browser 대신, 13.6 이전 버전에서 사용되었던 File Browser를 사용.
padlib_filebrowser	padeditlib(Tools->Padstack->Modify Library Padstack)명령에서 library path browser 대신, file browser를 사용한다.



CATEGORY: config_paths	
	환경설정 검색 경로 설정
aptpath	Aperture flash 파일 경로 지정.(*.fsm, *.bsm)
artpath	Artwork aperture/param 파일 경로 지정 (art_aper.txt, art_param.txt)
clippath	SubDrawing(*.clp) 경로 지정
devpath	라이브러리 디바이스 파일 경로 지정(*.txt)
dfaauditpath	DFA 보고서(Audit) 파일 경로 지정(*.arl, *.rle)
materialpath	materials.dat(Allegro) 또는 mcmmat.dat(Allegro Package Designer) 파일 경로 지정
ncdpath	NC Drill 파일 경로 지정(*.txt)
scriptpath	스크립트 파일 경로 지정(*.scr)
textpath	extracta 명령 파일 경로 지정(*.txt)
viewpath	색상 파일 경로 지정(*.color)
wizard_template_path	Allegro 템플릿(*.brd,*.dra 생성용 Wizard) 파일 경로 지정
xtalk_table_path	크로스토크 테이블 파일 경로 지정(*.xtb)



CATEGORY: control_panel	
	제어판의 탭(Option, Find Filter, Visibility), WorldView 및 그 외 사용 설정
addpin_default_space	제어판 Option 탭에 표시되는 add pin 명령 옵션에서 사용할 기본 간격 값을 지정, 치수 단위는 사용자가 원하는 형태로 입력하고, 입력된 값은 Symbol unit의 설정에 맞추어 변환된다.
color_lastgroup	Color and Visibility 설정에서 보여주는 Group의 위치를 제어판에서 Option 탭에 표시된 Group의 위치가 아닌 이전 실행에서 가리켰던 Group으로 선택
color_nofilmrecord	제어판 Visibility 탭의 Views 목록에서 Artwork Film들을 감춤
control_auto_raise	명령 선택 후, 사용자가 설정한 제어판의 탭(Option, Find, Visibility)으로 자동 이동, 기본값은 탭 이동을 하지 않음
find_nongui_reject	두 개 이상의 객체를 선택한 상태에서 Reject 명령 사용중, Reject 할 객체의 List를 보이지 않게 하거나(Always), 특정 개수 이상일 때만 보이도록 설정(1~5)
find_reject_graphics	reject list에 포함된 객체의 표시방법 지정(none, blink, highlight, 기본값 : blink)
wv_voltage_nets	





CATEGORY: design_paths	
	Design Search Path Settings
dclpath	디커플링 콘덴서 목록 파일의 경로 지정(*.dcf)
dfacnspath	DFA constraints spreadsheet 파일 경로 지정(*.dfa)
ldfpath	라이브러리 정의 파일 경로 지정(*.ldf)
modulepath	Design Reuse 모듈 파일 경로 지정(*.mdd)
padpath	Padstack 파일 경로 지정(*.pad)
pcell_lib_path	pcell 컴포넌트 파일 경로 지정(*.il *.ile)
psmpath	부품 Symbol 파일 경로 지정(*.psm, *.osm, *.bsm, *.ssm, *.fsm)
techpath	기술 파일 경로 지정(*.tech)
tilepath	Reusable die pin tile 파일 경로 지정(*.til)
topology_template_path	토폴로지 템플릿 경로 지정(*.top)





CATEGORY: display	
	디스플레이 설정
bug_solaris_hlt_lines	솔라리스7의 버그로 인해 표시 되지 않는 일부라인을 강제로 보이게 한다.
display_backingstore	창을 이동하거나, 폼에 의해 가려진 부분을 repainting 하기 위한 스크린 캐시를 설정한다. (UNIX기반 X윈도 전용)
display_drcfill	Solid type의 DRC marker 표시
display_manual_colorpriority	배선 중, Active Layer 전환에 의해 Color priority가 변경되지 않도록 설정, 기본값은 autopriority(Layer 변경에 따라 Color priority도 같이 변경)
display_no_auto_hide_boundary	작업 중, dynamic shape boundary layer가 보이게끔 설정. 기본값은 보이지 않게 함.
display_nocolor_dynamics	작업 중인 객체의 색상을 흰색으로 강조하여 표시
display_nodynamicarcwidth	이동, 복사 같은 명령을 사용시, arc를 1픽셀로 표현
display_nohilitefont	강조된 색상을 Solid형태로 표현, 기본값은 기본색상과 강조색상(흰색)을 섞어서 표현
display_nolinewidth	디자인 창에서 배선폭을 무조건 1mm로 표현(속도 개선 효과)
display_norefdes	부품 이동 중, RefDes를 표시하지 않게 설정
display_norepair	객체(배선, Rats)에 대한 재표시(Repaint) 금지 설정
display_nosaved_geometry	Allegro 윈도창의 위치 및 크기 기억 금지 설정
display_noskeletal_draw	Skeleton Display 금지 설정(설정할 경우 화면 표시속도 감소)



CATEGORY: display	
	디스플레이 설정
display_raster_ops	화면 이동 중, 그래픽카드 의존에 의한 성능저하 개선을 위한 설정(기본값은 on)
display_readonly_intensity	Shadow mode가 적용되지 않는 비활성 객체에 대한 색상 명암비 조정 설정, 기본값 40%
display_shapefill	Solid type의 Shape Fill 형태를 픽셀 간격의 선을 긋는 형태로 표현, 기본값 5픽셀 (기존 4픽셀)
display_shapefill_analysis	Analysis 클래스의 Shape Fill 형태를 픽셀 간격의 선을 긋는 형태로 표현
display_thintext	Text를 무조건 1픽셀로 표시

CATEGORY: display_SOV	* SOV : Segment Over Void
	Highlight SOV application 설정
sov_active_only	Highlight SOV application active layer만 표시되게 설정
sov_spacing	Highlight SOV application의 간격 파라미터 설정



CATEGORY: drawing	
	DB 접근작업 설정
db_tier_nomsg	Product 간 속성 호환 문제로 표시되는 대화상자를 보이지 않게 설정(Command창에 출력된다.)
drawing_4mils	mil 단위 작업파일에서 수소점 자리수를 3~4자리로 설정, 기본값은 2자리
drawing_no_4mils_msg	mil 단위 작업파일에서 수소점 자리수를 2보다 큰 값으로 설정할 때 나타나는 경고 대화상자를 보이지 않게 설정
multiboard_always	읽어들이는 파일이 협업으로 작업한 System design일 경우, 자동적으로 관련 링크를 열게끔 설정
no_symbol_onsave	*.dra 파일 편집 후 저장할 때 *.dra 소스파일만 저장하고, *.bsm,psm 등의 파일은 컴파일 하지 않도록 설정
noconfirm_uprev	uprev 관련 경고 대화상자를 보이지 않게 설정





CATEGORY: drc	
	DRC 설정
cns_noviasort	Constraints / Physical Rule Set 의 Current via list 목록을 Sort하지 않도록 설정(13.6 이전형식)
drc_diff_pair_overide	Diff pair net 간격이 primary spacing의 값을 초과할 경우, DRC를 무시하게끔 설정 (오차 허용치 - 0(DRC무시), 100(accuracy 1단위),200, 15.0 이전형식)
drc_diff_pair_primary_separation_tole rance	둔각 배선의 Primary separation 오차 허용치 설정(예 : "10MIL:20MIL", 15.0 이전형식)
drc_fillet_samenet	동일 명칭의 Net 배선에도 Fillet을 고려한 DRC Check 수행
drc_old_pad_pad	DRC Check에서 Shape, Copper내부의 패드,Via 간 이격 Rule을 Antipad 간의 간격으로 설정(Shape 바깥의 패드,Via는 Regular Pad를 적용)
include_terminators	배선의 Delay Rule Check에 Terminator length를 포함(기본설정 : Terminator length 포함되지 않음)
padstack_hole_outside	Multi-drill padstack에서 drill 배열이 패드외곽을 벗어날 경우 Error 표시, 이 경우 해당 padstack은 저장되지 않음(기본값은 Warning 표시)
pre_12.0_delay_rule	12.0 이전의 방식으로 배선 최대/최소 Delay Rule 점검
same_net_traps	45도 각도 배선에 한해, 너무 작은 크기로 생성된 segment jog를 DRC 체크를 통해 확인(45도 이외의 각도는 사용불가)
use_accurate_delay_calculation	정확한 impedence / delay 계산을 위하여, Shape / Plane의 Hole과 Cut-out을 모두 포함한 동박의 실제 외형을 구현(계산 속도 느려짐, Plane layer의 Shield 플래그 꺼짐)





CATEGORY: etch	
	동박(Etch) 설정
acon_diag	45도 배선에서 사선(45도) 배선 도중 잠시 작업을 종료했다가 다시 재작업 할 경우, 배선방향을 그대로 유지(기본값 수직방향)
acon_no_impedance_width	Add connect 명령에서 배선폭에 대한 impedence rule을 적용하지 않음(기본값은 impedence rule에 맞는 배선폭의 최소값 적용)
acon_offnet_snap	Add connect 명령에서 Bubble 처리방법 결정(Hug, End point 지정, 무시)
acon_oldhlt	Add connect 명령에서 강조 표시할 부분을 결정(From to - 작업중인 패턴부, All - 해당 Net 전체, Off, 기본값 : 속성에서 NO_RAT 또는 POWER_AND_GROUND가 설정되지 않은 모든 Net 전체 강조)
acon_restore_space_mode	Group Route mode에서 배선간격을 Current Space로 설정하지 않고, 앞에 작업한 Space 값을 적용
acon_route_on_active_subclass	배선 Layer를 항상, 제어판 Option 탭의 Active Subclass에서 부터 시작하게끔 설정
allegro_dynam_timing	배선 중, Constraint Manager와 연동하는 Dynamic timing feedback 기능을 켜거나 끔
allegro_dynam_timing_fixedpos	배선 중 나타나는 Dynamic timing feedback 표시창의 위치를 제어판에 고정하거나 커서주변에 표시
allegro_etch_length_on	배선 중, 배선길이와 같은 배선정보 표시



CATEGORY: etch	
	동박(Etch) 설정
bubble_no_display_invisible	배선 중, 화면에 표시되지 않는 객체가 배선의 영향을 받아, Bubble 될 경우 이를 표시 하지 않음(기본값:Bubble 내역 표시)
bubble_shove_bondpads	(Via Shove가 허용된 상태에서)Bond Pad의 Shove 허용(기본값 : Bond Pad Shove 금지)
no_show_dynam_elec_errors	오류 발생시 배선의 Center line 표시로 DRC를 표시 하지 않음
padentry_factor	두개 이상의 Net 배선에서 Pin/Via Spacing Rule의 값을 %단위로 작게 설정(Pin/Via Space = 100%)
rats_factor	Rats Nest의 표현형태를 0.0 ~ 1.0 사이의 값으로 지정(0.0 - Manhattan Length(최단거리), 1.0 - 수직/수평 표시)
ratt_off_if_connected	배선 완료된 Rat Ts의 표시방법 결정(on : 배선완료와 동시에 바로 숨김, Unhighlight : 강조시에만 표시)
slide_no_snap	기본적으로 Slide mode에서 수정중인 Cline Segment를 인접한 배선의 Cline에 Snap(배선간 정렬) 하게끔 되어 있으며, 체크할 경우 Snap 하지 않음



CATEGORY: file_management	
	파일 버전, 리비전 조정 관련 설정
ads_autosaverevs	자동저장되는 파일의 수(기본값 : 0)
ads_boardrevs	작업 결과물(*.brd, *.심볼)의 백업저장 수(이전 버전은 확장자 뒤에 숫자가 추가되며, 기본값 : 1)
ads_logrevs	저장되는 로그파일의 수
ads_sdart	artwork film 파일이 저장될 하부폴더 경로
ads_sdlog	로그파일이 저장될 하부폴더 경로
ads_sdplot	Plot(파일로 저장된 인쇄물)파일이 저장될 하부폴더 경로
ads_sdreport	리포트 파일이 저장될 하부폴더 경로
ads_textrevs	작업물(*.brd, *.심볼, *.log) 외 파일들의 백업저장 수(기본값 : 2)
journal_nobuffer	저널 파일을 이용한 파일 출력의 버퍼링 금지(기본값 : 버퍼링 허용)
journal_prefix	저널파일에 삽입할 접두사의 내용(ex : 접두사_allegro.jrl)
temp	작업물의 임시 저장경로 설정 - pcbenv 디렉터리(일반적으로 사용자계정의 Home 디렉터리로 지정되며, env파일(환경변수 저장파일)은 알레그로 설치경로에 존대하는 global 파일보다 Home 디렉터리의 local 사용자 파일이 우선권을 가집니다. 윈도의 경우 x:\document and settings\사용자 폴더로 지정되므로, 가급적 최초 실행 후, 찾기 쉬운 경로로 변경하는 것이 차후 환경변수 설정을 위해 좋습니다.)





CATEGORY: gloss	
	Gloss 설정
cbd_check	Gloss 실행 중 DRC 동시 실행 여부
gloss_pad_shape	패드형상을 사각형으로 간주하여 패드로의 배선접속을 개선 할 것인지의 여부

CATEGORY: idf	
	IDF (Mechanical Interface) 관련 설정
idf_ignore_comp_height	idf_out의 comp_height설정 무시(심볼에 정의된 height value로 대체)
idf_ignore_part_number	ifd_out의 PART_NUMBER 속성 무시(심볼에 정의된 device type으로 대체)
idf_nodelete	IDF파일의 .PLACEMENT와 .NOTES 항목을 제외한 나머지 부분을 import하지 않음(=기존 Data 내용을 유지)
idf_place_bounds_bottom	(Package Geometry에 속한 부품 외형 클래스)해당 클래스를 활성화(IDF_PLACE_BOUNDS_TOP도 활성화 되어야 한다.)
idf_place_bounds_top	(Package Geometry에 속한 부품 외형 클래스)해당 클래스를 활성화(IDF_PLACE_BOUNDS_BOTTOM도 활성화 되어야 한다.)





CATEGORY: input	
	키보드, 마우스 입력 설정
cancel_key	취소키 지정(기본값 : CTRL+C, 사용가능한 키 : 알파벳/숫자, CTRL+알파벳, <esc>)</esc>
canvascommandmode	funckey등의 예약명령어가 입력될 때, 자동으로 Enter 키가 입력되는 것을 방지(15.0이전의 방식으로 변경하는 것을 의미하며, 마우스포인터가 콘솔창에 위치할 때는 이 항목의 설정에 상관없이 Enter키는 입력되지 않는다. 기본값 : Enter 키 자동입력 허용)
form_oldreturn	Enter키를 Tab키의 역할(OK버튼 입력이 아닌, 다음항목 이동)로 설정
no_dragpopup	마우스 제스처의 입력방식 변경(CTRL+마우스 오른쪽 버튼 -> 마우스 오른쪽 버튼), 설정여부에 관계없이 마우스 오른쪽 팝업메뉴 사용가능
no_dynamic_zoom	마우스 가운데 버튼(또는 휠)을 이용한 dynamic zoom 기능 비활성화(도면 이동 및, memorized zoom in, zoom out 기능으로 변경됨)
no_zoom_to_object	Find 등으로 객체를 찾을 때, 찾은객체를 화면에 꽉차게 확대하는 기능을 비활성화





CATEGORY: misc	
	기타 설정
all_license_choices	라이센스 보유여부에 관계없이 모든 라이센스 항목을 표시
allegro_old_report	15.2 이전에 사용된 text 기반 report를 사용(기본값 : HTML 기반 report, 이 항목을 사용하지 않더라도, consol창에서 old_reports 명령으로 text 기반 report를 출력할 수 있다. old_reports 명령은 이후 버전에서 삭제 예정)
autosilk_disregard_solder_mask	AutoSilk 실행 중, Solder_mask 영역이 지정되지 않은 via에 대해서도 clear 작업 실행
dcnets_delete_norat	DC net 설정에서 Power and Ground 속성이 할당된 Net들의 NO_RAT 설정을 제거
draft_retain_class_subclass	Dimension/Draft 명령 실행 시, 활성 Layer를 현재의 Layer로 유지(기본값 : Board Geometry / Dimension layer로 전환)
fst_ref_des	Auto rename 작업에서 Refdes의 시작순번을 특정 숫자로 지정
icpkg_unplace_comps_on_delete	die 나 package에서 삭제된 symbol 부품의 배치되지 않은 일부로 남기도록 설정.(15.5 이전의 방식, 기본값 : 독립적인 symbol로 인정하여 제거시 해당 symbol을 삭제)
ignore_external_highlight	Cross-Probe를 이용하여 들어오는 외부프로그램의 선택 강조표시를 사용하지 않음
logic_edit_enabled	net logic 명령(배선연결 변경등) 활성화





CATEGORY: misc	
	기타 설정
nclegend_file	NC Drill Legend(드릴차트)의 템플릿을 위한 별도의 파일경로 지정(파일명 외의 경로등의 내용이 들어가서는 안되며, 템플릿 검색경로는 환경설정 config path 카테고리의 ncdpath에 지정된 경로를 참고)
noswapripup	핀 스왑 또는 게이트 스왑중 패턴 해제를 하지 않도록 설정(Component Swap에서는 해당되지 않음, 기본값 : 패턴 해제 허용)
old_style_flash_symbols	14.0 이전 방식의 Thermal Flash Symbol 사용
pcb_baf_pin_number	Backannotation 작업 중, function을 정의 해야하는 핀의 변경 기준을 핀이름이 아닌 핀번호로 설정
preserve_symbol_textblocks	부품에 속한 Text Block Size가 Board의 Text Block Size 설정과 일치하는 것을 허용하지 않음(12.0 이후 버전에서는 부품을 배치할 때, 부품의 Text를 Board의 Text설정에 맞추려 한다, 기본값 : Text 설정 일치 허용))
schematic_editor	회로도면 편집 프로그램 지정
swapcomp_acrossmodules	모듈간 Swap에 나타나는 확인창을 제거(15.0 이전 방법)
xsection_modern	PCB SI의 cross-section 메뉴를 사용(주의 : Layer수가 많아지면 느려질 수 있고, 기존 Xsection 아이콘은 제거됨, 퍼포먼스 옵션이 탑재되거나 6xx 이상에서만 설정 및 사용 가능)





CATEGORY: plot	
	인쇄 설정
noplotmargins	여백없이 인쇄(기본값 : 1인치 가량의 여백 할당, MS-Windows 전용 설정)
plot_shape_spacing	Shape를 구성하는 선간격 설정(인쇄속도 향상을 목적)
plot_vectext_width	Vectorized text Line의 width 값(주의 : plot_vectorize_text가 활성화 되어야 한다. *.ini 파일에 저장된 plot_setup 설정이 우선시 한다.)
plot_vectorize_text	Text를 벡터화 하여 인쇄(plot setup의 IPF setup 또는 위의 plot_vectext_width 설정을 따르며, *.ini 파일에 의해 설정이 변경될 수 있다.)
print_nt_extension	MS-Windows 전용 : 인쇄에 사용할 외부프로그램을 해당프로그램에서 사용하는 확장자 이름으로 지정(주의 : txt파일이 메모장이 아닌 그림판에 할당되어 있으면, 인쇄작업을 진행하는 주체는 메모장이 아니라 그림판이 된다.)
print_unix_command	UNIX 전용 : 인쇄시 사용할 Print Device를 lp 대신 다른 것으로 사용하고자 할 경우 지정

VIIK	209	
roaminc	키보드 화살표키를 이용한 화면이동 간격 거리를 픽셀단위로 설정(16px 단위로 설정을 권장, 설정 7 256px, 기본값 : 96px)	├능한 픽셀 범위 : 16 ~
pcb_autoroam	화면 이동 거리를 밀리초 단위 시간 간격의 형식으로 설정(ex : 1000(ms)은 초당 1씩 이동, 기본값 : 2	250(ms))
	Roam - 화면이동 설정	
CATEGORY: roam		

CATEGORY: shape	
	Shape 설정 - dynamic / static
av_endcapstyle	Cline 종료점 주변의 Void 유형을 결정(Static shape 전용, 기본값 : octagon)
av_inline	(수직으로 배열된 동일한 크기의 Pin에 한해)Pin의 그룹 Void 여부를 핀간의 거리로 결정(Static shape 전용, 적용 범위 : 0 ~ 100(mil), 기본값 : 100(mil), 적용 조건 : Static shape의 Parameter -> Void Control -> Create pin Voids를 In-Line으로 설정)
av_thermal_extend	Thermal Relief 생성 중, 핀으로부터 추가이격거리 또는 Shape 대 Pin 연결 Line의 길이 설정(Static shape 전용, 기본값 : 5(mil))
dv_endcapstyle	Cline 종료점 주변의 Void 유형을 결정(Dynamic shape 전용, 기본값 : octagon)
highlight_shape_net	Shape를 선택할 때 Shape에 할당된 Net도 같이 강조하여 표시
new_shape_fill_nt	MS-Windows 전용, stipple(점묘화) 패턴으로 shape를 채움(기본값 : Line hatch, 화면이 울렁거릴경우 윈도의 색상을 16Bit 색상으로 변경하면 해결가능하다)
no_shape_fill	Shape 채움 사용하지 않음(Shape의 이격선을 포함한 외곽선만 표현됨)
old_shape_fill_style	Shape를 Line Hatch로 채움
pad_drcplus	패드주변 이격값 추가(지정된 값은 적용 후, shape parameter의 DRC 이격설정에 더해진다)
shape_add_filltype	Shape 명령을 호출할 때, 나타나는 기본 Shape 유형을 지정(이 설정에 관계없이 Shape 명령 호출 시, 제어판에는 직전에 사용한 Shape 유형이 선택되어져 있다.)
shape_drag_move	마우스를 이용한 Shape 전체 이동 허용
shape_noclip_rki	Route keepin 바깥에 배치된 Shape를 자동으로 자르지 않고 DRC 오류만 생성(기본값 : Route keepin 바깥의 Shape를 자동으로 제거, 15.5 이전의 기능을 복원)
	210 cādence"



CATEGORY: show_element	
	Show Element 기능 설정
noshow_current_selections	미리 선택된(한 개 또는 그 이상) 객체의 정보를 표시 하지 않으며, Show Element 명령은 다른 명령과 같이 수행 가능한 동시 실행이 아닌 단일 실행 명령으로 변경된다
show_max_manhattan_pins	하나의 net에 대해서 Manhattan Length정보의 표기를 허용할 최대 Pin 연결수(적용 범위 : 0 이상의 자연수, 기본값 : 50, 하나의 net에 50개이상의 핀이 연결되어 있으면, 퍼포먼스 문제로 인해 Show Element에서는 Manhattan Length 정보를 표기하지 않는다. NO_RAT 속성을 갖고 있는 PIN은 설정여부에 관계 없이 Manhattan Length를 표기하지 않는다)
showelement_autoavoid	주 작업창을 피하여 Element 창을 표시(기본값 : 미리 기억된 이전 위치에서 Element 창 표시)
showelement_basearea	영역의 크기를 Board Unit 대신 Inch^2 또는 Cm^2 의 단위로 표시
showelement_brief	객체의 세부항목정보를 필터링
showelement_highspeed	배선정보를 PCB SI 형식으로 표시(Allegro 또는 Allegro Package Designer 전용)



CATEGORY: signal_analysis	
	신호해석 설정
anl_min_void_area	해석에서 적용할 Shape의 최소 Void 영역을 mil 단위로 지정(기본값 : 99(mil), 입력값이 99(mil) 일때 99x99 mils^2의 크기를 최소 Shape Void 영역으로 사용)
anl_show_coupled_trace	기생성분 계산(Display -> Parasitic) 명령은 선택한 동박의 특성(임피던스, 딜레이 등)을 나타내며, 이 속성을 설정하면 추가로 인접지역이 Cross-Talk 및 multi-trace 모델명을 표시한다.
directconvolutionwithapproximation	S파라미터를 포함하는 시간영역 해석의 속도 개선
enforce_welement_simulation	Timestep 단위 이하의 전송시간을 가질 정도로 짧은 Cline Segment도 모두 시뮬레이션 가능하게 모델화 하도록 설정
frequency_at_max_loss_tangent_in_g hz	Loss Tangent 값이 최대가 되는 주파수 위치 지정(기본값 : 1 Ghz, 신호 주파수에 대한 유전 손실 탄젠트(Loss Tangent) 비선형적 의존성 제어)
sig_mapfile_orgpath	Signal Model Assignment 폼에서 "Include ORIGINAL Model Path in Map File" 옵션 사용(선택 : 0 또는 1, 기본값 : 0(해당 옵션 사용하지 않음))
sig_pinuse_frozen	component를 device model에 할당 할 때, 각 핀에 대한 pin use code를 덮어 씌우는 것을 금지(기본값 : 허용)
signal_install_dir	표준 signoise 모델 라이브러리를 보유하고 있는 폴더 경로를 지정
signal_optlib_dir	추가(optional) signoise 모델 라이브러리를 보유하고 있는 폴더 경로를 지정
signoisepath	Signoise 모델 관련 파일 경로(*.dat, *.wave, *.ibs, *.ctl)





CATEGORY: signal_analysis	
	신호해석 설정
sigxp_allowoldrevs	SignalXP에서 작성된 토폴로지를 이전 버전 Constraint Manager로 import 허용(이전 버전에 사용되지 않는 구성요소는 모두 무시됨)
sigxp_length_mode	T-line 지연을 길이로 표현(기본값 : 시간으로 표현)
sigxp_tier	SignalXP의 라이센스 강제 지정
simsavefiles	시뮬레이션 이후에도 생성된 circuit file을 보존(기본값 : 시뮬레이션 완료 후, circuit file 삭제)
sn_maxwidthlimit	Shape화 하지 않고 Trace로 모델링하고자 하는 Trace의 최대 선로 폭(기본값 : 40(mil))
sq_enable_udiff_extraction	Diff-pair 모델이 없지만, 사용자가 Diff-pair로 지정한 Net 들을 쌍으로 Net topology 추출(기본값 : 사용자 Diff-pair 설정을 무시하고 단일 Net topology 추출)
trapezoidal_angle_in_degree	배선의 단면을 직사각형이 아닌 사다리꼴로 적용할 경우 하단 예각의 각을 입력(값의 입력이 없을경우 90도=직사각형)
use_accurate_delay_calculation	Shield Layer의 Hole을 delay 계산에 포함



CATEGORY: skill	
	SKILL 설정
skill_height	MS-Windows 전용, telskill 입력창의 높이 설정(입력 범위 : 10 ~ 50, 기본값 : 24)
skill_linebuffer	MS-Windows 전용, telskill 입력창의 줄 기억 설정(입력 범위 : 40 ~ 2500, 기본값 : 24)
skill_old_ilinit	기존의 ilinit파일을 Load(기본값 : 기본 폴더(%프로그램 설치경로%/pcb/etc/skill 또는 \$HOME/pcbenv 또는 \$ALLEGRO_SITE/skill)에서 ilinit Load)
skill_width	MS-Windows 전용, telskill 입력창의 폭 설정(입력 범위 : 40 ~ 140, 기본값 : 80)
telskill	스크립트 개발용 Skill 명령콘솔 실행 허용

CATEGORY: title	
	작업창 제목줄 설정, 20자 이하 권장
title_allegro	알레그로 PCB Editor 작업창의 제목줄 설정
title_apd	알레그로 패키지 디자이너 작업창의 제목줄 설정
title_sigxp	알레그로 PCB SI 작업창의 제목줄 설정



CATEGORY: ui	
	사용자 입력 환경 설정
allegro_html	모든 메시지를 HTML 형식으로 출력
browser_text_size	내장 브라우저의 텍스트 크기를 설정(기본값 : medium)
fontface	윈도 폼에 사용되는 가변폭 글꼴 지정(기본값 : MS Sans Serif, 한글글꼴이름 입력금지!!)
fontfixedface	윈도 폼에 사용되는 고정폭 글꼴 지정(기본값 : Courier, 한글글꼴이름 입력금지!!)
fontsize	윈도 폼에 적용될 글꼴 크기 지정(기본값 : 12)
fontweight	윈도폼에 적용될 글꼴 굵기 지정(기본값 : 400)
http_netscape	UNIX 전용, 기본 HTML 뷰어를 변경(기본값 : 넷스케이프)
http_newwindow	UNIX 전용, HTML 창을 새 창으로 실행
noabout	프로그램을 시작 중, 프로그램 정보창을 보이지 않음
noconfirm	동작확인을 위한 대화상자를 띄우지 않음
noformscriptbutton	스크립트 파일 등록/저장 중, add/reset 버튼 등의 실행을 스크립트 내역에 기록하지 않음
pcb_cursor	마우스 포인터의 형태를 작은 십자 또는 무한 십자의 형태로 표시
pcb_cursor_angle	(마우스 포인터가 무한십자일 경우)마우스 포인터의 회전각 설정(각 범위 : 0 ~ 90)





CATEGORY: ui	
	사용자 입력 환경 설정
readme_never	프로그램 시작 중, README 파일 보이지 않음(15.0 이후로 사용하지 않음)
recentfilelist	최근 작업한 파일(Recent Files)의 개수 지정(기본값 : 10)
report_height	리포트 메뉴창의 높이(줄단위) 지정(입력 범위 : 20 ~ 70)
script_keepformopen	스크립트 재생중 스크립트 다이얼로그를 열린상태로 유지
script_startup	프로그램 시작시, 실행할 스크립트의 위치 지정(ex : 이름을 myscript 로 지정하면, 프로그램 시작시, 알레그로는 allegro_myscript.scr, 패드 디자이너는 pad_designer_myscript.scr 을 찾음)


- PCB Editor Preference Index / Categories Description

CATEGORY: ui_paths	
	UI 구성파일 저장경로 설정(가급적 손대지 말 것)
formpath	UI 폼 파일 저장경로
menupath	메뉴 폼 파일 저장경로
prfeditpath	사용자정의 환경설정 파일 저장경로

CATEGORY: undo	
	Undo/Redo 설정
max_undo_memory	최대 Undo/Redo 메모리 사용량(범위 : 0 ~ 100MB, 기본값 : 4MB)
undo_depth	최대 Undo 명령 기억수(범위 : 0 ~ 50, 기본값 10)

CATEGORY: z_early_adopter	
	차기버전 추가 기능(기능은 구현되었으나, 검증되지 않음)
datatips	마우스 오버된 위치의 객체에 대한 정보를 풍선도움말로 표시, 명령수행중 해당명령에서 선택가능한 객체의 정보만 표시
datatips_delay	풍선도움말의 출현 지연시간
datatips_fixedpos	풍선도움말의 위치를 제어판 아래쪽에 고정



Code	Constraint Violation
B - B	Bond Pad to Bond Pad
B - L	Bond Pad to Line
B - S	Bond Pad to Shape
C - C	Package to package
	Soldermask to soldermask
D - C	DFA Package to package
D - I	Negative plane islands
D - P	Phase Tolerance - Tolerance
D - S	Line to Line Spacing
D - U	Max
E - D	Max Final Settle Max, Min First Switch Min, Noise Margin Min, Overshoot Max, Propagation Delay Max, Propagation Delay Min, Propagation Delay Path Type, Relative Propagation Delay Delta, Relative Propagation Delay Path Type, Relative Propagation Delay Scope



Code	Constraint Violation
E-L	Layer Sets, Max Exposed Length, Total Etch Length Max, Total Etch Length Min
E - P	Parallelism
E - S	Max Stub Length
E - T	Verify Schedule
E - V	Max Via Count
E - X	Active Window, Max Xtalk, Max Peak Xtalk, Sensitive Window, Maximum Inter Crosstalk, Maximum Intra Crosstalk
F - C	Bond finger to component, Bond Pad to Component Edge
F - F	Bond Pad to Bond Pad (same net)
	Bond Pad to Component Edge



Code	Constraint Violation
I - M	Single-line Impedance Target and Tolerance
J - N	Allow - Ts
K - B	Bond Pad to Route Keepin, Bond Pad to Route Keepout, Bond Pad to Via Keepout
K - C	Package to place keepin, Package to place keepout
K-L	Line to Route Keepin, Line to Route Keepout
K - P	Thru Pin to Route Keepin, Thru Pin to Route Keepout, SMD to Route Keepin, SMD to Route Keepout, Test Pin to Route Keepout, Test Pin to Route Keepout, Test Pin to No Probe
K - S	Shape to Route Keepin, Shape to Route Keepout



Code	Constraint Violation
K - V	Via to Route Keepin, Via to Route Keepout, Via to Via Keepout, BB Via to Route Keepin, BB Via to Route Keepout, BB Via to Via Keepout, Test Via to Route Keepin, Test Via to Route Keepout, Test Via to Via Keepout, Test Via to No Probe
L - L	Line to Line
L - S	Shape to Line
L - W	Line Width - Max, Line Width - Min, Neck - Max Length, Neck - Min Width





Code	Constraint Violation
L - W	Line Width - Max, Line Width - Min, Neck - Max Length, Neck - Min Width
M - A	Soldermask alignment, Pad Soldermask Alignment, Symbol Soldermask Alignment
M - C	Symbol Soldermask to Pad Soldermask
M - L	Soldermask to pad and cline
M - M	Pad Soldermask to Pad Soldermask
M - P	Soldermask to Pin
M - S	Soldermask to shape
M - V	Soldermask to Via
P - B	Bond Pad to SMD Pin, Bond Pad to Test Pin, Bond Pad to Thru Pin
P-L	Line to SMD Pin, Line to Test Pin, Line to Thru Pin





Code	Constraint Violation
P - P	SMD Pin to SMD Pin, SMD Pin to Test Pin, Test Pin to Test Pin, Thru Pin to SMD Pin, Thru Pin to Test Pin, Thru Pin to Thru Pin
P - S	Shape to SMD Pin, Shape to Test Pin, Shape to Thru Pin
P - V	SMD Pin to BB Via, SMD Pin to Test Via, SMD Pin to Thru Via, Test Pin to BB Via, Test Pin to Test Via, Test Pin to Thru Via, Thru Pin to BB Via, Thru Pin to Test Via, Thru Pin to Thru Via
R-C	Package to room
S - N	Allow - Etch
S - S	Shape to Shape



Code	Constraint Violation
T - C	Testpoint loc. to component, Testpoint pad to component, Testpoint under component
V - B	Bond Pad to BB Via, Bond Pad to Test Via, Bond Pad to Thru Via
V - G	Allow - Pad-Pad Connect, BB Via Stagger - Max, BB Via Stagger - Min, Min BB Via Gap
V - L	Line to BB Via, Line to Test Via, Line to Thru Via
V - N	Vias
V - S	Shape to BB Via, Shape to Test Via, Shape to Thru Via
V - V	BB Via to BB Via, BB Via to Test Via, Test Via to Test Via, Thru Via to BB Via, Thru Via to Test Via, Thru Via to Thru Via



Code	Constraint Violation
W - A	Min. bonding wire length, Wire to die edge angle
W - D	Bonding wire diameter
W - E	Wire end to wire end
W - F	Wire to bond finger
W - I	Max. bonding wire length
W - P	Wire to pin
W - W	Wire to wire (same profile)
W - X	Wire to wire (different profile)
X - D	Externally Determined Violation

