

DDR-SDRAM에서 PCI-Express까지

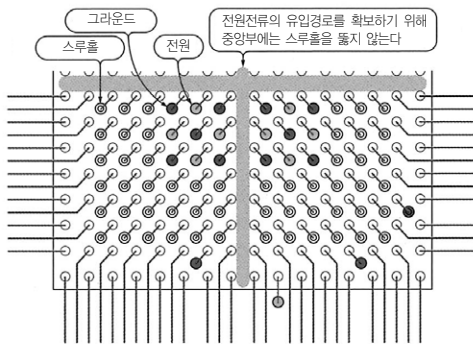
9 디지털회로의 배선 실례 모음

五十嵐 拓郎/村田 英孝

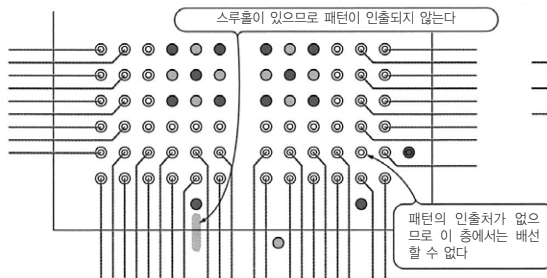
BGA에서의 패턴 인출과 층 수의
견적방법

五十嵐 拓郎

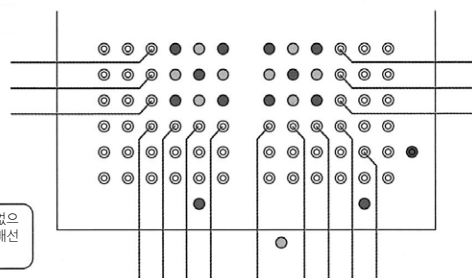
그림 1은 1.27mm 피치의 256핀 풀그리드 BGA를 핀간 3분
물로 배선한 패턴이다. BGA의 바깥쪽 5열이 패턴 인출이 필요



(a) 부품면 패턴 ... 부품면에서는 외주 2열 인출 가능



(b) 내층 패턴 1 ... 최초의 내층에서는 2열분 인출이 가능하다. 단, 방해되는 스루홀이 있으면 1열밖에 인출되지 않는다



(c) 내층 패턴 2 ... 2층 째 이후의 내층에서는 1열만 인출 가능

그림 1. 1.27mm 피치의 256핀 풀그리드 BGA를 핀간 3개 물로 배선한 패턴

한 신호선이고, 나머지는 전원이나 그라운드로 되어있다는 것을
상정하고 있다.

그림 1에서 층이 3개 있으면 배선할 수 있다는 것을 알 수 있
다. 뎀납면에 바이패스 콘덴서 등의 작은 부품을 배치하고 전원
층과 그라운드층을 부가한다면 합계 6층이 필요하다.

1. 배선 요령

(1) BGA 중심부에는 스루홀을 뚫지 않는다

배선 인출용 스루 홀은 BGA의 중심점에서 봤을 때 바깥쪽으로
뚫고, BGA 중심의 십자 상에는 스루홀을 뚫지 않도록 한다.
이것은 BGA 중심부로 전원전류가 유입되는 경로를 확보하기 위
해서이다.

(2) 전원과 그라운드층의 접속은 가급적 많은 스루 홀에서
실행한다

전원 임피던스를 내리기 위해 전원과 그라운드층의 접속은

가급적 많은 스루 홀에서 실행한다. 이상적으로는 1핀 당 1개의 스루홀이다.

또한 바이패스 콘덴서는 가급적 전원 스루홀의 근처에 배치하도록 한다.

(3) 프로그래머블 디바이스의 핀 할당에서는 배선이 쉬워 지도록 고려한다

FPGA 등의 프로그래머블 디바이스를 사용하고 기판 실장밀도가 높은 경우에는 패턴 배선에 맞추어 핀을 배열해야 한다. 신호 배선층을 감소시키는 경우가 많다.

양산 시의 코스트를 생각한다면 다소 번거롭더라도 핀 배열은 신중히 실행해야 한다.

2. BGA 실장 시 필요한 층 수 견적

표 1에 나타난다. 인출 열 수는 신호 패턴을 배선해야 하는 BGA 외주에서의 볼 열을 말한다.

전원 핀은 일반적으로 내층에 접속하며 배선을 인출하지 않으므로 카운트하지 않는다. 단, 2열째의 볼에 전원 핀이 있을 경우에는 전원 스루홀이 배선 인출의 장애가 되므로 필요한 배선층의 수가 증가하게 된다.

(1) 핀간 3개, 핀간 5개란

2.54mm 피치로 뚫린 스루홀 사이에 몇 개의 패턴을 통과시킬 것인가라는 설계 물이다. 핀간 3개라면 3개의 패턴이 통과하게 된다.

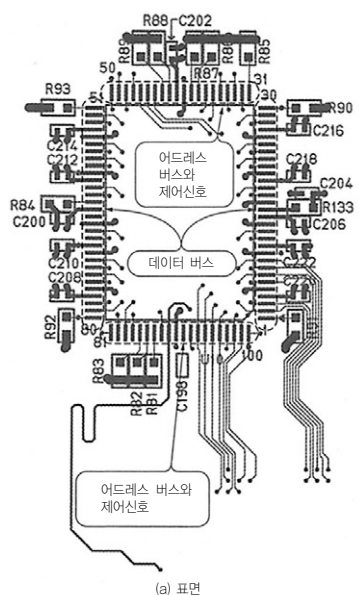
표 1. BGA에서 인출하는 신호선의 열 수와 인출에 필요한 프린트 기판의 층 수 관계

인출 열 수	최저 배선층 수	
	핀간 3개	핀간 5개
2열 이하	1층	1층
3열	2층	
4열		2층
5열	3층	
6열	4층	
7열	5층	

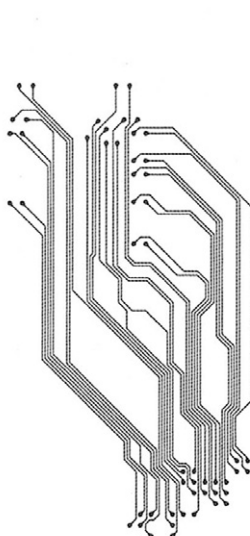
(a) 1.27mm 피치 BGA인 경우

인출 열 수	최저 배선층 수	
	핀간 3개	핀간 5개
2열 이하	1층	1층
3열	2층	
4~6열	-	2층
7~8열		3층
9~10열		4층
11~12열		5층

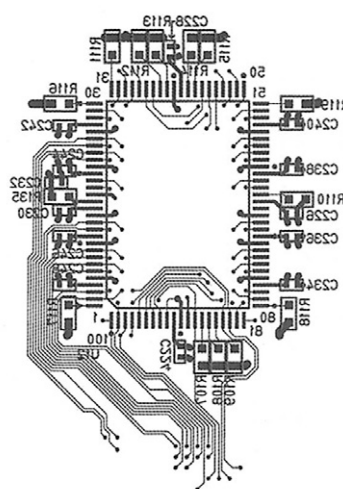
(b) 1mm 피치 BGA인 경우



(a) 표면



(b) 내층



(c) 뒷면(표면에서 투시)

그림 2. 데이터 버스 폭 32비트의 SSRAM을 기판 표면, 뒷면에 배치한 패턴

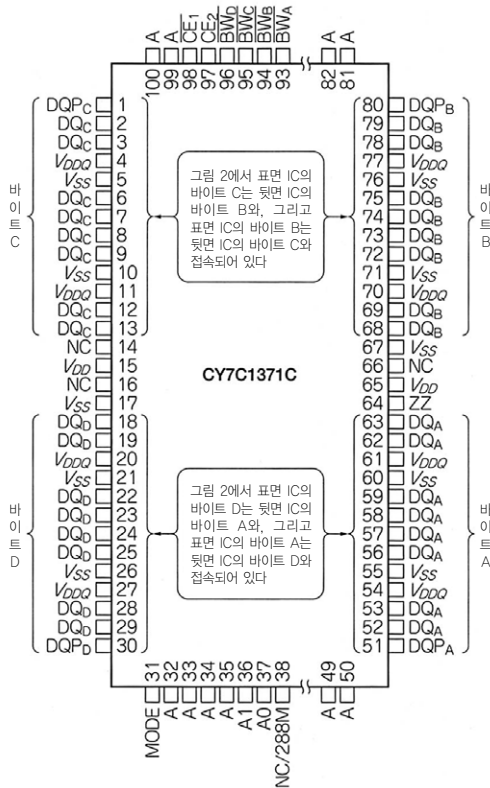


각 회사마다 약간씩 차이가 있을 것이라 생각되지만, 내가 근무하는 곳에서 사용하고 있는 각 룰에서의 최소 가공치수는 표 2에 나타난 바와 같다.

메모리 디바이스 주위의 배선을 최소로 하는 패턴링

五十嵐 拓郎

메모리 디바이스를 양면 실장하는 경우, 패턴 배선을 대폭 감소시킨다. 포인트는 기능 상 회로접속을 반전시켜도 동작이 변하지 않는 신호를 확인하여 결과 안에서 배선이 최소로 되도록 회로도의 시점에서 배선을 바꿔 놓는다. 예를 들어 데이터나 어



메모리의 데이터 버스는 이와 같이 바이트 단위로 취급되므로 우수한 효율로 배선할 수 있다

그림 3.⁽¹⁾ 사이프레스사 SSRAM CY7C1371C의 핀 배치

드레스 신호는 배선을 반전해도 기능동작에 변함이 없는 경우가 많다.

그림 2에 나타난 것은 데이터 버스 폭 32비트의 SSRAM CY7C1371C-100AC(사이프레스)를 기판의 겉과 안에 배치, 배선한 예이다.

그림 3에 나타난 방식을 바탕으로 하여 상당히 효율적으로 배선할 수 있다. 단, 부품 실장 시 프린트 기판에의 열 전달이 나빠지기 쉬우므로 납땜불량이 발생하거나 기판에 버 등이 일어날 수 있다.

패턴 설계시점에서 실장담당자와 협의하여 온도 프로파일 조정 등으로 대응할 수 있는지 확인하는 편이 좋을 것이다.

1. 데이터나 어드레스 신호의 핀 배치를 바꿔 효율적으로 배선한다

변경 가능/불가능한 핀을 확인한다. 확인 후 CAD 또는 책상에서 몇 가지 조합을 검토한다. 예를 들어 데이터 버스와 바이트

표 2. 핀간 3개, 핀간 5개라 불리는 설계 룰의 상세 내용 (단위 : mm)

항목	룰의 명칭	핀간 3개	핀간 5개
패턴 폭		0.15	0.1
패턴 간격		0.15	0.125
랜드 간격(외측)		0.25	0.15
랜드 간격(내측)		0.2	0.15
패턴-랜드 간격		0.15	0.125
랜드-패드 간격		0.225	0.225
패턴-패드 간격		0.175	0.125
스루홀 지름		0.35	0.25
랜드 지름(외측)		0.65	0.4
랜드 지름(내측)		0.75	0.4

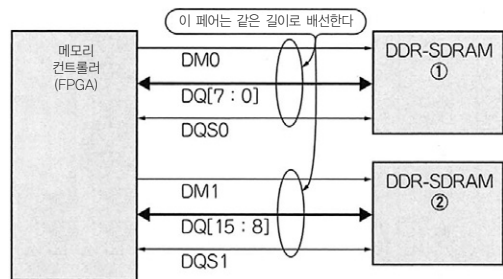


그림 4. 메모리 컨트롤러와 메모리 사이에 같은 길이의 배선이 필요한 신호

이네이블 신호 등은 단독으로는 바뀌 넣을 수 없어도 세트에 들어 있을 경우에는 바뀌 넣을 수 있다. 또 겹과 안으로 분기한 후의 배선 길이는 가장 짧게 또는 같은 길이로 하면 반사의 영향을 억제할 수 있다.

일반적으로 자주 사용되는 메모리에서는 다음과 같은 기준으로 바뀌 넣을 수 있는 신호를 선택한다.

(1) SDRAM

Data : 가능(대응하는 DQM과 세트에 바뀌 넣음)

DQM : 가능(대응하는 DATA와 세트에 바뀌 넣음)

Address : 불가능(모드 레지스터 설정에서 사용하므로)

BA : 가능

제어선 : 불가능

(2) SSRAM(Synchronous SRAM)

Data : 가능(대응하는 BWE와 세트에 바뀌 넣음)

BWE : 가능(대응하는 DATA와 세트에 바뀌 넣음)

Address : 일부 불가능(ADV 신호를 사용한 버스트 액세스

시, 하위 2비트는 바뀌 넣을 수 없음)

제어선 : 불가능

참 고 문 헌

- (1) CY7C1371C 데이터시트, 日本サイプレス(株).

DDR-SDRAM 데이터 버스의 타이밍 오차를 없애는 배선

村田 英孝

1. 회로의 개요

DDR-SDRAM에는 데이터 신호 DQ [0 : 7]과 마스크 신호 DM에 대해 하나의 스트로브 신호 DQS가 존재한다(그림 4). DQ [7 : 0]과 DM은 DQS 신호의 상승과 강하 양 에지에서 래치한다. 예를 들면 400MHz에서 동작하는 경우, 데이터가 2.5ns로 전환하게 된다.

메모리로부터의 출력은 각 비트에서 고체 차가 있다. Micron 제 DDR-SDRAM MT46V16M16-5B의 데이터시트를 참조하

면, 최악의 값에서 8비트의 유효 데이터 기간은 1.35ns밖에 존재하지 않는다.

여기에 추가하여 기판 상 패턴 배선 길이의 차이를 고려하면 유효기간은 더욱 감소된다.

2. 배선 요령

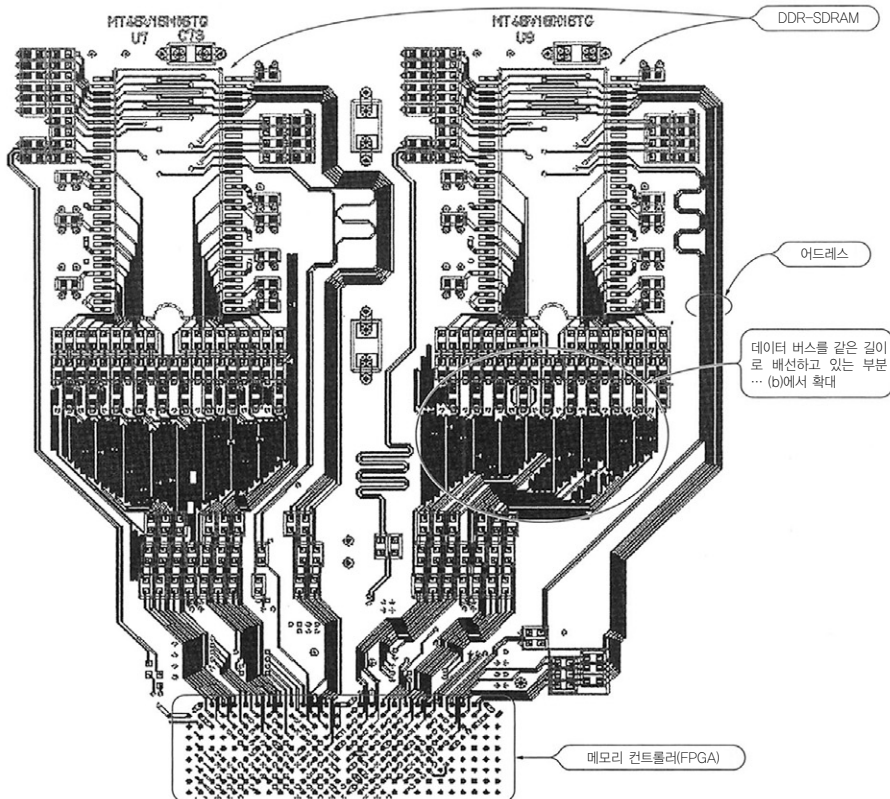
(1) 데이터나 스트로브 신호의 배선 길이 오차를 2.54mm 이내로 한다

1.3ns 이상의 유효기간을 얻기 위해서는 0.05ns, 즉 배선 길이 오차는 약 7.5mm 이내에서 같은 길이로 배선해야 한다. 실제 패턴 설계에서는 마진을 고려하여 배선길이 오차 2.54mm 이내에서 같은 길이로 배선(그림 5)할 것을 지시한다. 표 3은 그림 5에 나타난 패턴의 배선 길이 오차이다.

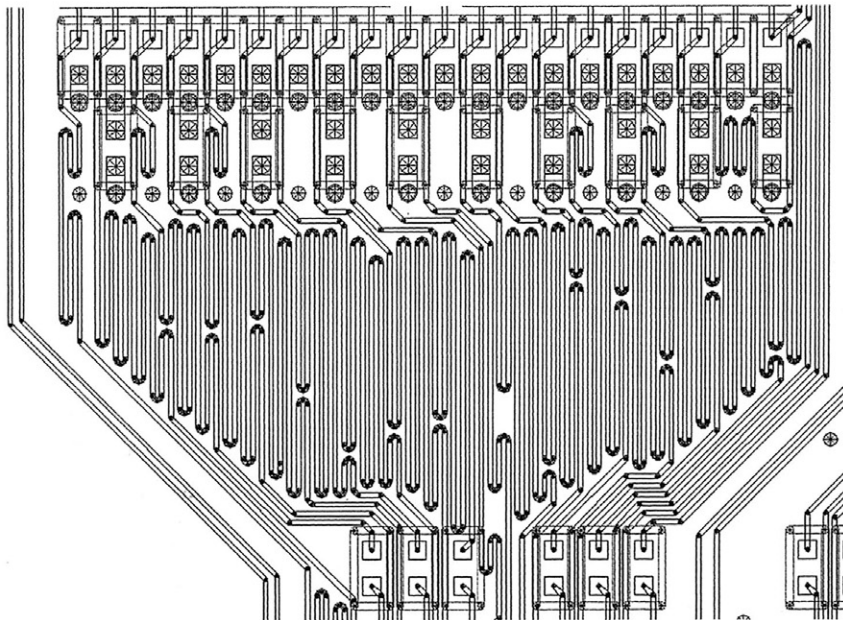
신호 레벨은 SSTL2가 되므로 배선 임피던스는 50Ω에 맞춘다. 알테라제 Stratix 시리즈에서는 DQS의 위상제어가 디바이

표 3. 그림 5에 나타난 패턴의 배선 길이 오차

항목	신호명	패턴 길이 [mm]
같은 길이의 그룹 ①	DDR0_DQ[15]	65,249
	DDR0_DQ[14]	65,128
	DDR0_DQ[13]	65,11
	DDR0_DQ[12]	65,176
	DDR0_DQ[11]	65,179
	DDR0_DQ[10]	65,013
	DDR0_DQ[9]	65,046
	DDR0_DQ[8]	65,113
	DDR0_DQS1	65,149
	DDR0_DM1	67,24
	같은 길이 배선 오차	2,227
같은 길이의 그룹 ②	DDR0_DQ[7]	65,041
	DDR0_DQ[6]	65,05
	DDR0_DQ[5]	65,209
	DDR0_DQ[4]	65,126
	DDR0_DQ[3]	65,105
	DDR0_DQ[2]	65,075
	DDR0_DQ[1]	65,063
	DDR0_DQ[0]	65,035
	DDR0_DQS0	65,064
	DDR0_DM0	67,217
	같은 길이 배선 오차	2,182



(a) 패턴 전체



(b) (a)에 나타난 데이터 버스의 일부 확대

그림 5. DDR-SDRAM과 메모리 컨트롤러 사이의 패턴

스 내부에서 실행되므로 패턴은 같은 길이의 배선에 있어서 최적이지만 위상제어를 실행할 수 없을 경우에는 별도의 패턴 연구가 필요하다.

패턴 길이와 패턴 임피던스에 대해 규정되어 있는 PCI/PCI-X 버스의 패터닝

村田 英孝

1. 배선 요령

PCI 버스 및 PCI-X 버스의 패턴에 관하여 해설한다. PCI 및 PCI-X에 관한 규격에서는 표 4와 같이 패턴 길이와 임피던스에

대해 규정하고 있다.

PCI-X 버스에 관해서는 PCI 디바이스에서 카드 에지까지 패턴 길이의 최대값과 최소값을 규정하고 있으므로 범위 내에 들어가도록 가설한다(그림 6).

FPGA를 사용하여 PCI 디바이스를 구성할 경우, 배선 길이를 엄수하기 위해 핀 배치에 유의한다. 시판되고 있는 PCI-IP를 사용할 경우에는 IP 메이커에서 제공되는 컨스트레인 파일(핀 제약)에 따라 핀 배치를 실행한다.

패턴 임피던스에 관해서도 규정이 있으므로 기판의 층 구성에 맞추어 패턴 폭을 결정한다. 클록 패턴은 그라운드를 사용하여 가드를 실시한다.

표 5에 그림 6의 패턴 배선 길이를 나타낸다. 규격값의 범위 내에 들어 있다.

표 4.⁽¹⁾ PCI 버스 및 PCI-X 버스의 애드인 카드에 있어서 배선길이의 규격값

항목	PCI-X		PCI	
	최소	최대	최소	최대
CLK 신호배선 길이	60.96	66.04	60.96	66.04
32비트 버스 신호 배선 길이	19.05	38.1	-	38.1
확장 64비트 버스 신호 배선 길이	44.45	69.85	-	50.8
RST 신호배선 길이	19.05	76.2	-	-

(a) PCI 애드인 카드의 배선 길이(단위 : mm)

항목	PCI-X	PCI
보드 임피던스 특성(무부하 시) [Ω]	57±10%	60~100
신호전파지연 [ps/mm]	5.91~7.48	5.91~7.48

(b) PCI 애드인 카드의 전송선로 사양

표 5. 그림 4에 나타난 패턴의 길이 (일부, 단위 : mm, 규격값에 들어 있다는 것을 확인할 수 있다)

신호명	배선 패턴 길이	규격값 [최소]	규격값 [최대]
PCIX_AD[63]	45,157	44,45	69,85
PCIX_AD[62]	46,083	44,45	69,85
PCIX_AD[61]	48,01	44,45	69,85
PCIX_AD[60]	54,308	44,45	69,85
PCIX_AD[3]	23,432	19,05	38,1
PCIX_AD[2]	27,166	19,05	38,1
PCIX_AD[1]	20,58	19,05	38,1
PCIX_AD[0]	21,713	19,05	38,1
PCIX_CLK	63,519	60,96	66,04
PCIX_RST	57,926	19,05	76,2

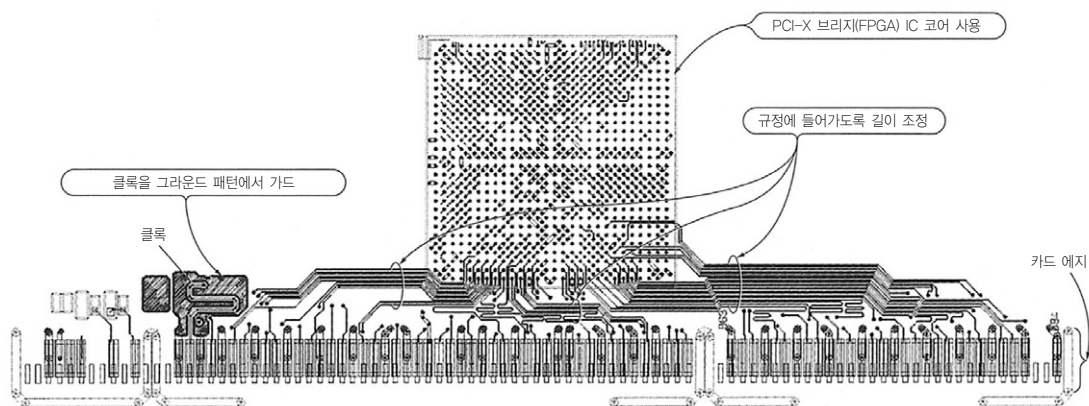


그림 6. PCI 디바이스에서 카드 에지까지의 패턴

2.5Gbps의 차동 신호를 전송하는 PCI-Express의 패터닝

村田 英孝

1. 규격의 개요

PCI 버스는 32비트 또는 64비트 폭의 패럴렐 버스이지만 PCI-Express는 시리얼 버스로 구성된다. 한 쌍의 차동 신호 당

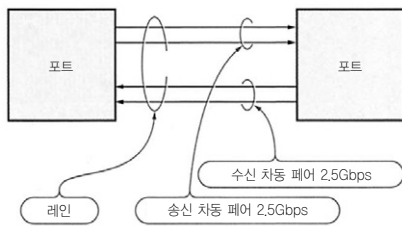


그림 7. PCI-Express의 레인 구조

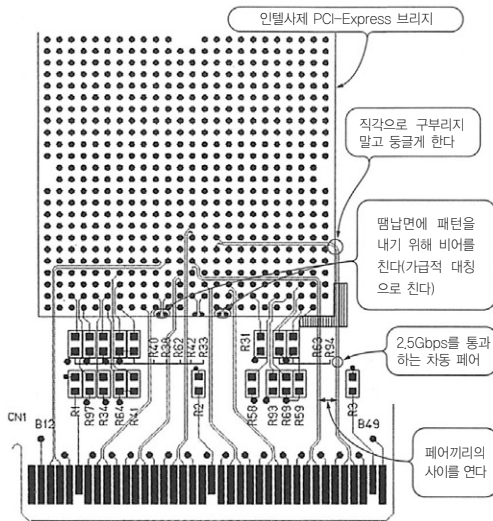


그림 8. PCI-Express와 PCI-Express 브리지를 8레인으로 접속했을 때의 패턴 (부분면)

표 6.⁽²⁾ PCI-Express의 차동 리시버 입력 임피던스의 사양 (단위 : Ω)

항목	최소	표준	최대
DC 차동 입력 임피던스	80	100	120
DC 입력 임피던스	40	50	60

2.5Gbps로 통신한다(그림 7).

차동 신호의 송신과 수신을 세트로 레인이라 부른다. 규격에서는 1/4/8/16/32의 레인 수가 정의되어 있기 때문에 전송대역을 고려하여 레인 수를 선택할 수 있다.

이번에 예로 드는 PCI-Express/PCI-X 브리지 41210(인텔)

표 7. 그림 8에 나타난 각 차동 페어의 배선 길이 (단위 : mm)

신호명	커넥터에서 IC까지의 선 길이	페어 사이의 오차
PCIE_RP0	35,967	0,002
PCIE_RN0	35,965	
PCIE_RP1	21,707	0
PCIE_RN1	21,707	
PCIE_RP2	24,964	0,003
PCIE_RN2	24,967	
PCIE_RP3	28,957	0,002
PCIE_RN3	28,959	
PCIE_RP4	23,24	0
PCIE_RN4	23,24	
PCIE_RP5	23,943	0,003
PCIE_RN5	23,94	
PCIE_RP6	37,407	0,002
PCIE_RN6	37,405	
PCIE_RP7	39,584	0
PCIE_RN7	39,584	

(a) PCI-Express 수신 측의 배선 길이(허용오차를 0,127mm로 지시)

신호명	커넥터에서 IC까지의 선 길이	페어 사이의 오차
PCIE_TP0	35,424	0
PCIE_TN0	35,424	
PCIE_TP1	30,962	0
PCIE_TN1	30,962	
PCIE_TP2	25,064	0,01
PCIE_TN2	25,074	
PCIE_TP3	30,197	0,003
PCIE_TN3	30,2	
PCIE_TP4	23,736	0
PCIE_TN4	23,736	
PCIE_TP5	26,355	0,011
PCIE_TN5	26,344	
PCIE_TP6	31,913	0
PCIE_TN6	31,913	
PCIE_TP7	37,606	0,003
PCIE_TN7	37,603	

(b) PCI-Express 송신 측의 배선 길이(허용오차를 0,127mm로 지시)

은 1/4/8 레인을 서포트한다.

이 디바이스를 사용한 PCI-Express 8 레인의 패턴에 관해서

는 다음에 설명하는데, 주로 고속 차동 신호의 패턴 설계에 관하여 정리되어 있다.

디지털·아날로그 혼재일 경우 차동 신호 전송이 유리하다

1. 싱글 엔드 전송방식은 신호를 통과시킬 때 불리하다

그림 A와 같은 디지털·아날로그 혼재회로에서는 아날로그 그라운드와 디지털 그라운드가 정확하게 분류되지 않는 경우도 있다.

또 기기의 프론트 패널 디자인에서 D-A 컨버터(이하, DAC) 등의 변환기와, 그것을 받아 외부로 아날로그를 출력하는 버퍼 앰프와의 거리가 떨어지는 경우도 있다.

이러한 상태에서는 디지털 회로에서 소비된 전류가 아날로그 외의 공용 그라운드를 통해 전원으로 복귀되고, DAC와 앰프와의

그라운드 사이에 펄스성 전위차를 발생시킨다.

또 DAC와 앰프 사이의 아날로그 신호 라인과 디지털 신호 라인이 인접해 있으면 패턴간 기생용량에 의해 디지털 신호가 아날로그 신호 라인으로 혼입된다. 그림 A의 회로에서는 노이즈 제거용 로우 패스 필터가 앰프 입력으로 들어가 있지만 노이즈에 대한 완전한 대책이라고는 할 수 없다.

2. 차동 전송방식이라면 신호 2개의 차전압은 증폭하고 동상전압은 억제한다

그림 A와 같은 싱글 엔드 전송방식에 대해 그림 B와 같은 차동 앰프를 사용하면 그라운드간의 펄스성 전위차에 의한 노이즈(코먼 모드 노이즈)를 경감시킬 수 있다. 차동 앰프는 신호전송 라인 2개의 차전압을 증폭하여 동상전압을 억제할 수 있다. 이 억제능력을 동상 모드 제거비(CMRR)라 한다.

(1) 시뮬레이션으로 차동 앰프의 효과를 확인한다

그림 C는 시뮬레이션에 의한 앰프의 출력파형으로 양쪽을 비교한 것이다. 차동 앰프의 CMRR과 그 주파수 의존성은, 사용하는 CR 부품의 정밀도와 앰프의 성능에 의존하기 때문에 그 조건을 나타내고 있다.

<中村 黄三>

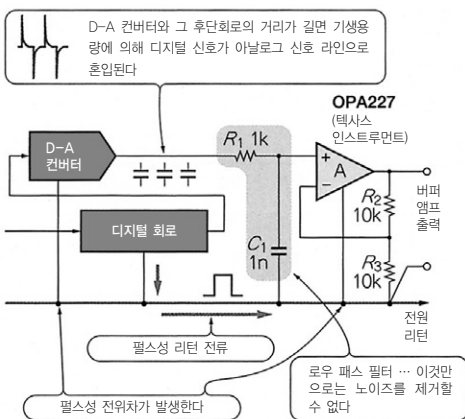


그림 A. 싱글 전송회로는 신호선에 노이즈가 혼입되기 쉽다

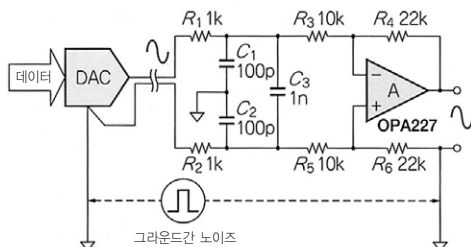
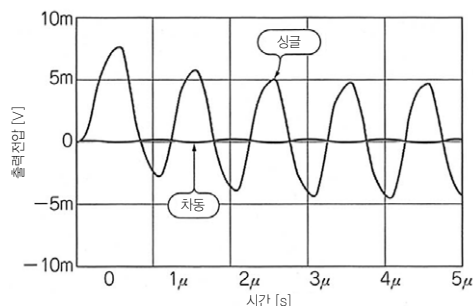
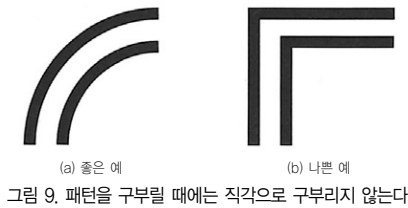


그림 B. 차동전송회로라면 그라운드 사이에 노이즈가 혼입돼도 리시버(OPA227)가 출력되지 않는다



OP 앰프 OPA227의 성능 : 대역폭은 8MHz(typ.), CMRR은 120dB(min.),
필스 잡음원 : 진폭은 10mV, 주파수는 1MHz, 상승/하강 속도는 10ns, 차동
앰프 부품 정밀도 : 저항 0.1%, 콘덴서 1%의 오차로 웨이트 케이스의 조합

그림 C. 차동 전송회로의 효과를 시뮬레이션한 결과



2. 배선 요령

(1) 임피던스 조정으로 신호품질 확보

패턴을 그림 8에 나타낸다. 차동 페어 또는 페어를 구성하는 1개(라인)의 임피던스를 패턴 간격과 패턴 폭에 의해 조정하고 신호품질(시그널 Integrity, SI)을 확보한다. PCI-Express에서는 임피던스가 표 6과 같이 규정되어 있다.

(2) 차동 페어는 같은 간격, 같은 길이로 다른 페어와 거리를 둔다

차동 페어 내에서는 같은 길이로 배선한다. 같은 길이의 오차는 0.127mm 이하를 지시한다(표 7). 패턴을 구부릴 경우에는 R을 부가하여 구부린다. 차동 페어를 같은 간격으로 유지함에 따라 임피던스의 외란을 억제한다(그림 9).

패턴은 가급적 표면층에서 가설하며 신호의 열화를 방지하기

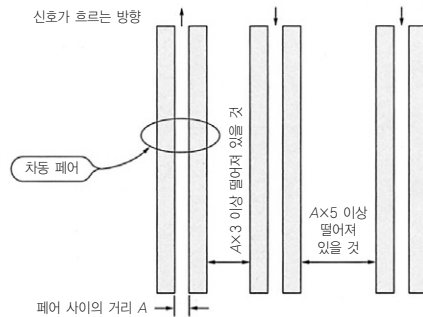


그림 10. 차동 페어가 인접한 경우에는 페어와 페어의 간격을 벌린다

위해 비어의 수를 최소한으로 한다. 대충 하나의 비어에서 0.5~1dB 신호가 감쇠된다.

복수의 레인을 사용할 때에는 차동 페어가 인접한다. 이 경우, 페어와 페어의 간격을 벌린다. 동상차동 페어간인 경우에는 차동간 거리의 5배 이상, 동상이 아닌 차동 페어간인 경우에는 페어와 페어를 3배 이상 떨어뜨린다(그림 10). **EE**

참 고 문 헌

- (1) PCI - X Addendum to the PCI Local Bus Specification Rev1.0b, PCI - SIG.
- (2) PCI Express Base Specification Rev1.0a, PCI - SIG.



경제 상식 | 내년부터 달라지는 연말정산

의료비, 신용카드 이중공제 제외

내년부터 의료비를 신용카드로 결제할 때 이중공제가 되지 않도록 의료비공제액을 신용카드공제 대상에서 제외한다. 단, 의료비 공제 혜택을 받지 못하는 금액에 대해 신용카드로 결제하면 카드사용분에 대한 공제혜택이 있기 때문에 의료비 결제는 신용카드가 여전히 유리하다.

연봉의 3% 이상을 의료비로 지출했다면, 3% 이상분에 대해서 최대

500만원 한도 내에서 100% 되돌려받을 수 있다.

연봉의 3% 미만일 때 의료비공제를 받지 못했거나 의료비공제를 받았더라도 의료비공제에서 제외되는 연봉의 3% 이하분은 신용카드 공제가 가능하다.

의료비 공제한도인 500만원 초과금액도 신용카드 공제를 받을 수 있다.



경제 상식 | 내년부터 달라지는 연말정산

내년부터 소득공제율 5% 줄어

내년부터 신용카드(현금영수증 포함) 사용분에 대한 소득공제 혜택이 줄어든다.

올해까지는 최대 500만원 한도내에서 본인 연봉의 15%를 초과한 금액의 20%가 공제되지만 내년부터는 공제율이 20%에서 15%로 줄

어들이기 때문이다.

한편, 올해에는 현금영수증제도가 처음으로 실시됨에 따라 할인마트나 음식점 등에서 5000원 이상 사용한 현금에 대해 현금영수증을 잘 챙겨두면 소득 공제폭이 더 커질 수 있다.