

## イントロダクション

アルテラのデバイスは、シミュレーションから実際のアプリケーションまで予測可能な一定した性能を提供します。デバイスをコンフィギュレーションする前に、どのようなデザインでもワースト・ケースのタイミング遅延を求めることができます。また、1998年版データブックに収録されている「FLEX 10K Embedded Programmable Logic Family」のデータシート（日本語版有り）に記載されているタイミング・パラメータと、このアプリケーション・ノートで示されるタイミング・モデルを利用して、デザインの性能を予測することができます。



より正確なタイミング情報を得る必要がある場合は、MAX+PLUS® IIのタイミング・アナライザを使用して下さい。MAX+PLUS IIのタイミング・アナライザは、実際のファンアウトや配置情報などの二次的な要因を加味してタイミングを算出します。

このアプリケーション・ノートでは、デバイス内部および外部のタイミング・パラメータを定義し、FLEX® 10Kデバイス・ファミリのタイミング・モデルを図示します。

この資料は、FLEX 10Kのアーキテクチャと特性に精通していることを前提に作成されています。このアプリケーション・ノートに記述されているタイミング・パラメータの値やFLEX 10Kのアーキテクチャの詳細については「FLEX 10K Embedded Programmable Logic Family」のデータシート（日本語版有り）を参照して下さい。

## 内部タイミング・マイクロパラメータ

内部タイミング・マイクロパラメータは、FLEX 10Kアーキテクチャ上の各エレメントによって発生するタイミング遅延であり、正確に測定することはできません。すべての内部タイミング・マイクロパラメータは、イタリック体で表記されています。以下に、FLEX 10Kデバイス・ファミリの内部タイミング・マイクロパラメータを示します。

### I/Oエレメントのタイミング・マイクロパラメータ

以下に、FLEX 10Kデバイス・ファミリにおけるI/Oエレメント（IOE）のタイミング・マイクロパラメータを示します。

$t_{IOD}$	出力データ遅延。FastTrack™インタコネクトからIOEへ配線された信号に生じる遅延時間。
$t_{IOC}$	IOEコントロール信号遅延。I/Oレジスタのクロック、イネーブル、クリア入力もしくはIOEのトライ・ステート・

	バッファの出力イネーブル・コントロールに使用される信号の遅延時間。
$t_{IOFD}$	IOEレジスタのフィードバック遅延。IOEレジスタの出力が、FastTrackインタコネクットの口またはカラム・チャネルに到達するまでの時間。
$t_{INCOMB}$	IOE入力パッドとバッファからFastTrackインタコネクトへの遅延。入力として使用されているI/Oピンの信号が、FastTrackインタコネクットの口またはカラム・チャネルに到達するまでの時間。
$t_{INREG}$	IOE入力パッドとバッファからIOEレジスタまでの遅延。入力として使用されているI/Oピンの信号が、IOEレジスタのデータ入力に到達するまでの時間。
$t_{IOCO}$	I/Oレジスタの「Clock-to-Output」遅延。I/Oレジスタ・クロックの立ち上がりエッジから、レジスタ出力にデータが現れるまでの遅延時間。
$t_{IOCOMB}$	I/Oレジスタのバイパス遅延。I/Oレジスタをバイパスする組み合わせ回路信号の遅延時間。
$t_{IOSU}$	I/Oレジスタのセットアップ・タイム。レジスタに入力データを正しくストアするために、レジスタ・クロックの立ち上がりエッジの前に信号をI/Oレジスタのデータ入力ポートで安定させる必要がある最小時間。また、 $t_{IOSU}$ はクリアのデアサーションとクロックの立ち上がりエッジ間の最小リカバリ時間でもある。
$t_{IOH}$	I/Oレジスタのホールド・タイム。レジスタに入力データを正しくストアするために、レジスタ・クロックの立ち上がりエッジの後に信号をI/Oレジスタのデータ入力ポートで安定させる必要がある最小時間。
$t_{IOCLR}$	I/Oレジスタのクリア・タイム。I/Oレジスタに非同期クリアがアサートされてから、レジスタ出力がLowレベルに安定するまでの遅延時間。
$t_{OD1}$	「Slow slew rate」のオプションをオフに設定し、 $V_{CCIO} = V_{CCINT}$ にした条件での出力バッファとパッドの遅延時間。
$t_{OD2}$	「Slow slew rate」のオプションをオフに設定し、 $V_{CCIO} =$ 低電圧にした条件での出力バッファとパッドの遅延時間。
$t_{OD3}$	「Slow slew rate」のオプションをオンに設定した条件での出力バッファとパッドの遅延時間。

$t_{XZ}$	出力バッファのディセーブル遅延。トライ・ステート・バッファのイネーブル・コントロールをディセーブルした後、出力ピンがハイ・インピーダンスになるまでの時間。
$t_{ZX1}$	「Slow slew rate」のオプションをオフに、 $V_{CCIO} = V_{CCINT}$ に設定した条件での出力バッファのイネーブル遅延。トライ・ステート・バッファのイネーブル・コントロールをイネーブルにした後、出力ピンに出力信号が現れるまでの時間。
$t_{ZX2}$	「Slow slew rate」のオプションをオフに、 $V_{CCIO} =$ 低電圧に設定した条件での出力バッファのイネーブル遅延。トライ・ステート・バッファのイネーブル・コントロールをイネーブルにした後、出力ピンに出力信号が現れるまでの時間。
$t_{ZX3}$	「Slow slew rate」のオプションをオンに設定した条件での出力バッファのイネーブル遅延。トライ・ステート・バッファのイネーブル・コントロールをイネーブルにした後、出力ピンに出力信号が現れるまでの時間。

### インタコネクットのタイミング・マイクロパラメータ

以下に、FLEX 10Kデバイス・ファミリのインタコネクット・タイミング・マイクロパラメータを示します。

$t_{SAMELAB}$	同一ロジック・アレイ・ブロック (LAB) 内でのロジック・エレメント (LE) 間の配線遅延。同一LAB内のLE間を配線される信号に生じる遅延。
$t_{SAMEROW}$	同一ロウのFastTrackインタコネクットの遅延。ロウ側のIOE、LEまたはエンベデッド・アレイ・ブロック (EAB) から同じロウのIOE、LEまたはEABをドライブしたときの配線遅延。 $t_{SAMEROW}$ 遅延は、ソースとディスティネーション間の距離およびファンアウトの関数となります。「FLEX 10K Embedded Programmable Logic Family」のデータシートに示されている値は、ファンアウト-4を持つLEの最大遅延です。ただし、MAX+PLUS IIのタイミング・アナライザでは、デザイン上のソースとディスティネーションの位置関係やファンアウトが考慮されるため、より正確な値が得られます。



詳細は23ページの「タイミング・モデルとMAX+PLUS IIタイミング・アナライザの比較」を参照して下さい。

$t_{\text{SAMECOLUMN}}$  同一カラムのFastTrackインタコネクットの遅延。LEから同じカラム側のIOEをドライブしたときの配線遅延。  
 $t_{\text{SAMECOLUMN}}$ 遅延は、ソースとディスティネーション間の距離およびファンアウトの関数になります。「FLEX 10K Embedded Programmable Logic Family」のデータシートに示されている値は、ファンアウト-4を持つLEの最大遅延です。ただし、MAX+PLUS IIのタイミング・アナライザでは、デザイン上のソースとディスティネーションの位置関係やファンアウトが考慮されるため、より正確な値が得られます。



詳細は23ページの「タイミング・モデルとMAX+PLUS IIタイミング・アナライザの比較」を参照して下さい。

$t_{\text{DIFFROW}}$  異なるロウ間のFastTrackインタコネクット遅延。カラム側のIOE、LEまたはEABから、1つのロウ・チャンネルとカラム・チャンネルを経由して、異なるロウ側のIOE、LEまたはEABをドライブしたときの配線遅延。 $t_{\text{DIFFROW}}$ 遅延は、ソースとディスティネーション間の距離およびファンアウトの関数になります。「FLEX 10K Embedded Programmable Logic Family」のデータシートに示されている値は、ファンアウト-4を持つLEの最大遅延です。ただし、MAX+PLUS IIのタイミング・アナライザでは、デザイン上のソースとディスティネーションの位置関係やファンアウトが考慮されるため、より正確な値が得られます。



詳細は23ページの「タイミング・モデルとMAX+PLUS IIタイミング・アナライザの比較」を参照して下さい。

$t_{\text{TWOROWS}}$  2本のロウ間のFastTrackインタコネクット遅延。ロウ側のIOE、LEまたはEABからあるロウ・チャンネルとカラム・チャンネル、そして別のロウ・チャンネルを経由して、異なるロウのIOE、LEまたはEABをドライブしたときの配線遅延。 $t_{\text{TWOROWS}}$ 遅延は、ソースとディスティネーション間の距離およびファンアウトの関数になります。「FLEX 10K Embedded Programmable Logic Family」のデータシートに示されている値は、ファンアウト-4を持つLEの最大遅延です。ただし、MAX+PLUS IIのタイミング・アナライザでは、デザイン上のソースとディスティネーションの位置関係やファンアウトが考慮されるため、より正確な値が得られます。



詳細は23ページの「タイミング・モデルとMAX+PLUS IIタイミング・アナライザの比較」を参照して下さい。

$t_{LEPERIPH}$	<p>ペリフェラル・バスの遅延。LEまたはIOEから、ペリフェラル・コントロール・バスを経由してIOEのコントロール信号をドライブしたときの配線遅延。「<i>FLEX 10K Embedded Programmable Logic Family</i>」のデータシートに示されている値は、ファンアウト-4を持つLEの最大遅延です。ただし、MAX+PLUS IIのタイミング・アナライザでは、デザイン上のソースとディスティネーションの位置関係やファンアウトが考慮されるため、より正確な値が得られます。</p> <p> 詳細は23ページの「タイミング・モデルとMAX+PLUS IIタイミング・アナライザの比較」を参照して下さい。</p>
$t_{LABCARRY}$	<p>異なるLABへのキャリア・チェイン遅延。あるLEのキャリア・アウト信号が、同じロウの異なるLAB内のLEのキャリア・インをドライブしたときの配線遅延。複数のLABにまたがる長いキャリア・チェインは、隣接したLABをスキップして奇数番号のLABから次の奇数番号のLABへ、または偶数番号のLABから次の偶数番号のLABへ配線されます。</p>
$t_{LABCASC}$	<p>異なるLABへのカスケード・チェイン遅延。LEのカスケード・アウト信号から、同じロウの異なるLAB内のLEのカスケード・イン信号をドライブしたときの配線遅延。複数のLABにまたがる長いカスケード・チェインは、隣接したLABをスキップして奇数番号のLABから次の奇数番号のLABへ、またはある偶数番号のLABから次の偶数番号のLABへ配線されます。</p>
$t_{DIN2IOE}$	<p>入力専用ピンからIOEのコントロール入力までの遅延。入力専用ピンの信号がIOEのコントロール入力に到達するまでの遅延時間。</p>
$t_{DIN2LE}$	<p>入力専用ピンからLEまたはEABのコントロール入力までの遅延。入力専用ピンの信号がLEまたはEABのコントロール入力に到達するまでの遅延時間。</p>

$t_{DIN2DATA}$  入力専用ピンからLEまたはEABのデータ入力までの遅延。入力専用ピンの信号がLEまたはEABのデータ入力に到達するまでの遅延時間。「FLEX 10K Embedded Programmable Logic Family」のデータシートに示されている値は、ファンアウト-4を持つLEの最大遅延です。ただし、MAX+PLUS IIのタイミング・アナライザでは、デザイン上のソースとディステーションの位置関係やファンアウトが考慮されるため、より正確な値となります。



詳細は23ページの「タイミング・モデルとMAX+PLUS IIタイミング・アナライザの比較」を参照して下さい。

$t_{DCLK2IOE}$  クロック専用ピンからIOEのクロック入力までの遅延時間。クロック専用ピンの信号がIOEのクロック入力に到達するまでの時間。

$t_{DCLK2LE}$  クロック専用ピンからLEまたはEABのクロック入力までの遅延時間。クロック専用ピンの信号がLEまたはEABのクロック入力に到達するまでの時間。

### ロジック・エレメントのタイミング・マイクロパラメータ

以下に、FLEX 10Kデバイス・ファミリにおけるLEのタイミング・マイクロパラメータを示します。

$t_{LUT}$  ルック・アップ・テーブル (LUT) 遅延。LABのローカル・インタコネクト信号からLUT出力が生成されるまでの遅延時間。

$t_{RLUT}$  LEのフィードバックを使用した時のLUT遅延。LEレジスタの出力がフィードバックされ、同一LE内のLUT出力が生成されるまでの遅延時間。

$t_{CLUT}$  キャリー・チェインのLUT遅延。キャリー・チェイン信号からLUT出力が生成されるまでの時間。

$t_{PACKED}$  データ入力からパックド・レジスタへの遅延。LABローカル・インタコネクト信号を通じて、LUTからLEレジスタのデータ入力へ配線される信号の遅延。

$t_C$  レジスタのコントロール遅延。LEレジスタのクロック、プリセット、クリア入力に信号が到達するまでの配線遅延時間。

$t_{EN}$  LEレジスタのイネーブル遅延。LEレジスタのイネーブル入力に信号が到達するまでの配線遅延時間。

$t_{CGENR}$	LEフィードバックからキャリア・アウト信号が生成されるまでの遅延。フィードバックされたLEレジスタの出力から、同一LE内でキャリア・アウト信号が生成されるまでの遅延時間。
$t_{CGEN}$	キャリア・アウト生成遅延時間。LABローカル・インタコネクタからキャリア・アウト信号が生成されるまでの遅延時間。
$t_{CICO}$	キャリア・インからキャリア・アウトまでの遅延。前段のLEからのキャリア・イン信号からキャリア・アウト信号が生成されるまでの遅延時間。
$t_{CO}$	LEの「Clock-to-Output」遅延。LEレジスタのクロックの立ち上がりから、レジスタ出力にデータが現れるまでの遅延時間。
$t_{COMB}$	組み合わせ回路の遅延。組み合わせ回路の信号がLEレジスタをバイパスして、LEの出力に現れるまでの時間。
$t_{SU}$	LEレジスタのセットアップ・タイム。レジスタに入力データを正しくストアするために、レジスタ・クロックの立ち上がりエッジ前に信号をLEレジスタのデータ入力ポートで安定させる必要がある最小時間。また、 $t_{SU}$ はクリアのデアセッションとクロックの立ち上がりエッジ間の最小リカバリ時間でもあります。
$t_H$	LEレジスタのホールド・タイム。レジスタが入力データを正しくストアするために、レジスタ・クロックの立ち上がりエッジの後に、LEレジスタのデータ入力ポートで信号を安定させる必要がある最小時間。
$t_{PRE}$	LEレジスタのプリセット遅延。LEレジスタの非同期プリセット入力のアサートされてから、レジスタ出力がLogic-Highに安定するまでの遅延時間。
$t_{CLR}$	LEレジスタのクリア遅延。LEレジスタの非同期クリア入力のアサートされてから、レジスタ出力がLogic-Lowに安定するまでの遅延時間。
$t_{CASC}$	カスケード・チェーンの遅延。カスケード・アウト信号が同一LAB内の次のLEに配線されるとき遅延。カスケード・アウト信号が同一口の異なるLAB内のLEに配線されるまでの遅延時間は、この遅延と $t_{LABCASC}$ を使用して計算されません。

## EABのタイミング・マイクロパラメータ

以下に、FLEX 10Kデバイス・ファミリのEABタイミング・マイクロパラメータを示します。

$t_{EABDATA1}$	EABの組み合わせ入力に対するデータまたはアドレスの遅延。信号がEABの境界からEABのデータまたはアドレスの組み合わせ入力に到達するまでの遅延時間。
$t_{EABDATA2}$	EABのレジスタ入力に対するデータまたはアドレスの遅延。信号がEABの境界からEABのデータまたはアドレスのレジスタ入力に到達するまでの遅延時間。
$t_{EABWE1}$	EABの組み合わせ入力に対するライト・イネーブルの遅延。信号がEABの境界からEABのライト・イネーブル(WE)組み合わせ入力に到達するまでの時間。
$t_{EABWE2}$	EABのレジスタ入力に対するライト・イネーブルの遅延。信号がEABの境界からEABのWEレジスタ入力に到達するまでの時間。
$t_{EABCLK}$	EABレジスタのクロック遅延。信号がEABの境界からEABレジスタのクロック入力に到達するまでの時間。
$t_{EABCO}$	EABレジスタの「Clock-to-Output」遅延。EABレジスタのクロックの立ち上がりエッジから、レジスタの出力にデータが現れるまでの時間。
$t_{EABYPASS}$	レジスタ・バイパス遅延。EABのレジスタをバイパスした組み合わせ出力信号の遅延時間。
$t_{EABSU}$	EABレジスタのセットアップ・タイム。レジスタに入力データを正しくストアするために、レジスタ・クロックの立ち上がりエッジの前に、信号をEABレジスタのデータ入力ポートで安定させる必要がある最小時間。
$t_{EABH}$	EABレジスタのホールド・タイム。レジスタに入力データを正しくストアするために、レジスタ・クロックの立ち上がりエッジの後に、信号をEABレジスタのデータ入力ポートで安定させる必要がある最小時間。
$t_{EABCH}$	クロック、High期間。EABレジスタを正しく動作させるために、クロック信号をHighレベルに維持する必要がある最小時間。

$t_{EABCL}$	クロック、Low期間。EABレジスタを正しく動作させるために、クロック信号をLowレベルに保持する必要がある最小時間。
$t_{AA}$	アドレス・アクセス遅延。EABのRAMアドレス入力の変化からEAB RAMのデータ出力が変化するまでの時間。
$t_{DD}$	データ入力から出力確定までの遅延。ライト・サイクルにおいて、EAB RAMのデータ入力に与えられたデータがEAB RAMのデータ出力に伝搬するまでに必要な時間。
$t_{WP}$	ライト・パルス幅。EAB RAMに入力データを正しくストアするために、WE信号をHighレベルに保持する必要がある最小時間。
$t_{WDSU}$	ライト・パルスの立ち下がり前のデータ・セットアップ・タイム。EAB RAMに入力データを正しくストアするために、WEの立ち下がりエッジの前にEABのRAMデータ入力を安定させる必要がある最小時間。
$t_{WDH}$	ライト・パルスの立ち下がり後のデータ・ホールド・タイム。EAB RAMに入力データを正しくストアするために、WEの立ち下がりエッジの後にEABのRAMデータ入力を安定させる必要がある最小時間。
$t_{WASU}$	ライト・パルスの立ち上がりエッジ前のアドレス・セットアップ・タイム。EAB RAMに入力データを正しくストアするために、WEの立ち上がりエッジの前にEABのRAMアドレス入力を安定させる必要がある最小時間。
$t_{WAH}$	ライト・パルスの立ち上がりエッジ後のアドレス・ホールド・タイム。EAB RAMに入力データを正しくストアするために、WEの立ち上がりエッジの後にEABのRAMアドレス入力を安定させる必要がある最小時間。
$t_{WO}$	ライト・イネーブルからデータ出力確定までの遅延。RAMにデータをライトするときに生じるWEの立ち上がりエッジから、書き込まれるデータがEAB RAMのデータ出力に現れるまでの遅延時間。
$t_{EABOUT}$	データ出力遅延。EABの出力がFast Trackインタコネクタのロウ・チャンネルまたはカラム・チャンネルに到達するまでの遅延時間。

## EAB内部タイ ミング・マク ロパラメータ

EABの内部タイミング・マクロパラメータはFLEX 10KのEAB内部タイミング・マイクロパラメータを組み合わせたものとなっています。これらのマクロパラメータは正確に測定することはできません。以下にFLEX 10K デバイス・ファミリのEABの内部タイミング・マクロパラメータを示します。

$t_{EABAA}$	EABアドレス・アクセス遅延。EABのアドレス入力の変化からEABのデータ出力が変化するまでの遅延時間。
$t_{EABRCCOMB}$	EAB非同期リード・サイクル・タイム。非同期リード・サイクルの実行に必要な最小時間。
$t_{EABRCREG}$	EAB同期リード・サイクル・タイム。同期リード・サイクルの実行に必要な最小時間。
$t_{EABWP}$	EABライト・パルス幅。EAB RAMに入力データを正しくストアするために、EABのWEをHighレベルに保持する必要がある最小時間。
$t_{EABWCCOMB}$	EAB非同期ライト・サイクル・タイム。非同期ライト・サイクルの実行に必要な最小時間。
$t_{EABWCREG}$	EAB同期ライト・サイクル・タイム。同期ライト・サイクルの実行に必要な最小時間。
$t_{EABDD}$	EABデータ入力からデータ出力確定までの遅延。ライト・サイクルにおいて、EABデータ入力に与えられたデータがEAB RAMを通過してEABデータ出力に伝搬するまでのトータル時間。
$t_{EABDATA CO}$	出力レジスタ使用時のEABの「Clock-to-Output」遅延。EAB出力レジスタに対するクロック入力の立ち上がりエッジから、データがEABのデータ出力に現れるまでの時間。
$t_{EABDATASU}$	入力レジスタ使用時のEABデータ/アドレス・セットアップ・タイム。入力レジスタにデータを正しくストアするために、EABデータ/アドレス入力をEAB入力レジスタ・クロックの立ち上がりエッジの前に安定させる必要がある最小時間。
$t_{EABDATAH}$	入力レジスタ使用時のEABデータ/アドレス・ホールド・タイム。入力レジスタにデータを正しくストアするために、EAB入力レジスタ・クロックの立ち上がりエッジの後にEABデータ/アドレス入力を安定させる必要がある最小時間。

$t_{EABWESU}$	入力レジスタ使用時のEAB WE信号セットアップ・タイム。入力レジスタにデータを正しくストアするために、EAB入力レジスタ・クロックの立ち上がりエッジの前にEAB WE入力を安定させる必要がある最小時間。
$t_{EABWEH}$	入力レジスタ使用時のEAB WE信号ホールド・タイム。入力レジスタにデータを正しくストアするために、EAB入力レジスタ・クロックの立ち上がりエッジの後にEAB WE入力を安定させる必要がある最小時間。
$t_{EABWDSU}$	入力レジスタ非使用時のライト・パルス立ち下がりエッジ前のEABデータ・セットアップ・タイム。RAMにデータを正しくストアするために、EAB WE入力の立ち下がりエッジの前にEABデータ入力を安定させる必要がある最小時間。
$t_{EABWDH}$	入力レジスタ非使用時のライト・パルス立ち下がりエッジ後のEABデータ・ホールド・タイム。RAMにデータを正しくストアするために、EAB WE入力の立ち下がりエッジの後にEABデータ入力を安定させる必要がある最小時間。
$t_{EABWASU}$	入力レジスタ非使用時のライト・パルス立ち上がりエッジ前のEABアドレス・セットアップ・タイム。RAMにデータを正しくストアするために、EAB WE入力の立ち上がりエッジの前にEABアドレス入力を安定させる必要がある最小時間。
$t_{EABWAH}$	入力レジスタ非使用時のライト・パルス立ち下がりエッジ後のEABアドレス・ホールド・タイム。RAMにデータを正しくストアするために、EAB WE入力の立ち下がりエッジの後にEABアドレス入力を安定させる必要がある最小時間。
$t_{EABWO}$	EABライト・イネーブルからデータ出力の確定までの遅延。EAB WE入力の立ち上がりエッジから、書き込まれるデータがEAB RAMのデータ出力に現れるまでの時間。

## 外部タイミング・パラメータ

外部タイミング・パラメータは、実際のピン間のタイミング特性を示しています。各外部タイミング・パラメータは、内部の遅延要素を組み合わせたものとなります。また、これらのパラメータは広範囲に及び性能測定をベースにしたワースト・ケースの値で表されており、デバイスのテストまたは特性評価によってこれらの値が保証されています。すべての外部タイミング・パラメータは太字で示されています。例えば、 $t_{\text{DRR}}$ の値は、AC特性の中で規格化されています。この他の外部タイミング・パラメータは、16ページの「タイミング遅延の計算」の中に示される計算式またはタイミング・モデルを使用して推定することができます。

$t_{\text{DRR}}$  レジスタ間の遅延時間。あるレジスタ出力からの信号が、4個のLE、3本のロウ・インタコネクト、4本のローカル・インタコネクトを通り、2段目のレジスタのD入力に到達するまでの遅延時間。このパラメータのテスト回路では、1個のレジスタから2個の異なるLAB間で3個のLCELLプリミティブを通過する信号が出力され、最終段のLCELLから信号がさらに別のLABのレジスタに接続されるようになっています。図1から図4は、このパスをカラム数の異なる各FLEX 10Kデバイスごとに示したものです。また、このテスト回路のファイルは、日本アルテラの応用技術部から入手することができます。

図1 24カラムのFLEX 10Kデバイスの $t_{\text{DRR}}$ パス

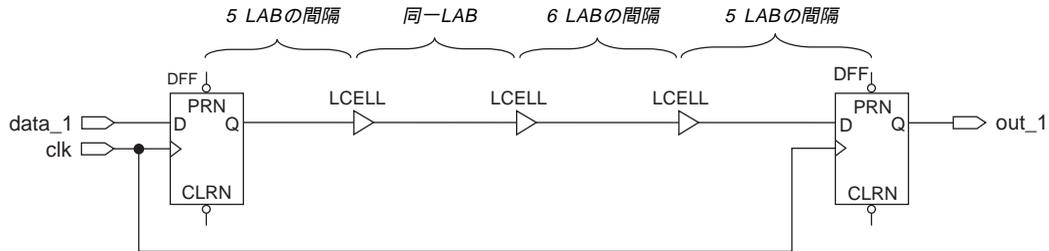


図2 36カラムのFLEX 10Kデバイスの $t_{\text{DRR}}$ パス

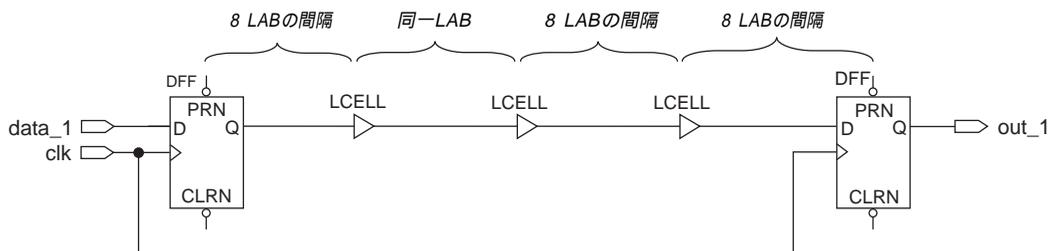
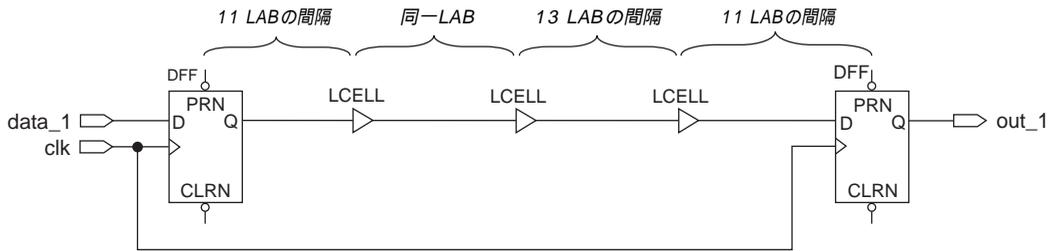
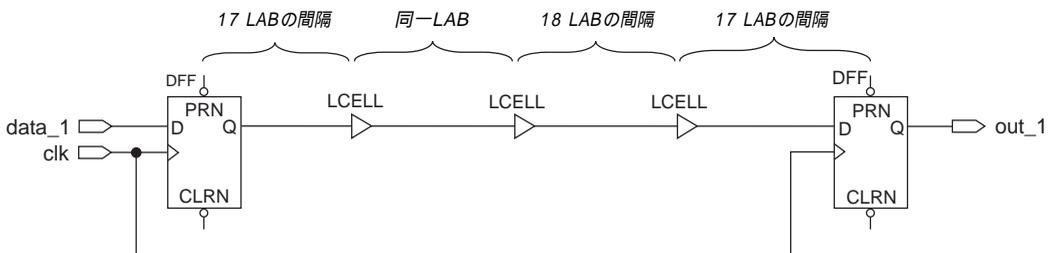


図 3 52カラムのFLEX 10Kデバイスの $t_{\text{DRR}}$ パス図 4 76カラムのFLEX 10Kデバイスの $t_{\text{DRR}}$ パス

$t_{\text{INSU}}$	IOEレジスタのグローバル・クロック・セットアップ・タイム。レジスタにデータを正しくストアするために、グローバル・クロック・ピンに与えられるクロック信号の立ち上がりエッジ前にIOEレジスタをドライブするピンの信号を安定させる必要がある最小時間。
$t_{\text{INH}}$	IOEレジスタのグローバル・クロック・ホールド・タイム。レジスタにデータを正しくストアするために、グローバル・クロック・ピンに与えられる立ち上がりエッジ後にIOEレジスタをドライブするピンの信号を安定させる必要がある最小時間。
$t_{\text{OUTCO}}$	グローバル・クロック使用時のIOEレジスタの「Clock-to-Output」遅延。グローバル・クロック・ピンの立ち上がりエッジから、IOEレジスタからドライブされたデータが出力ピンに現れるまでの遅延時間。
$t_{\text{ODH}}$	出力データ遅延。クロック入力ピンに与えられた信号の立ち上がりエッジの後に、前のデータがレジスタ出力ピンに保持される最小時間。このパラメータはグローバルおよび非グローバル・クロック、またLE、EAB、IOEの各レジスタに対して適用されます。

## FLEX 10Kの タイミング・ モデル

タイミング・モデルは、アルテラ・デバイス内の伝搬遅延を示す単純化したブロック・ダイアグラムで表すことができます。ロジックは多様なパスで実現されますが、各プロジェクトに対して出力されるMAX+PLUS IIのレポート・ファイル(.rpt)に示される論理式を参照して、FLEX 10Kデバイスの実際のパスをトレースすることができます。ここで、対応する内部タイミング・パラメータを積算することによって、FLEX 10Kデバイスの入出力間での概略の伝搬遅延を計算することができます。ただし、MAX+PLUS IIのタイミング・アナライザは、もっとも正確なタイミング情報を提供します。図5から図8は、FLEX 10Kデバイスのタイミング・モデルを示したものです。

図5 FLEX 10Kデバイスのタイミング・モデル

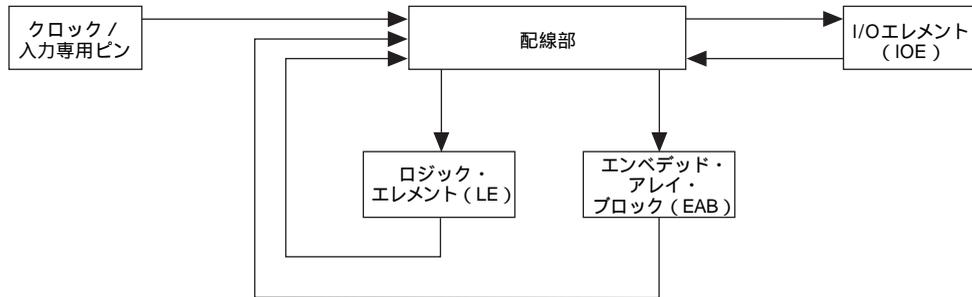


図6 FLEX 10KデバイスのLEタイミング・モデル

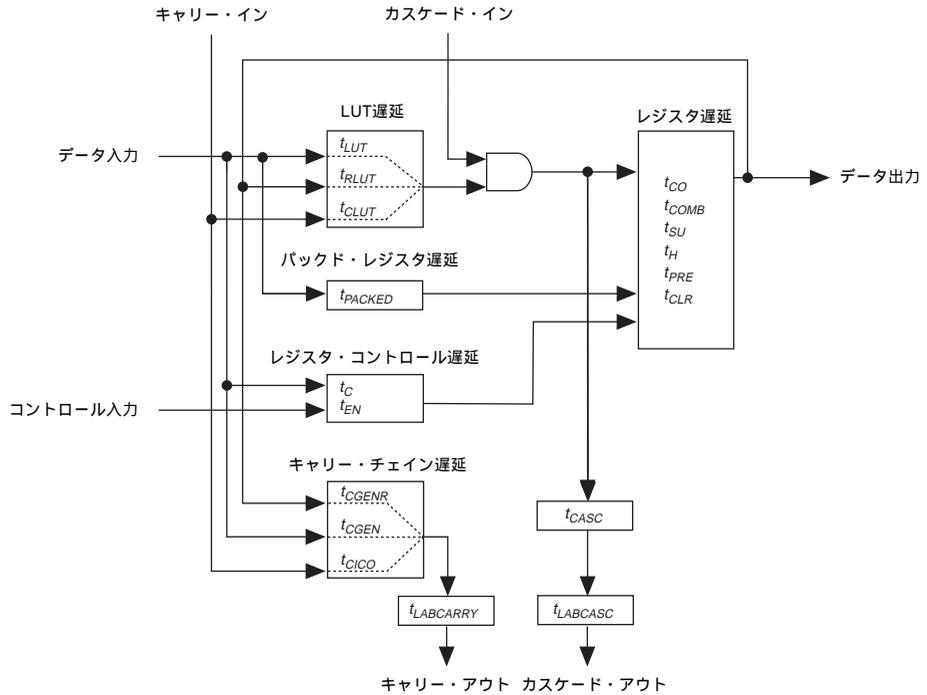


図7 FLEX 10KデバイスのIOEタイミング・モデル

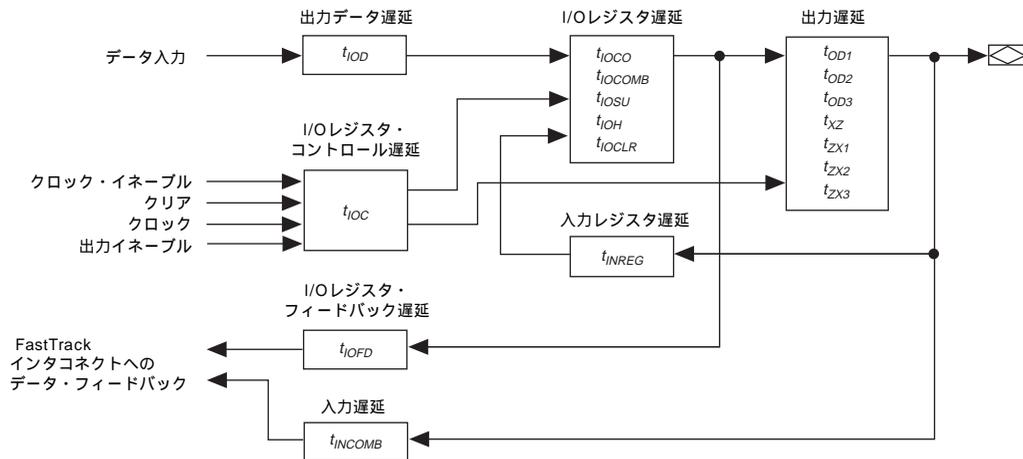
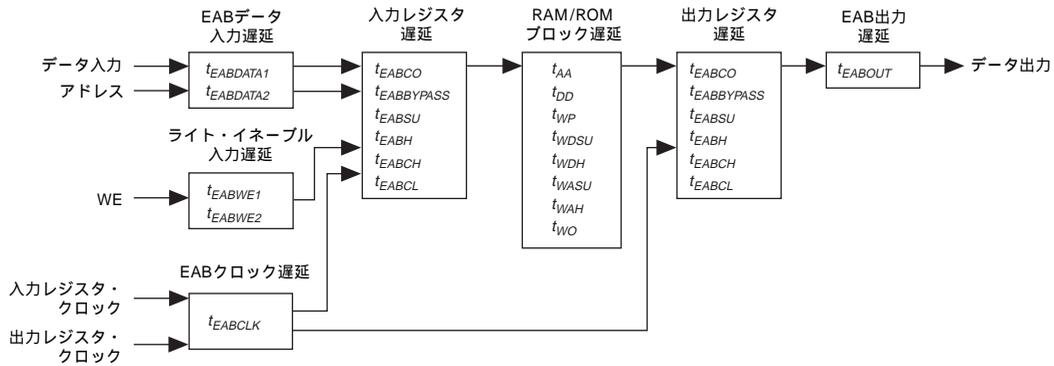


図 8 FLEX 10KデバイスのEABタイミング・モデル



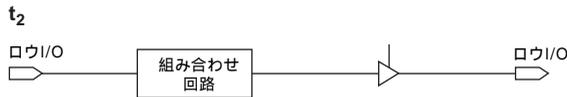
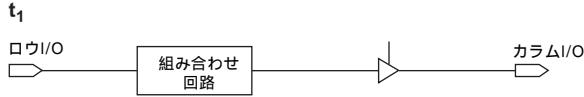
## タイミング遅延の計算

図 5 から図 8 で示したタイミング・モデルと1998年版データブックにも収録されている「FLEX 10K Embedded Programmable Logic Family」のデータシート内に示されている内部タイミング・パラメータを使用して FLEX 10Kデバイスにおけるピン間遅延の概算値を計算することができます。各タイミング遅延は内部タイミング・パラメータを組み合わせることによって計算されます。図 9 は、FLEX 10Kデバイス・ファミリのLEのタイミング遅延を示しています。FLEX 10Kデバイス内の多様なパスを伝搬する信号の遅延を計算する場合は、FLEX 10Kのタイミング・モデルを参照して積算する内部タイミング・パラメータを選択して下さい。

図9 ロジック・エレメントのタイミング遅延 (1/4)

組み合わせ回路の遅延

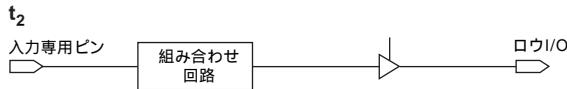
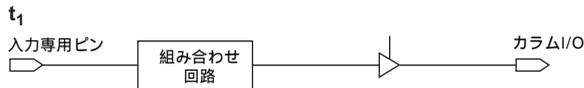
ロウ側のI/Oピンからの入力:



$$t_1 = t_{INCOMB} + t_{SAMEROW} + t_{LUT} + t_{COMB} + t_{SAMECOLUMN} + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

$$t_2 = t_{INCOMB} + t_{SAMEROW} + t_{LUT} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

入力専用ピンからの入力:



$$t_1 = t_{DIN2DATA} + t_{LUT} + t_{COMB} + t_{SAMECOLUMN} + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

$$t_2 = t_{DIN2DATA} + t_{LUT} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

グローバル・クロックから出力までの「Clock-to-Output」遅延



$$t_{CO} = t_{DCLK2LE} + t_C + t_{CO} + (t_{SAMEROW} \text{ OR } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

ロウ側のI/Oクロックから出力までの「Clock-to-Output」遅延



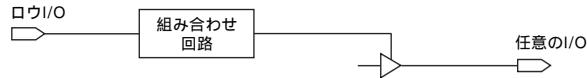
$$t_{ACO} = t_{INCOMB} + t_{SAMEROW} + t_C + t_{CO} + (t_{SAMEROW} \text{ OR } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

図9 ロジック・エレメントのタイミング遅延 (2/4)

トリステートのイネーブル/ディセーブル遅延

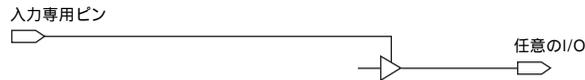
$t_{XZ}$  または  $t_{ZX}$

ロウI/O入力からロジックを通じた入力:



$$t_{XZ}, t_{ZX} = t_{INCOMB} + t_{SAMEROW} + t_{LUT} + t_{COMB} + t_{LEPERIPH} + t_{IOC} + (t_{XZ} \text{ or } t_{ZX1})$$

入力専用ピンからのダイレクト入力:



$$t_{XZ}, t_{ZX} = t_{DIN2IOE} + t_{IOC} + (t_{XZ} \text{ or } t_{ZX1})$$

ロウI/O入力からのダイレクト入力:

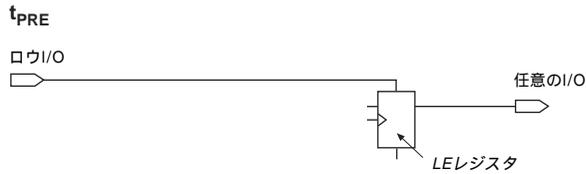


$$t_{XZ}, t_{ZX} = t_{INCOMB} + t_{LEPERIPH} + t_{IOC} + (t_{XZ} \text{ or } t_{ZX1})$$

図9 ロジック・エレメントのタイミング遅延 (3/4)

## LEレジスタのクリア時間とプリセット時間

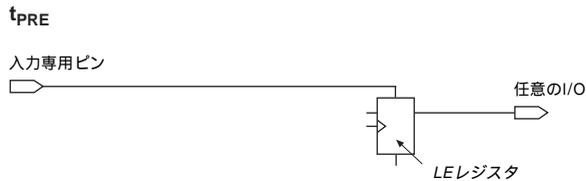
ロウI/O入力からロウまたはカラム出力へ：



$$t_{CLR} = t_{INCOMB} + t_{SAMEROW} + t_C + t_{CLR} + (t_{SAMEROW} \text{ OR } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

$$t_{PRE} = t_{INCOMB} + t_{SAMEROW} + t_C + t_{PRE} + (t_{SAMEROW} \text{ OR } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

入力専用ピンからロウまたはカラム出力へ：



$$t_{CLR} = t_{DIN2LE} + t_C + t_{CLR} + (t_{SAMEROW} \text{ OR } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

$$t_{PRE} = t_{DIN2LE} + t_C + t_{PRE} + (t_{SAMEROW} \text{ OR } t_{SAMECOLUMN}) + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

図9 ロジック・エレメントのタイミング遅延 (4/4)

グローバル・クロック使用時のロウI/Oデータ入力のセットアップ・タイム



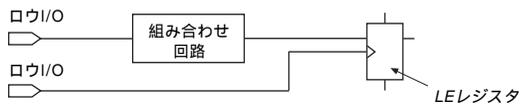
$$t_{SU} = (t_{INCOMB} + t_{SAMEROW} + t_{LUT}) - (t_{DCLK2LE} + t_C) + t_{SU}$$

グローバル・クロック使用時のロウI/Oデータ入力のホールド・タイム



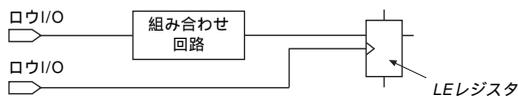
$$t_H = (t_{DCLK2LE} + t_C) - (t_{INCOMB} + t_{SAMEROW} + t_{LUT}) + t_H$$

ロウI/Oクロック使用時のロウI/Oデータ入力のセットアップ・タイム



$$t_{ASU} = (t_{INCOMB} + t_{SAMEROW} + t_{LUT}) - (t_{INCOMB} + t_{SAMEROW} + t_C) + t_{SU}$$

ロウI/Oクロック使用時のロウI/Oデータ入力のホールド・タイム



$$t_{AH} = (t_{INCOMB} + t_{SAMEROW} + t_C) - (t_{INCOMB} + t_{SAMEROW} + t_{LUT}) + t_H$$

図10は、FLEX 10Kデバイス・ファミリのIOEのタイミング遅延を示しています。FLEX 10Kデバイス内の多様なパスを伝搬する信号の遅延を計算する場合は、FLEX 10Kのタイミング・モデルを参照して、積算する内部タイミング・パラメータを選択して下さい。

図10 I/Oエレメントのタイミング遅延 (1/2)

I/Oエレメントのクリア時間

ロウI/Oからの入力：



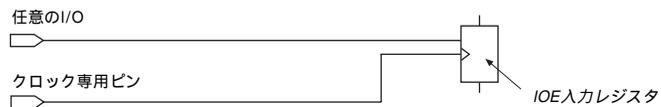
$$t_{CLR} = t_{INCOMB} + t_{LEPERIPH} + t_{IOC} + t_{IOCLR} + t_{OD1}$$

入力専用ピンからの入力：



$$t_{CLR} = t_{DIN2IOE} + t_{IOC} + t_{IOCLR} + t_{OD1}$$

グローバル・クロック使用時のI/Oデータ入力のセットアップ・タイム



$$t_{SU} = t_{INREG} - (t_{DCLK2IOE} + t_{IOC}) + t_{IOSU}$$

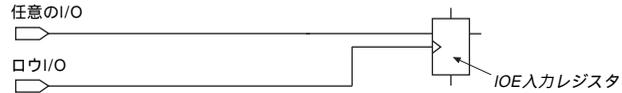
グローバル・クロック使用時のI/Oデータ入力のホールド・タイム



$$t_H = (t_{DCLK2IOE} + t_{IOC}) - t_{INREG} + t_{IOH}$$

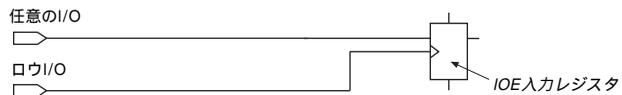
図10 I/Oエレメントのタイミング遅延 (2/2)

ロウI/Oクロック使用時の任意のI/Oデータ入力のセットアップ・タイム



$$t_{ASU} = t_{INREG} - (t_{INCOMB} + t_{LEPERIPH} + t_{IOC}) + t_{IOSU}$$

ロウI/Oクロック使用時の任意のI/Oデータ入力のホールド・タイム



$$t_{AH} = (t_{INCOMB} + t_{LEPERIPH} + t_{IOC}) - t_{INREG} + t_{IOH}$$

グローバル・クロックから任意の出力までの「Clock-to-Output」遅延



$$t_{CO} = t_{DCLK2IOE} + t_{IOC} + t_{IOCO} + t_{OD1}$$

ロウI/Oクロックから任意の出力までの「Clock-to-Output」遅延

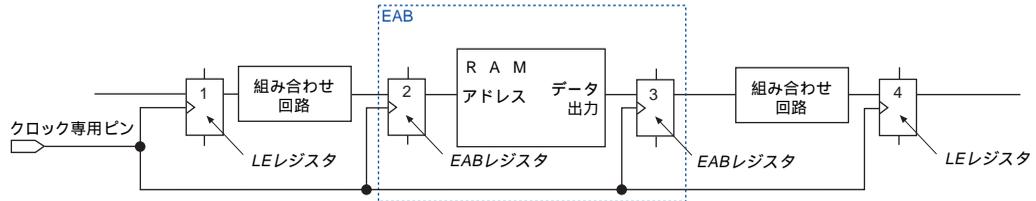


$$t_{ACO} = t_{INCOMB} + t_{LEPERIPH} + t_{IOC} + t_{IOCO} + t_{OD1}$$

図11は、FLEX 10Kデバイス・ファミリのサンプル回路に対するEABのタイミング遅延を示したものです。FLEX 10Kデバイス内の多様なパスを伝搬する信号の遅延を計算する場合は、FLEX 10Kのタイミング・モデルを参照して積算する内部タイミング・パラメータを選択して下さい。

図11 EABのタイミング遅延

グローバル・クロック使用時のサイクル・タイム



$$t_{\text{CYC1TO2}} = t_c + t_{\text{CO}} + t_{\text{SAMEROW}} + t_{\text{LUT}} + t_{\text{COMB}} + t_{\text{SAMEROW}} + t_{\text{EABDATASU}}$$

$$t_{\text{CYC2TO3}} = t_{\text{EABRCREG}}$$

$$t_{\text{CYC3TO4}} = t_{\text{EABDATACO}} + t_{\text{SAMEROW}} + t_{\text{LUT}} + t_{\text{COMB}} + t_{\text{SAMEROW}} + t_{\text{LUT}} + t_{\text{SU}} - t_c$$

## タイミング・モデル とMAX+PLUS II タイミング・アナ ライザの比較

タイミング・モデルを使用した手計算から、デザインの性能を推定することができます。ただし、MAX+PLUS IIのタイミング・アナライザでは、配線のマイクロパラメータに影響を及ぼす下記の3種類の二次的な要因が考慮されるため、常に正確なデザイン性能が提供されます。

- 遅延パス上の各信号に対するファンアウト
- 信号のソースとディスティネーションに関する負荷の位置
- 信号のソースとディスティネーション間の距離

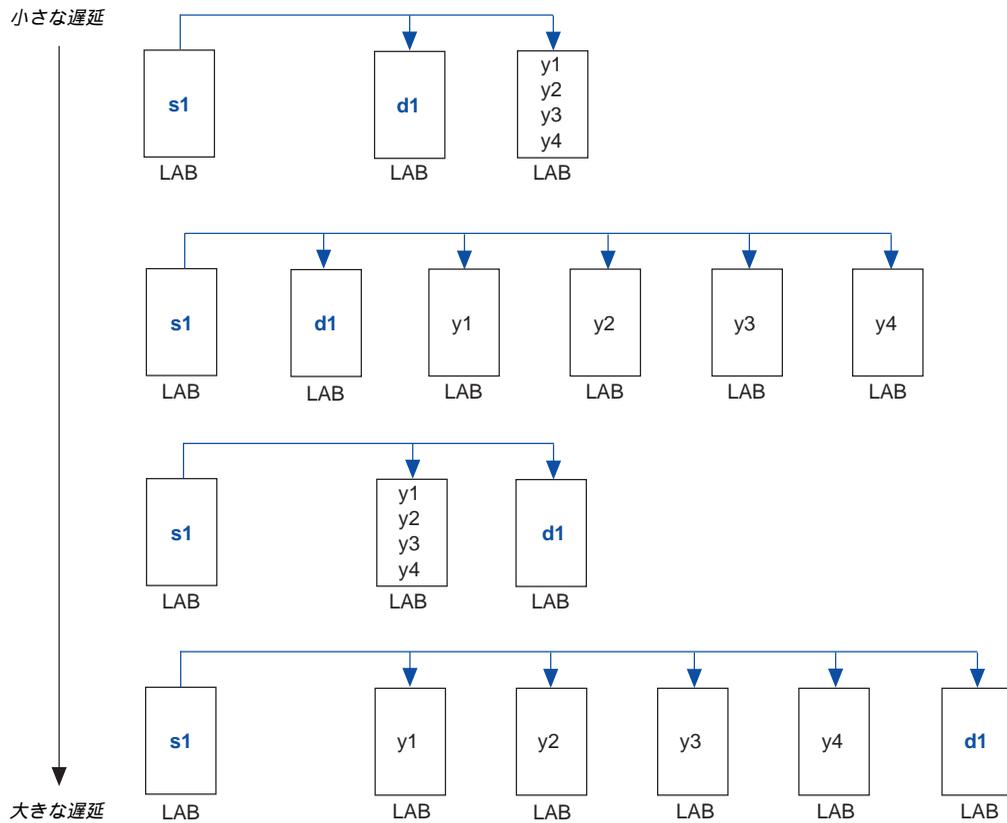
### ファンアウト

ドライブする信号の負荷が大きくなると共に、 $t_{\text{SAMEROW}}$ 、 $t_{\text{SAMECOLUMN}}$ 、 $t_{\text{DIFFROW}}$ 、 $t_{\text{TWOROWS}}$ 、 $t_{\text{DIN2DATA}}$ 、 $t_{\text{LEPERIPH}}$ の遅延も大きくなります。これらの遅延は、信号ソースがドライブするLAB数と、この信号を使用するLAB内のLE数によって決定されます。信号がドライブするLABの数は、信号を使用するLAB内のLEの数よりも、遅延時間に大きな影響を与えます。

### 負荷の分配

ソースとディスティネーションに関する負荷の分布状態は、 $t_{SAMEROW}$ 、 $t_{SAMECOLUMN}$ 、 $t_{DIFFROW}$ 、 $t_{TWOROWS}$ 、 $t_{LEPERIPH}$ 、 $t_{DIN2DATA}$ の遅延時間に影響を与えます。ここで、ディスティネーションd1とロジック・エレメントy[4..1]に接続される、信号s1について検証します。y[4..1]が異なるLABにある場合、s1は4つの負荷を持ちます。ただし、このLEがすべて同じLABにある場合、s1は遅延の小さい4つの負荷になります。y[4..1]の各負荷が異なるLABにある場合は、s1からd1へのロウ・インタコネクタの配線遅延が大きくなります。図12は、d1の位置とy[4..1]の配分方法により、配線遅延がどのように変化するかを示したものです。

図12 位置関係と負荷の配分を関数としたs1からd1への遅延



## 距離

ソースとディスティネーションとなるLE間の距離は、 $t_{SAMEROW}$ 、 $t_{SAMECOLUMN}$ 、 $t_{DIFFROW}$ 、 $t_{TWOROWS}$ 、 $t_{DIN2DATA}$ 、 $t_{LEPERIPH}$ の各パラメータに影響を与えます。ここで、s1が同じロウの1個のLEをドライブしている場合、s1からLEへの距離が増加するにしたがってs1からLEへの遅延も大きくなります。

## 例

次に、内部タイミング・マイクロパラメータを使用して、実際のアプリケーションの遅延を推定する方法を示します。

## 例1：カスケード・チェーンを用いた4ビット・コンパレータ

最適化や論理合成された回路のタイミング遅延を解析することができます。合成されたロジックを表す論理式は、MAX+PLUS IIのレポート・ファイル(.rpt)に記述されています。この論理式は、各信号のロジックの実現状況を素早く判断できるよう、構造的に記述されています。ここで、図13に4ビットのコンパレータを示します。

図13 4ビット・コンパレータ回路

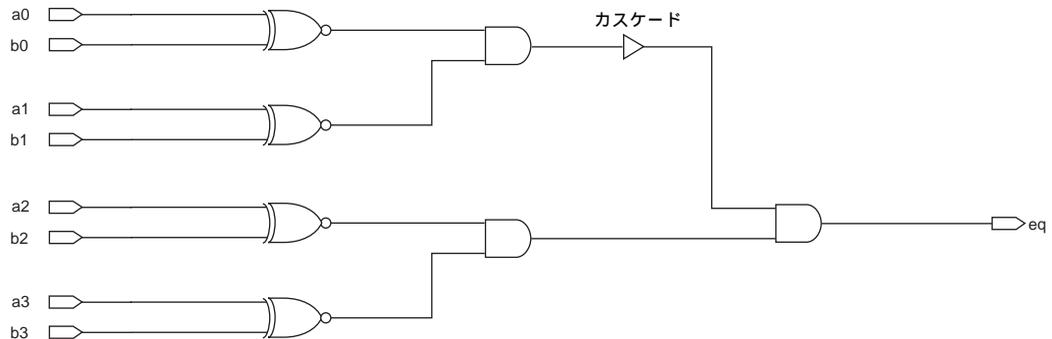


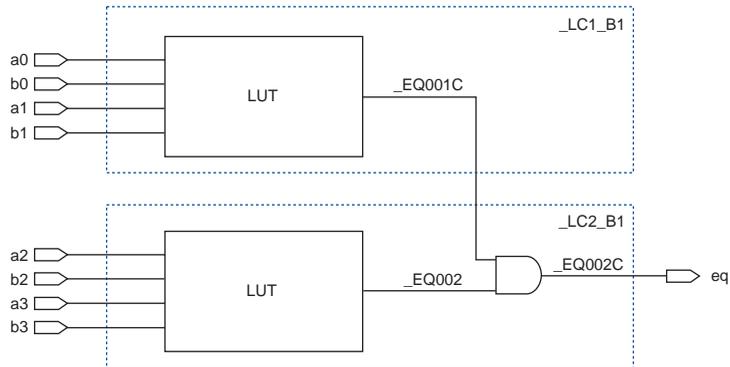
図13に示した回路のMAX+PLUS IIレポート・ファイルには、コンパレータの出力eqに対して、次の論理式が記述されています。

```

eq      =  _LC2_B1;
_LC2_B1 =  LCELL( _EQ002C);
_EQ002C =  _EQ002 & CASCADE( _EQ001C);
_EQ002  =  a2 & a3 & b2 & b3
          # a2 & !a3 & b2 & !b3
          # !a2 & a3 & !b2 & b3
          # !a2 & !a3 & !b2 & !b3;
_LC1_B1 =  LCELL( _EQ001C);
_EQ001C =  _EQ001;
_EQ001  =  a0 & a1 & b0 & b1
          # a0 & !a1 & b0 & !b1
          # !a0 & a1 & !b0 & b1
          # !a0 & !a1 & !b0 & !b1;
    
```

図14は論理合成後の4ビット・コンパレータです。

図14 論理合成後の4ビット・コンパレータ



出力ピンeqはカスケード・チェーンの2段目のLEからの出力です。\_LC1\_B1のLUTは、最初の2ビットの比較を実現しています。また、次の2ビットの比較は\_LC2\_B1のLUTで実現されています。この2つのLUTの出力はカスケード接続され、\_LC2\_B1の出力を形成しています。

a2とeqが共に口ウ側のI/Oピンになっている場合は、次のマイクロパラメータを加算することでa2からeqまでのタイミング遅延が推定できます。

$$t_{INCOMB} + t_{SAMEROW} + t_{LUT} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

a0がロウ側のI/Oピンの場合は、次のマイクロパラメータを加算することでa0からeqまでのタイミング遅延が推定できます。

$$t_{INCOMB} + t_{SAMEROW} + t_{LUT} + t_{CASC} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

### 例2：キャリー・チェーンを用いた3ビット・アダー

FLEX 10Kには、複雑な演算機能を実現するための特殊なリソースが提供されています。アダーやカウンタを構成するときには、次の上位ビットへの繰り上げを行うためのキャリー機能が必要になります。FLEX 10Kのアーキテクチャには、この機能を実現するためのキャリー・チェーンが内蔵されています。ここでは、キャリー・チェーンを用いた3ビット・アダーの遅延を推定する方法を解説します（図15を参照）。

図15 キャリー・チェーンを用いた3ビット・アダー

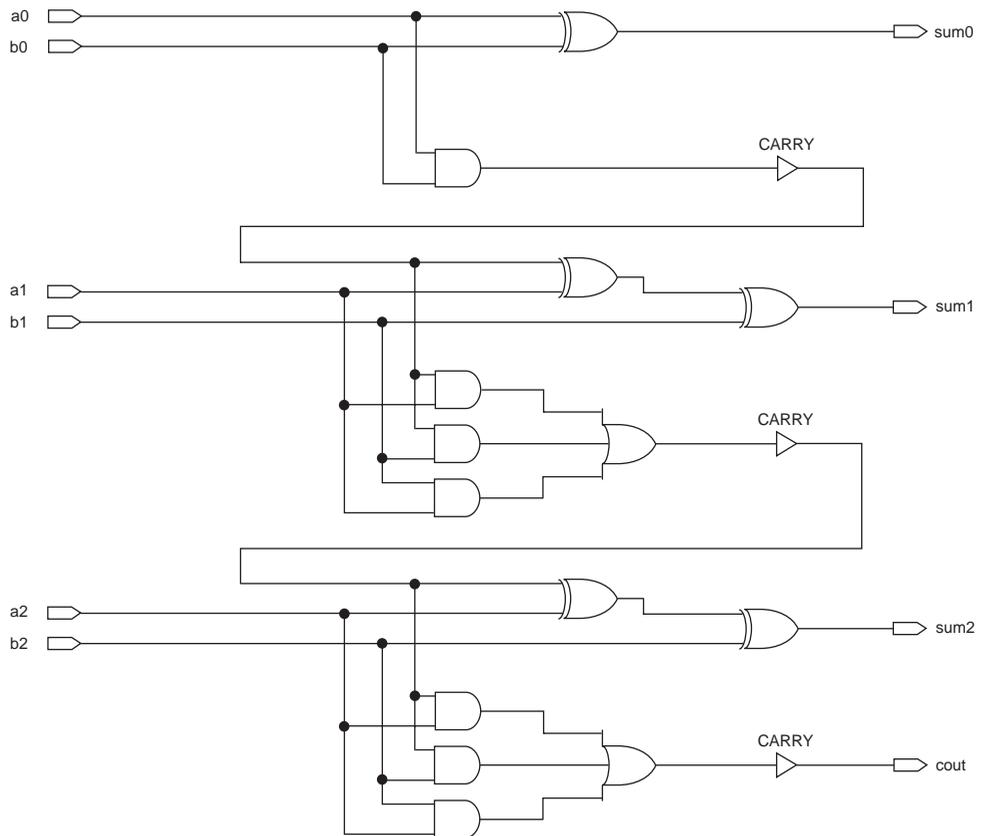


図15で示した3ビット・アダーに対するMAX+PLUS IIのレポート・ファイルには、次の論理式が記述されています。

```
cout          = _LC5_B1;
sum0          = _LC2_B1;
sum1          = _LC3_B1;
sum2          = _LC4_B1;
_LC2_B1       = LCELL( _EQ001);
_EQ001        = !a0 & b0
              # a0 & !b0;
_LC2_B1_CARRY = CARRY( _EQ002);
_EQ002        = a0 & b0;
_LC3_B1       = LCELL( _EQ003);
_EQ003        = a1 & !b1 & !_LC2_B1_CARRY
              # !a1 & !b1 & _LC2_B1_CARRY
              # a1 & b1 & _LC2_B1_CARRY
              # !a1 & b1 & !_LC2_B1_CARRY;
_LC3_B1_CARRY = CARRY( _EQ004);
_EQ004        = a1 & _LC2_B1_CARRY
              # a1 & b1
              # b1 & _LC2_B1_CARRY;
_LC4_B1       = LCELL( _EQ005);
_EQ005        = a2 & !b2 & !_LC3_B1_CARRY
              # !a2 & !b2 & _LC3_B1_CARRY
              # a2 & b2 & _LC3_B1_CARRY
              # !a2 & b2 & !_LC3_B1_CARRY;
_LC5_B1       = LCELL( _LC4_B1_CARRY);
_LC4_B1_CARRY = CARRY( _EQ006);
_EQ006        = a2 & _LC3_B1_CARRY
              # a2 & b2
              # b2 & _LC3_B1_CARRY;
```

図16は、論理合成された3ビット・アダーです。

図16 論理合成された3ビット・アダー

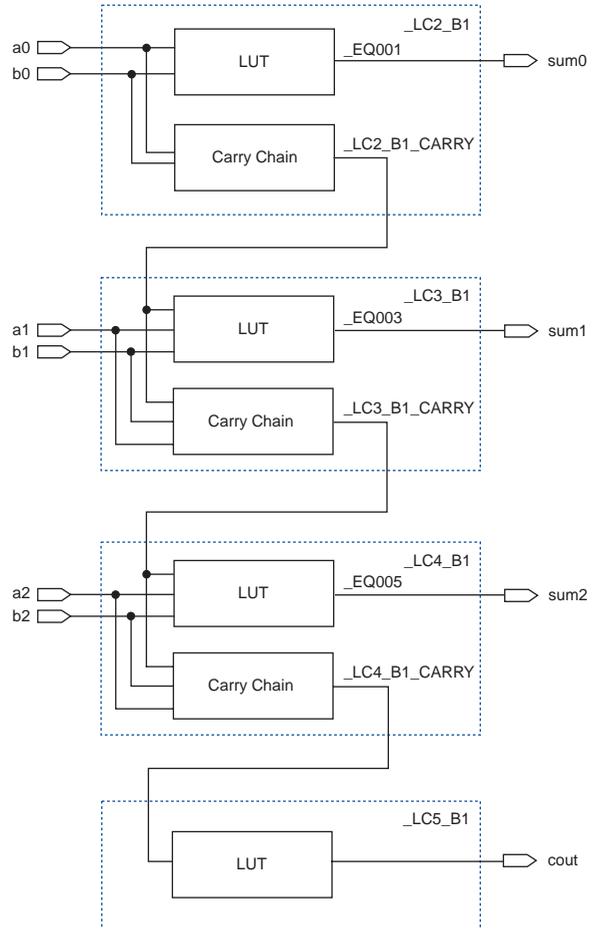


図16では、\_LC2\_B1のLEがsum0と\_LC3\_B1のキャリア・インがキャリア・アウト信号（\_LC2\_B1\_CARRY）を生成し、\_LC3\_B1のLEがsum1と\_LC4\_B1のキャリア・イン接続されるキャリア・アウト信号（\_LC3\_B1\_CARRY）を生成します。\_LC4\_B1のLEはsum2の出力と、a2、b2、\_LC3\_B1\_CARRYを使用してcoutを生成します。キャリア信号用のバッファは直接ピンに接続できないため、cout信号は\_LC5\_B1を経由して出力される必要があります。

a0とsum2が同じロウ側のI/Oピンになっている場合は、次のマイクロパラメータを加算することによって、a0からsum2までのタイミング遅延を推定することができます。

$$t_{INCOMB} + t_{SAMEROW} + t_{CGEN} + t_{CICO} + t_{CLUT} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

a0とcoutが同じロウ側のI/Oピンになっている場合は、次のマイクロパラメータを加算することによって、a0からcoutまでのタイミング遅延を推定することができます。

$$t_{INCOMB} + t_{SAMEROW} + t_{CGEN} + t_{CICO} + t_{CICO} + t_{CLUT} + t_{COMB} + t_{SAMEROW} + t_{IOD} + t_{IOCOMB} + t_{OD1}$$

## まとめ

FLEX 10Kデバイスのアーキテクチャでは、予測可能な内部タイミング遅延が提供されており、信号の合成や配置をベースに内部タイミングを推定することができます。また、MAX+PLUS IIのタイミング・アナライザは、正確なタイミング情報を提供します。ただし、1998年版データブックに収録されている「*FLEX 10K Embedded Programmable Logic Family*」のデータシートに示されている各タイミング・パラメータとタイミング・モデルを使用して、コンパイル前にデザインの性能を予測することもできます。双方の手法を活用することにより、デザインのイン・システム・タイミング性能を正確に予測することができます。



日本アルテラ株式会社

〒163-0436  
東京都新宿区西新宿2-1-1  
新宿三井ビル私書箱261号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,  
San Jose, CA 95134  
TEL : (408) 544-7000  
<http://www.altera.com>

この資料はアルテラが発行した英文の資料を日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認ください。