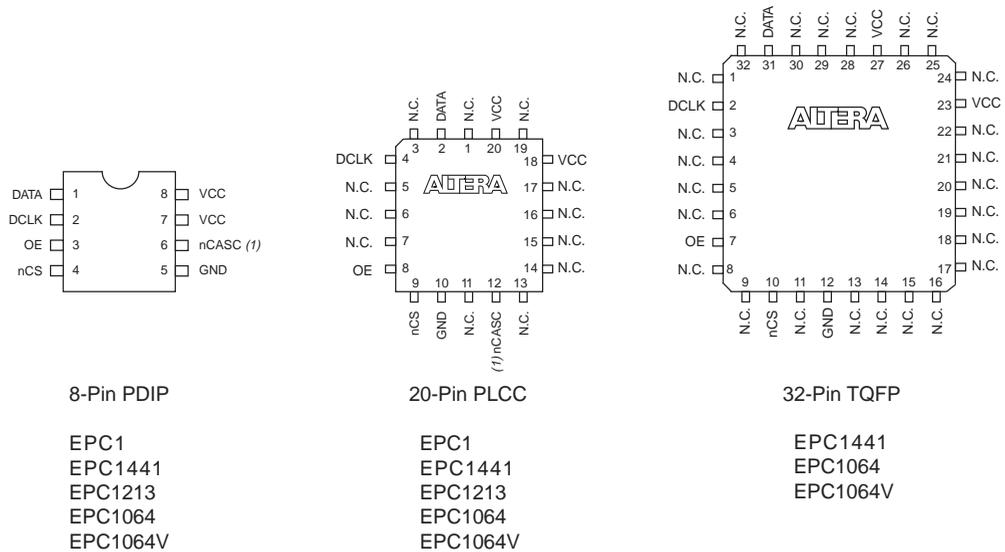


特長

- FLEX®およびAPEX®デバイスのコンフィギュレーション用シリアル・デバイス・ファミリ
- FLEXおよびAPEXデバイスとのシンプルで使いやすい4ピン・インタフェース
- コンフィギュレーション時の低電流特性と、ほぼゼロに近いスタンバイ電流
- 5.0Vおよび3.3V動作
- WindowsベースのPC、Sun SPARCstation、HP 9000シリーズ700/800、IBM RISC System/6000の各ワークステーション上で動作するアルテラのMAX+PLUS® II およびQuartus™開発システムによるソフトウェア・デザイン・サポート
- アルテラのマスタ・プログラミング・ユニット (MPU)、およびData I/O、BP Microsystemsなどのサード・ベンダのプログラミング・ハードウェアによるプログラミング・サポート
- コンパクトなプラスチック・パッケージで供給 (図1と図2を参照)
 - 8ピン、プラスチック・デュアル・イン・ライン・パッケージ (PDIP)
 - 20ピン、プラスチック・Jリード・チップ・キャリア (PLCC) パッケージ
 - 32ピン、プラスチック薄型クワッド・フラット・パック (TQFP) パッケージ
- EPC2は再プログラム可能なFLASHコンフィギュレーション・メモリ
 - 内蔵のIEEE Std. 1149.1 JTAG (Joint Test Action Group) インタフェースを使用した5.0Vおよび3.3Vでのイン・システム・プログラマビリティ (ISP) 機能
 - IEEE Std. 1149.1に準拠したJTAGバウンダリ・スキャン・テスト (BST) 回路を内蔵
 - シリアル・ベクタ・フォーマット・ファイル (.svf)、Jam™ファイル (.jam)、Jam Byte-Code ファイル (.jbc) およびBitBlaster™、ByteBlasterMV™またはByteBlaster™ダウンロード・ケーブルを使用したMAX+PLUS IIソフトウェアによるプログラミング・サポート (ByteBlasterケーブルは製造中止となり、代替品として2.5V、3.3V、または5.0Vデバイスのプログラムまたはコンフィギュレーションが行えるByteBlasterMVが供給されています)。
 - nINIT_CONFピンにより、FLEXまたはAPEXデバイスのコンフィギュレーションを開始させるJTAG命令が使用可能
 - EPC1およびEPC1441用のプログラマ・オブジェクト・ファイル (.pof) でもプログラム可能 (FLEX 8000デバイスをコンフィギュレーションする場合を除く)
 - 20ピンPLCCおよび32ピンTQFPパッケージで供給

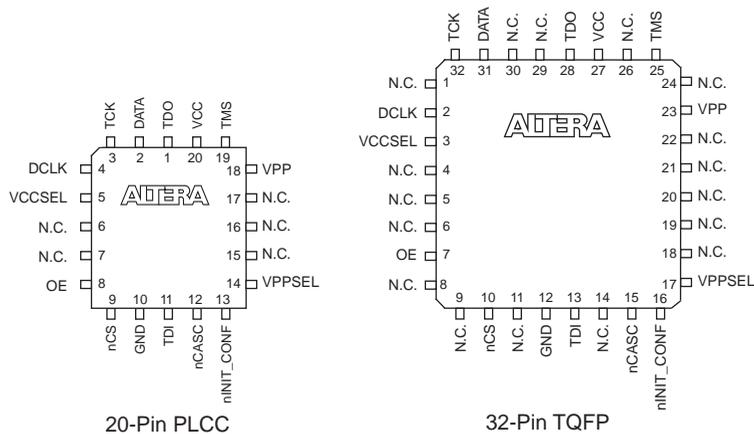
図 1 EPC1、EPC1441、EPC1213、EPC1064、EPC1064Vのパッケージとピン配置



注 :

- (1) nCASCピンは、EPC1とEPC1213にのみ提供されています。EPC1064、EPC1064V、EPC1441では、このピンが内部で使用されているため、外部と接続することはできません。

図 2 EPC2のパッケージとピン配置



機能説明

SRAMベースのデバイスでは、システムがイニシャライズされるごとに、または新しいコンフィギュレーション・データが要求されたときに、デバイスにコンフィギュレーション・データを再ロードしなければなりません。アルテラのコンフィギュレーション・デバイスはSRAMベースのFLEXおよびAPEXデバイスに対するコンフィギュレーション・データをストアするデバイスです。表1は、アルテラから供給されているコンフィギュレーション・デバイス・ファミリを示したものです。

表1 コンフィギュレーション・デバイス	
デバイス名	容量と動作電圧
EPC2	1,695,680 × 1 ビット 5.0Vまたは3.3V動作
EPC1	1,046,496 × 1 ビット 5.0Vまたは3.3V動作
EPC1441	440,800 × 1 ビット 5.0Vまたは3.3V動作
EPC1213	212,942 × 1 ビット 5.0V動作
EPC1064	65,536 × 1 ビット 5.0V動作
EPC1064V	65,536 × 1 ビット 3.3V動作

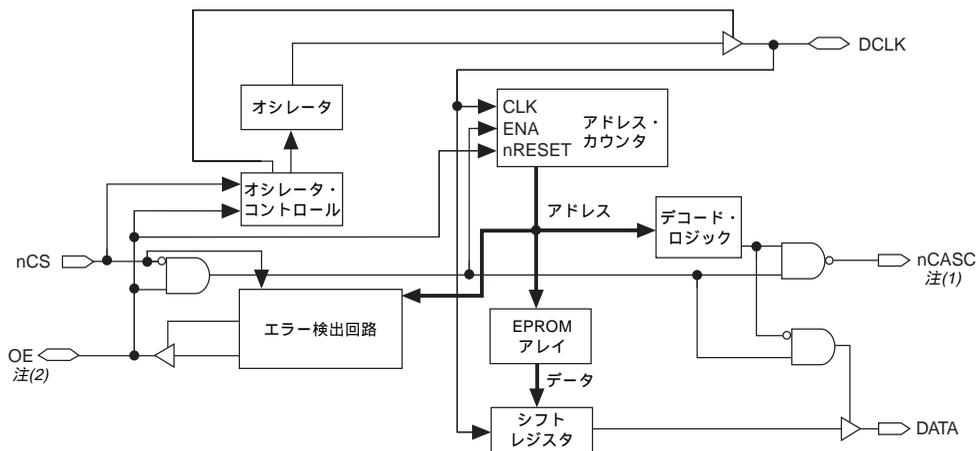
表2は各FLEXおよびAPEXデバイスに対応するコンフィギュレーション・デバイスを示したものです。

表2 FLEXおよびAPEXデバイスに対応するコンフィギュレーション・デバイス	
デバイス名	コンフィギュレーション・デバイス
EPF10K10、EPF10K10A	EPC2、EPC1またはEPC1441
EPF10K20	EPC2、EPC1またはEPC1441
EPF10K30E	EPC2またはEPC1
EPF10K30、EPF10K30A	EPC2、EPC1またはEPC1441
EPF10K40	EPC2またはEPC1
EPF10K50、EPF10K50V、EPF10K50E	EPC2またはEPC1
EPF10K70	EPC2またはEPC1
EPF10K100、EPF10K100A、EPF10K100B、EPF10K100E	EPC2または2個のEPC1デバイス
EPF10K130V	EPC2または2個のEPC1デバイス
EPF10K130E	2個のEPC2または2個のEPC1デバイス
EPF10K200E	2個のEPC2または3個のEPC1デバイス
EPF10K250A	2個のEPC2または4個のEPC1デバイス
EPF8282A	EPC1、EPC1441またはEPC1064
EPF8282AV	EPC1、EPC1441またはEPC1064V
EPF8452A	EPC1、EPC1441またはEPC1213
EPF8636A	EPC1、EPC1441またはEPC1213
EPF8820A	EPC1、EPC1441またはEPC1213
EPF81188A	EPC1、EPC1441またはEPC1213
EPF81500A	EPC1またはEPC1441
EPF6010A	EPC2、EPC1またはEPC1441
EPF6016、EPF6016A	EPC2、EPC1またはEPC1441
EPF6024A	EPC2、EPC1またはEPC1441
EP20K100	EPC2
EP20K200	2個のEPC2デバイス
EP20K400	3個のEPC2デバイス

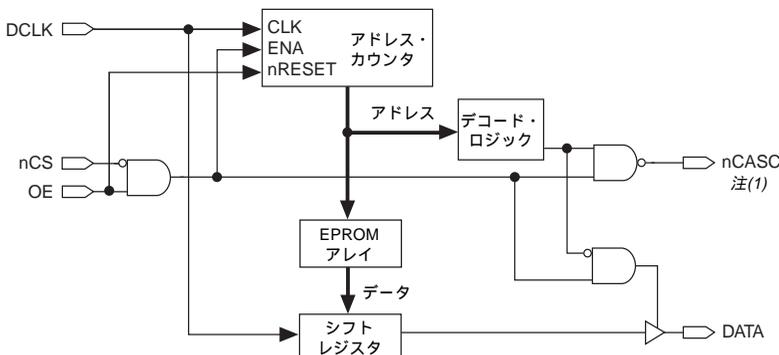
図3はコンフィギュレーション・デバイスのブロック・ダイアグラムを示したものです。

図3 コンフィギュレーション・デバイスのブロック・ダイアグラム

APEX 20K、FLEX 10KおよびFLEX 6000デバイスのコンフィギュレーションに使用されたときのEPC2、EPC1またはEPC1441



FLEX 8000デバイスのコンフィギュレーションに使用されたときのEPC1、EPC1441、EPC1213、EPC1064またはEPC1064V



注：

- (1) EPC1441、EPC1064、EPC1064Vの各デバイスはデータのカスケードをサポートしていません。EPC2、EPC1、EPC1213の各デバイスはデータのカスケードをサポートしています。
- (2) OEピンは双方向のオープン・ドレイン・ピンです。

デバイスの コンフィギュ レーション

コンフィギュレーション・デバイスのコントロール信号となっているnCS、OE、およびDCLKの各ピンは、FLEXおよびAPEXデバイス側のコントロール信号とダイレクトにインタフェースされます。すべてのFLEXおよびAPEXデバイスはコンフィギュレーションのプロセス全体をコントロールすることができ、外部にインテリジェントなコントローラを設けることなく、コンフィギュレーション・デバイスからデータを受け取ることができます。

コンフィギュレーション・デバイスのOEピンとnCSピンは、DATA出力ピンのトライ・ステート・バッファをコントロールし、アドレス・カウンタ（EPC2、EPC1、EPC1441の場合はオシレータも）をイネーブルにします。OEピンがLowにドライブされると、コンフィギュレーション・デバイスはアドレス・カウンタをリセットして、DATAピンをトライ・ステートの状態にします。nCSピンはコンフィギュレーション・デバイスの出力をコントロールします。OEピンにリセット・パルスを与えた後でnCSピンがHighレベルに保持されると、カウンタがディセーブルされ、DATA出力のピンがトライ・ステートになります。nCSがLowにドライブされると、カウンタとDATA出力がイネーブルとなります。ここで、OEピンが再びLowレベルにドライブされると、nCSの状態に関係なく、アドレス・カウンタがリセットされ、DATA出力ピンがトライ・ステートとなります。



EPC2、EPC1、EPC1441の各デバイスでは、OEピンがHighにドライブされたときに動作モードが決定されるようになっており、APEX 20K、FLEX 10K、FLEX 8000、あるいはFLEX 6000デバイス用のプロトコルのいずれかが選択されます。

コンフィギュレーション・デバイスがすべてのデータを出力してnCASCがLowになると、他のコンフィギュレーション・デバイスとのコンフリクトを避けるために、DATAピンがトライ・ステートになります。また、電源が新たに投入された場合は、アドレス・カウンタが自動的にリセットされます。

EPC2デバイスでは、nINIT_CONFと呼ばれる追加のピンを使用して、ユーザがFLEXまたはAPEXデバイスのコンフィギュレーションを開始させることができます。このnINIT_CONFピンはコンフィギュレーションされるFLEXまたはAPEXデバイス（複数可）のnCONFIGピンと接続できるようになっています。JTAG命令により、EPC2デバイスのnINIT_CONFピンがLowレベルにドライブされるようにし、コンフィギュレーションされるデバイスのnCONFIGピンをLowにすることができます。次に、EPC2はコンフィギュレーションを開始させるため、nINIT_CONFピンをHighレベルにドライブします。JTAGのステート・マシンがこのステートを抜けると、nINIT_CONFピンがnCONFIGピンをリリースし、対象デバイスのコンフィギュレーションの動作が開始されます。



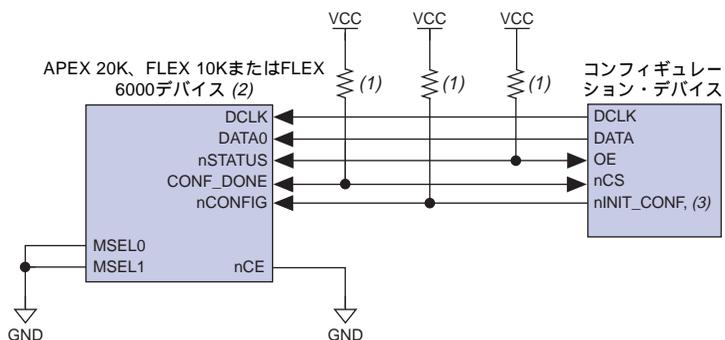
EPC2デバイスは、EPC1またはEPC1441用に作成されたPOFでもプログラムすることができます。（FLEX 8000デバイスをコンフィギュレーションする場合を除く）また、EPC1デバイスは、EPC1441用に作成されたPOFでもプログラムすることができます。

APEX 20K、FLEX 10KおよびFLEX 6000デバイスのコンフィギュレーション

APEX 20K、FLEX 10KおよびFLEX 6000ファミリのデバイスは、EPC2、EPC1またはEPC1441デバイスを使用してコンフィギュレーションすることができます。EPC2、EPC1またはEPC1441はEPROMアレイにコンフィギュレーション・データをストアし、内部のオシレータによりデータをク

ロックに同期させてシリアルに出力します。OE、nCS、およびDCLKの各ピンには、アドレス・カウンタと出力のトライ・ステート・バッファをコントロールするための信号が供給されます。コンフィギュレーション・デバイスはDATAピンにコンフィギュレーション・データをシリアルなビットストリームとして供給し、このDATAピンがAPEX 20K、FLEX 10KまたはFLEX 6000デバイスのDATA0またはDATAの入力ピンと接続されます。1個のEPC1441で、1個のEPF10K10、EPF10K20、あるいはEPF10K30デバイスをコンフィギュレーションすることができます。図4は1個のEPC2、EPC1またはEPC1441でAPEX 20K、FLEX 10KまたはFLEX 6000デバイスをコンフィギュレーションするときの接続図を示したものです。

図4 1個のEPC2、EPC1またはEPC1441で、APEX 20K、FLEX 10KまたはFLEX 6000デバイスをコンフィギュレーションするときの接続図



注:

- (1) すべてのプルアップ抵抗の値は1kΩです。EPC2のOE、nCS、nINIT_CONFの各ピンには、ユーザによる設定が可能な1kΩのプルアップ抵抗が内蔵されています。内蔵のプルアップ抵抗が使用された場合は、これらのピンの外側にプルアップ抵抗を接続することはできません。このEPC2の内蔵プルアップ抵抗の使用をコントロールする機能は、MAX+PLUS IIのバージョン9.2以降で提供されています。MAX+PLUS IIのバージョン9.1のソフトウェアには、このコントロール機能が提供されておらず、これらのピンの内蔵プルアップ抵抗はディセーブルされます。
- (2) 上記の図は、APEX 20KまたはFLEX 10Kデバイスの場合を示したもので、MSEL0とMSEL1のピンがグラウンドに接続されています。FLEX 6000デバイスの場合は、MSELピンがグラウンドに接続され、DATA0のピンがDATAという名称となっています。これらの点を除き、APEX 20K、FLEX 10KおよびFLEX 6000デバイスの他の接続方法は同一です。
- (3) nINIT_CONFピンはEPC2デバイスにのみ提供されています。nINIT_CONFピンを使用しない場合、またはこのピンがないデバイスを使用する場合は、nCONFIGピンをダイレクトに、または1kΩの抵抗を介してV_{cc}に接続する必要があります。

表3はAPEX 20K、FLEX 10KおよびFLEX 6000デバイスをコンフィギュレーションするときを使用されるEPC2、EPC1およびEPC1441のピンの機能を示したものです。

表3 APEX 20K、FLEX 10KおよびFLEX 6000デバイスのコンフィギュレーション時における、EPC2、EPC1およびEPC1441デバイスの各ピンの機能 (1/2)

ピン名	ピン番号			ピン・タイプ	説明
	8ピン PDIP 注(1)	20ピン PLCC	32ピン TQFP 注(2)		
DATA	1	2	31	出力	シリアル・データ出力。nCSピンがHighになっている状態で、コンフィギュレーションが開始される前、およびコンフィギュレーション・デバイスによるコンフィギュレーション・データの送出手続きが完了すると、DATAピンがトライ・ステートになる。この動作は、カスケード・チェーン内のデバイスの位置とは関係なく行われる。
DCLK	2	4	2	I/O	1個のコンフィギュレーション・デバイスでコンフィギュレーションを行っている場合、または複数のコンフィギュレーション・デバイスで構成されるチェーンに接続された最初のデバイス（マスタ）の場合、このDCLKピンはクロック出力となる。また、コンフィギュレーション・デバイス・チェーンの2番目以降のデバイス（スレーブ）ではDCLKピンがクロック入力となる。DCLKの立ち上がりエッジで内部のアドレス・カウンタがインクリメントし、データの次のビットがDATAピンに現れる。OEピンにHighが入力されている状態で、nCSピンがLowに保持され、ターゲット・デバイスに対するすべてのコンフィギュレーション・データの転送が完了していないときのみ、カウンタがインクリメントされる。コンフィギュレーション・デバイス・チェーンの最初のEPC2またはEPC1の場合、または1個のEPC1441でコンフィギュレーションを行っている場合は、コンフィギュレーションが完了したとき、またはOEがLowになったときに、DCLKピンがLowにドライブされる。
OE 注(3)	3	8	7	オープン・ドレイン I/O	出カインネーブル（アクティブHigh）とリセット（アクティブLow）。このピンにLowレベルを与えると、アドレス・カウンタがリセットされる。また、Highレベルを与えるとDATAピンがインネーブルになり、アドレス・カウンタのインクリメントが可能になる。コンフィギュレーション時に、このピンにLowレベルを与えると（リセット）、内部オシレータがインアクティブとなり、DCLKピンはLowレベルにドライブされる。詳細は16ページの「エラー検出回路」を参照。
nCS 注(3)	4	9	10	入力	チップ・セレクト入力（アクティブLow）。このピンにLowレベルを与えることによって、DCLKがアドレス・カウンタをインクリメントし、DATAピンからのデータ出力が可能になる。nCSピンがLowのときに、EPC2またはEPC1がリセットされると、このデバイスがコンフィギュレーション・チェーンの最初のデバイスとしてイニシャライズされる。また、nCSがHighのときに、EPC2またはEPC1がリセットされた場合は、チェーン内の次のEPC2またはEPC1としてイニシャライズされる。
nCASC 注(4)	6	12	15	出力	カスケード・セレクト出力（アクティブLow）。アドレス・カウンタが最大値に達したとき、この出力ピンはLowになる。複数のEPC2またはEPC1がコンフィギュレーション・チェーンに接続されている場合は、このデバイスのnCASCピンがチェーン内の次のデバイスのnCSピンに接続される。これによって、チェーン内の次のEPC2またはEPC1にデータを出力するためのDCLKが与えられるようになる。

表3 APEX 20K、FLEX 10KおよびFLEX 6000デバイスのコンフィギュレーション時における、EPC2、EPC1およびEPC1441デバイスの各ピンの機能 (2/2)

ピン名	ピン番号			ピン・タイプ	説明
	8ピン PDIP 注(1)	20ピン PLCC	32ピン TQFP 注(2)		
nINIT_CONF 注(3)、(5)、(6)	-	13	16	オープン・ドレイン出力	このnINIT_CONFピンを使用したJTAG命令でコンフィギュレーションを開始させることができる。このピンをFLEXまたはAPEXデバイスのnCONFIGピンと接続し、JTAG命令をEPC2に与えてコンフィギュレーションを開始させる。複数のEPC2がチェーンに接続されている場合は、最初のEPC2のnINIT_CONFピンだけがFLEXデバイスのnCONFIGピンと接続される。注(6)
TDI 注(5)	-	11	13	入力	JTAGデータ入力ピン。JTAGチェーンを使用しない場合は、このピンをV _{CC} に接続する。
TDO 注(5)	-	1	28	出力	JTAGデータ出力ピン。JTAGチェーンを使用しない場合は、このピンに何も接続しない。
TMS 注(5)	-	19	25	入力	JTAGモード・セレクト・ピン。JTAGチェーンを使用しない場合は、このピンをV _{CC} に接続する。
TCK 注(5)	-	3	32	入力	JTAGクロック・ピン。JTAGチェーンを使用しない場合は、このピンをグラウンドに接続する。
VCCSEL 注(5)	-	5	3	入力	V _{CC} 供給電圧モード・セレクト・ピン。デバイスが5.0Vの電源を使用する場合は(V _{CC} =5.0V)、このVCCSELピンをグラウンドに接続する必要がある。また、3.3Vの電源を使用する場合は(V _{CC} =3.3V)、このピンをV _{CC} に接続する必要がある。
VPPSEL 注(5)	-	14	17	入力	VPPモード・セレクト・ピン。VPPが5.0Vの電源を使用している場合は(VPP=5.0V)、このVPPSELピンをグラウンドに接続する必要がある。VPPが3.3Vの電源を使用する場合は(VPP=3.3V)、このピンをV _{CC} に接続する必要がある。
VPP	-	18	23	電源	プログラミング・パワー・ピン。EPC2デバイスでは、このピンが通常、V _{CC} と接続される。EPC2のV _{CC} が3.3Vの場合、VPPピンを5.0Vに接続してイン・システム・プログラミング時間を短縮することができる。EPC1とEPC1441の場合は、VPPピンをV _{CC} に接続する必要がある。
VCC	7, 8	20	27	電源	電源ピン
GND	5	10	12	グラウンド	グラウンド・ピン。VCCとGNDピンの間には0.2μFのデカップリング・キャパシタを接続しておく必要がある。

注:

- (1) このパッケージはEPC1とEPC1441の両デバイスにのみ提供されています。
- (2) このパッケージはEPC2とEPC1441の両デバイスにのみ提供されています。
- (3) EPC2のOE、nCS、nINIT_CONFの各ピンは、内部にユーザ設定可能な1kΩのプルアップ抵抗を持っています。内蔵のプルアップ抵抗が使用されている場合は、これらのピンの外側にプルアップ抵抗を接続することはできません。このEPC2の内蔵プルアップ抵抗の使用をコントロールする機能は、MAX+PLUS IIのバージョン9.2以降で提供されています。MAX+PLUS IIのバージョン9.1のソフトウェアには、このコントロール機能が提供されておらず、これらのピンの内蔵プルアップ抵抗はディセーブルされます。
- (4) EPC1441はデータのカスケードをサポートしていません。EPC2とEPC1は、データのカスケードをサポートしています。
- (5) このピンはEPC2デバイスにのみ提供されます。
- (6) このJTAG命令はMAX+PLUS IIのバージョン9.2以降のソフトウェアでサポートされています。

複数のEPC2またはEPC1コンフィギュレーション・デバイスを使用してAPEX 20K、FLEX 10KおよびFLEX 6000デバイスをコンフィギュレーションする方法

APEX 20K、FLEX 10KまたはFLEX 6000デバイスに対するコンフィギュレーション・データが1個のEPC2またはEPC1の容量を超える場合は、複数のEPC2またはEPC1デバイスをカスケード接続して使用することができます（EPC1441はデータのカスケードをサポートしていません）。複数のEPC2またはEPC1デバイスが必要になる場合は、nCASCとnCSピンがデバイス間のハンドシェイク機能を提供します。

カスケード接続された複数のEPC2またはEPC1デバイスでAPEX 20K、FLEX 10KまたはFLEX 6000デバイスをコンフィギュレーションする場合は、このチェーンに接続されている各EPC2またはEPC1デバイスの位置がそれぞれの動作を決定します。コンフィギュレーション・デバイスのチェーンに接続されている最初のデバイスまたはマスタ・デバイスに電源を与えるかデバイスをリセットし、デバイスのnCSピンをLowにドライブすると、マスタとなる最初のデバイスがFLEXのコンフィギュレーションをコントロールするようになります。このマスタとなるデバイスはコンフィギュレーションの期間中に、1個または複数のAPEXまたはFLEX デバイスと、チェーンに接続されている下位のすべてのスレーブ・デバイスにすべてのクロック・パルスを供給します。また、このマスタとなるEPC2またはEPC1デバイスは、マルチ・デバイス・コンフィギュレーションのモードでデータの最初のストリームをAPEXまたはFLEXデバイスに供給します。マスタとなっているEPC2またはEPC1デバイスによるコンフィギュレーション・データの送りが完了すると、マスタ・デバイスのnCASCピンがLowレベルにドライブされ、このピンが最初のスレーブ・デバイスのnCSピンをLowにドライブします。この動作によって、スレーブ・デバイスとなるEPC2またはEPC1からAPEXまたはFLEXデバイスにコンフィギュレーション・データが送出されるようになります。

マスタとなるEPC2またはEPC1デバイスは、接続されている他のすべてのスレーブ・デバイスに対して、コンフィギュレーションが完了するまでクロックを供給します。すべてのコンフィギュレーション・データが転送され、マスタ・デバイスのnCSピンがAPEXまたはFLEXデバイスのCONF_DONE信号によって、Highレベルにドライブされると、マスタとなっているEPC2またはEPC1が、APEXまたはFLEXデバイスにイニシャライズの動作を実行させるための16サイクルの追加クロック・パルスを供給します。そして、この動作の実行後に、マスタのEPC2またはEPC1デバイスは、ゼロ・パワー（アイドル）状態となります。すべてのコンフィギュレーション・データが転送される前にマスタ・デバイスのnCSピンがHighにドライブされたり、すべてのコンフィギュレーション・データの転送完了後にnCSがHighにドライブされなかった場合は、APEXまたはFLEXデバイスのnSTATUSピンがマスタのEPC2またはEPC1デバイスからLowにドライブされ、コンフィギュレーションにエラーが発生したことが示されます。MAX+PLUS II の場合は、「Global Project Device Options」のダイアログ・ボックス（Assignメニュー）で、「Auto-Restart Configuration on Frame Error」のオプションを

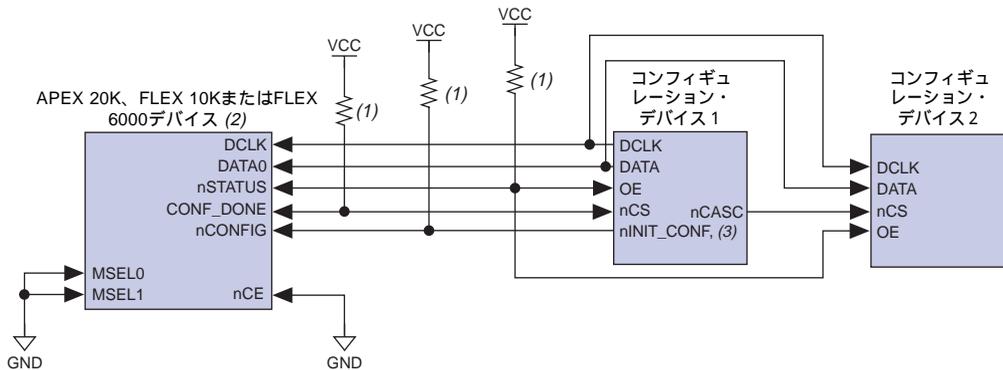
オンに設定した状態でプロジェクトがコンパイルされていると、このようなエラーが発生した場合にコンフィギュレーションが自動的に再開されません。

図5は2個のEPC2またはEPC1デバイスで、1個のAPEX 20K、FLEX 10KまたはFLEX 6000デバイスをコンフィギュレーションする場合の接続図を示したものです。EPC2またはEPC1デバイスのnCASCピンをチェーンに接続された下位のスレーブ・デバイスのnCSピンに接続し、DCLK、DATA、OEの各ピンをそれぞれ平行に接続することによって、さらにEPC2またはEPC1デバイスを追加することが可能です。



FLEX 10K、FLEX 10KA、FLEX 10KE、FLEX 6000、FLEX 6000Aの各デバイスを同じチェーンに接続してコンフィギュレーションすることが可能です。APEX 20K、APEX 20KEデバイスを同じチェーンに接続してコンフィギュレーションすることも可能です。詳細は、18ページの「複数の電圧レベルが使用されるチェーンのコンフィギュレーション」をご覧ください。

図5 2個のEPC2またはEPC1で、APEX 20K、FLEX 10KまたはFLEX 6000デバイスをコンフィギュレーションするときの接続図

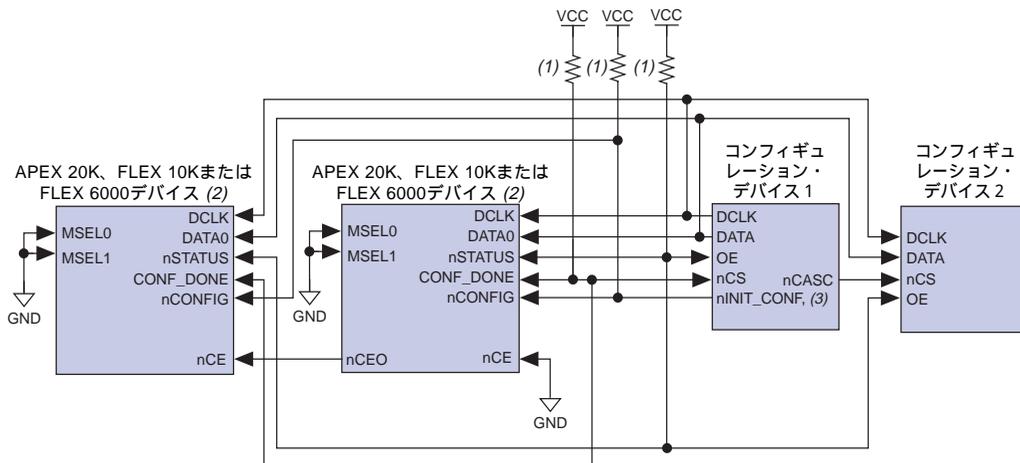


注：

- (1) すべてのプルアップ抵抗の値は1kΩです。EPC2のOE、nCSおよびnINIT_CONFピンは、内部にユーザ設定可能な1kΩのプルアップ抵抗を持っています。内蔵のプルアップ抵抗が使用されている場合は、これらのピンの外側にプルアップ抵抗を接続することはできません。このEPC2の内蔵プルアップ抵抗の使用をコントロールする機能は、MAX+PLUS IIのバージョン9.2以降で提供されています。MAX+PLUS IIのバージョン9.1のソフトウェアには、このコントロール機能が提供されておらず、これらのピンの内蔵プルアップ抵抗はディセーブルされます。
- (2) 上記の図はAPEX 20KまたはFLEX 10Kデバイスの例で、MSEL0とMSEL1のピンがグランドに接続されています。FLEX 6000デバイスの場合、MSELピンがグランドに接続され、DATA0のピンがDATAの名称になっています。これらの点を除き、APEX 20K、FLEX 10KおよびFLEX 6000デバイスのその他の接続方法は同一です。
- (3) nINIT_CONFピンはEPC2デバイスにのみ提供されています。nINIT_CONFピンを使用しない場合、またはこのピンがないデバイスを使用する場合は、nCONFIGピンをダイレクトに、または1kΩの抵抗を介してV_{CC}ピンに接続する必要があります。

図6は、2個のEPC2またはEPC1で2個のAPEX 20K、FLEX 10KまたはFLEX 6000デバイスをコンフィギュレーションするときの接続図を示したものです。

図 6 2 個のEPC2またはEPC1で、2 個のAPEX 20K、FLEX 10KまたはFLEX 6000デバイスを
 コンフィギュレーションするときの接続図



注：

- (1) すべてのプルアップ抵抗の値は1kΩです。EPC2のOE、nCSおよびnINIT_CONFピンは、内部にユーザ設定可能な1kΩのプルアップ抵抗を持っています。内蔵のプルアップ抵抗が使用されている場合は、これらのピンの外側にプルアップ抵抗を接続することはできません。このEPC2の内蔵プルアップ抵抗の使用をコントロールする機能は、MAX+PLUS IIのバージョン9.2以降で提供されています。MAX+PLUS IIのバージョン9.1のソフトウェアには、このコントロール機能が提供されておらず、これらのピンの内蔵プルアップ抵抗はディセーブルされます。
- (2) 上記の図はFLEX 10Kデバイスの例で、MSEL0とMSEL1のピンがグラウンドに接続されています。FLEX 6000デバイスの場合は、MSELピンがグラウンドに接続され、DATA0のピンがDATAの名称になっています。
- (3) nINIT_CONFピンはEPC2デバイスにのみ提供されています。nINIT_CONFピンを使用しない場合、またはこのピンがないデバイスを使用する場合は、nCONFIGピンをダイレクトに、または1kΩの抵抗を介してV_{CC}ピンに接続する必要があります。



下記の資料には、FLEX 10KまたはFLEX 6000デバイスのコンフィギュレーションに関するさらに詳細な情報が提供されています。

- アプリケーション・ノート、AN 59 (*Configuring FLEX 10K Devices*)
- アプリケーション・ノート、AN 87 (*Configuring FLEX 6000 Devices*)

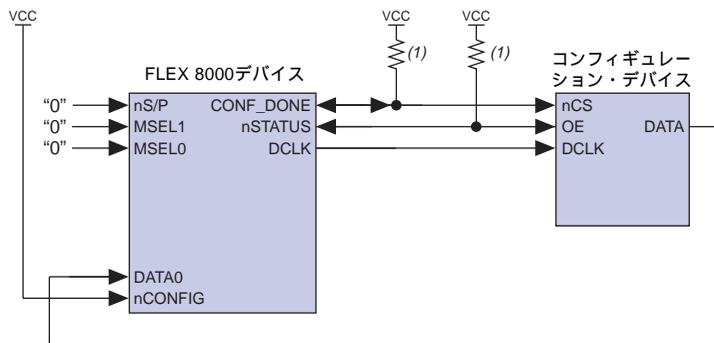
FLEX 8000デバイスのコンフィギュレーション

FLEX 8000デバイスはAPEX 20K、FLEX 10KやFLEX 6000デバイスとは異なり、内部にオシレータを持っているため、DCLK信号をコンフィギュレーション・デバイスに供給することができます。コンフィギュレーション・デバイスは、コンフィギュレーション・データをDATAピンにシリアルビットストリームとして出力します。このDATAピンはFLEX 8000デバイスの入力ピン、DATA0と接続され、データがFLEX 8000デバイスに供給されます。EPC1、EPC1441、EPC1213、EPC1064およびEPC1064Vの各デバイスは、この方法によるコンフィギュレーションをサポートしています。

EPC1とEPC1441は、EPC1213、EPC1064、EPC1064Vの各デバイスを置き換えることができます。EPC1またはEPC1441が、EPC1213、EPC1064、EPC1064V用に作成されたPOFでプログラムされると、EPC1またはEPC1441デバイスがこれらのPOFに対応したデバイスの動作をエミュレートします。EPC1またはEPC1441が、EPC1213、EPC1064、EPC1064V用に作成されたPOFでプログラムされた場合、FLEX 8000デバイスはEPC1またはEPC1441のOEピンをHighレベルにドライブし、EPC1またはEPC1441デバイスにクロックを供給します。1個のEPC1には、EPC1441、EPC1213、EPC1064、EPC1064Vの各デバイスよりも大容量のコンフィギュレーション・データをストアすることができます。このため、すべてのFLEXデバイスに対して1種類のみコンフィギュレーション・デバイスを使用することが可能です。また、1個のEPC1またはEPC1441デバイスで、任意のFLEX 8000デバイスをコンフィギュレーションすることができます。

FLEX 8000のマルチ・デバイス・コンフィギュレーションを行う場合は、nCASCとnCSピンを使用して複数のコンフィギュレーション・デバイス間のハンドシェイク機能を実現し、カスケード接続されたEPC1またはEPC1213により、複数のFLEX 8000デバイスをシリアルにコンフィギュレーションすることができます。EPC1441、EPC1064、EPC1064Vの各デバイスはデータのカスケードをサポートしていません。図7は1個のEPC1、EPC1441、EPC1213、EPC1064またはEPC1064Vで、FLEX 8000デバイスをコンフィギュレーションするときの接続図を示したものです。

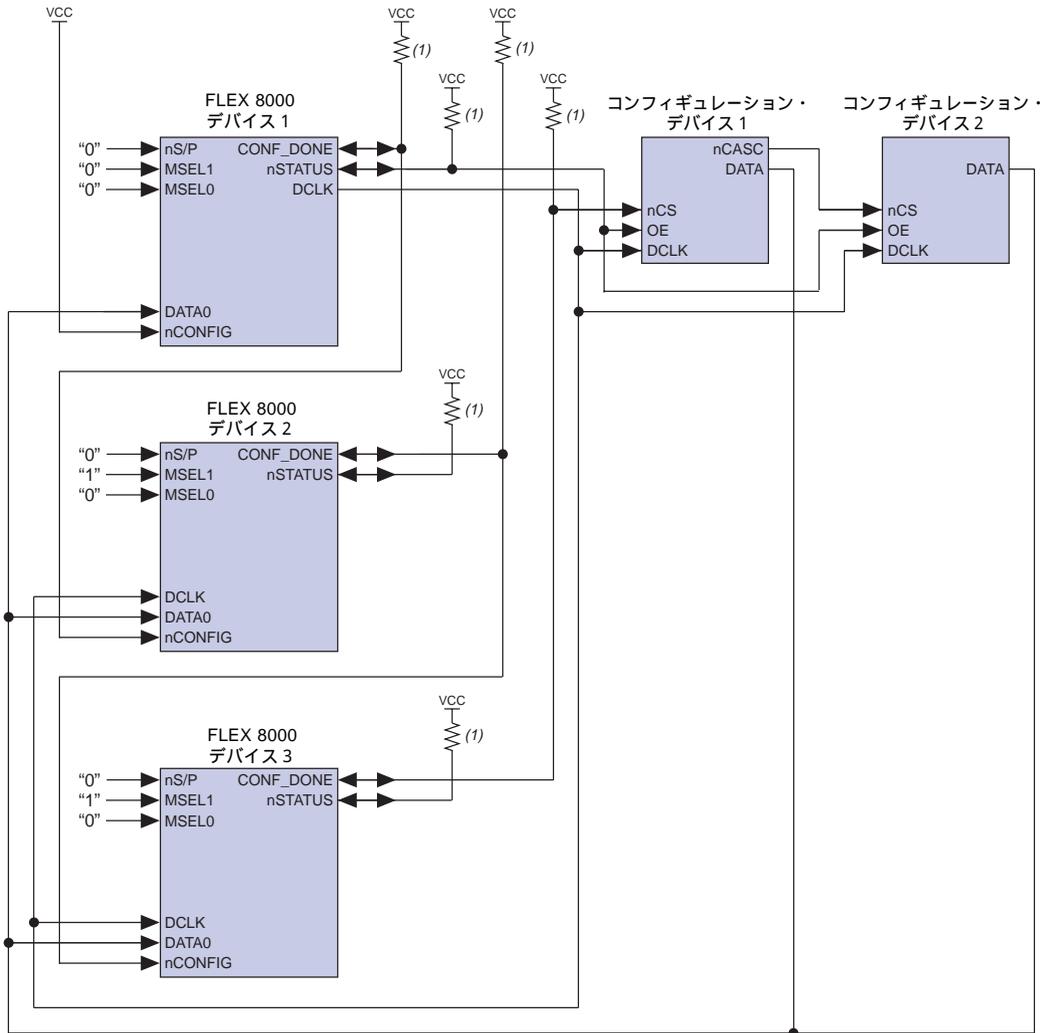
図7 1個のEPC1、EPC1441、EPC1213、EPC1064またはEPC1064Vで、FLEX 8000デバイスをコンフィギュレーションするときの接続図



注：
 (1) すべてのプルアップ抵抗の値は1kΩです。

図 8 は、2 個のEPC1またはEPC1213を使用して、3 個のFLEX 8000デバイスをコンフィギュレーションするときの接続図を示したものです。

図 8 2 個のEPC1またはEPC1213を使用して、3 個のFLEX 8000デバイスをコンフィギュレーションするときの接続図



注：

(1) すべてのプルアップ抵抗の値は1kΩです。

表4はFLEX 8000デバイスのコンフィギュレーション時における、すべてのコンフィギュレーション・デバイスの各ピンの機能を解説したものです。

ピン名	ピン番号			ピン・タイプ	説明
	8ピン PDIP 注(1)	20ピン PLCC	32ピン TQFP 注(2)		
DATA	1	2	31	出力	シリアル・データ出力。nCSピンがHighになっている状態で、コンフィギュレーションが開始される前、およびコンフィギュレーション・デバイスによるコンフィギュレーション・データの送出が完了すると、DATAピンがトライ・ステートになる。この動作は、カスケード・チェーン内のデバイスの位置とは関係なく行われる。
DCLK	2	4	2	入力	EPC1、EPC1213、EPC1064およびEPC1064Vの場合は、DCLKがクロック入力ピンとなる。DCLKの立ち上がりエッジで内部のアドレス・カウンタがインクリメントし、データの次のビットがDATAピンに現れる。OEピンにHighが入力されている状態で、nCSピンがLowに保持されていて、すべてのコンフィギュレーション・データのターゲット・デバイスへの送出が完了していないとときにのみ、カウンタがインクリメントされる。
OE	3	8	7	入力	出力イネーブル（アクティブHigh）とリセット（アクティブLow）。このピンにLowレベルを与えると、アドレス・カウンタがリセットされる。また、Highレベルを与えるとDATAピンがイネーブルになり、アドレス・カウンタのインクリメントが可能になる。
nCS 注(3)	4	9	10	入力	チップ・セレクト入力（アクティブLow）。このピンにLowレベルを与えることによって、DCLKがアドレス・カウンタをインクリメントし、DATAピンがイネーブルになる。
nCASC	6	12	15	出力	カスケード・セレクト出力（アクティブLow）。アドレス・カウンタが最大値に達したとき、この出力ピンがLowになる。複数のコンフィギュレーション・デバイスがチェーンで接続されている場合は、通常このnCASCピンがチェーン内の次のコンフィギュレーション・デバイスのnCS入力ピンに接続される。これによって、チェーン内の次のコンフィギュレーション・デバイスにデータを出力するためのDCLKが与えられるようになる。
VCC	7, 8	20	27	電源	電源ピン
GND	5	10	12	グラウンド	グラウンド・ピン。VCCとGNDピンの間には0.2μFのデカップリング・キャパシタを接続しておく必要がある。

注:

- (1) このパッケージは、EPC1、EPC1441、EPC1213、EPC1064、EPC1064Vの各デバイスにのみ提供されています。
- (2) このパッケージは、EPC1441、EPC1064、EPC1064Vの各デバイスにのみ提供されています。
- (3) EPC1441、EPC1064およびEPC1064Vの各デバイスはデータのカスケードをサポートしていません。EPC1およびEPC1213デバイスは、FLEX 8000デバイスに対するデータのカスケードをサポートしています。



下記の資料には、FLEX 8000デバイスのコンフィギュレーションに関する詳細な情報が提供されています。

- アプリケーション・ノート、AN 33 (*Configuring FLEX 8000 Devices*)
- アプリケーション・ノート、AN 38 (*Configuring Multiple FLEX 8000 Devices*)

電源と動作

このセクションでは、アルテラのコンフィギュレーション・デバイスのパワー・オン・リセット (POR) の遅延時間、エラー検出回路、3.3Vと5.0Vの電源電圧動作について解説します。

パワー・オン・リセット

最初の電源の投入時には、電源電圧を安定させるまでの期間として、パワー・オン・リセット (POR) の遅延時間が発生します。APEX 20K、FLEX 10KまたはFLEX 6000デバイスをEPC2、EPC1またはEPC1441でコンフィギュレーションする場合は、このPORの遅延がコンフィギュレーション・デバイスの内部で発生します。一方、FLEX 8000デバイスをEPC1213、EPC1064、またはEPC1064Vからコンフィギュレーションする場合は、PORの遅延はFLEX 8000デバイスの内部で発生します。いずれの場合でも、PORの遅延時間は標準で100ms、最大で200msとなっています。

エラー検出回路

EPC2、EPC1およびEPC1441コンフィギュレーション・デバイスには、APEX 20K、FLEX 10KおよびFLEX 6000デバイスをコンフィギュレーションするときのみ機能するエラー検出回路が内蔵されています。

内蔵されているエラー検出回路はコンフィギュレーション・デバイスのnCSピンを使用して、APEX 20K、FLEX 10KまたはFLEX 6000デバイスのCONF_DONEピンをモニタします。すべてのコンフィギュレーション・データが送出された後にCONF_DONEのピンがHighレベルにならなかった場合、あるいはコンフィギュレーション・デバイスがすべてのデータの送出を完了する前にCONF_DONEがHighレベルになった場合は、コンフィギュレーションにエラーが発生したことになります。エラーが発生すると、コンフィギュレーション・デバイスはOEピンをLowにドライブし、これによってAPEX 20K、FLEX 10KおよびFLEX 6000デバイスのnSTATUSピンがLowにドライブされ、エラーの発生が示されます。MAX+PLUS IIの場合、「Global Project Device Options」のダイアログ・ボックス (Assignメニュー) で「Auto-Restart Configuration on Frame Error」のオプションがオン設定されていると、このようなエラーが発生したときにコンフィギュレーションが自動的に再開されます。

また、APEX 20K、FLEX 10KまたはFLEX 6000デバイスが受信したデータ内にCRC (Cyclic Redundancy Code) のエラーを検出した場合も、nSTATUS

がLowレベルにドライブされ、エラーの発生が示されます。このnSTATUSのLowレベル信号はコンフィギュレーション・デバイスをリセットし、リコンフィギュレーションが行われるようにします。CRCのチェックは、APEX 20K、FLEX 10KおよびFLEX 6000デバイスのコンフィギュレーション時に実行されます。

3.3Vまたは5.0Vの動作

EPC2、EPC1およびEPC1441の各デバイスは、5.0V、3.3Vまたは2.5Vの電源電圧を使用するデバイスをコンフィギュレーションすることができます。各コンフィギュレーション・デバイスに対する電源電圧のオプションは、3.3Vまたは5.0Vのいずれかに設定されている必要があります。EPC1とEPC1441の場合は、MAX+PLUS IIの「Global Project Device Options」のダイアログ・ボックス（Assignメニュー）の中にある「Use Low-Voltage Configuration EPROM」のオプションでこのパラメータを設定します。EPC2デバイスの場合は、VCCSELピンによって、このオプションが外部から設定されるようになっていきます。また、EPC2デバイスには、VPPSELピンの設定によって、外部からプログラミング電圧の電源を5.0Vまたは3.3Vのいずれかに設定できるコントロール機能も提供されています。

VCCSELおよびVPPSELピンの機能は下記の通りです。

- VCCSELピン EPC2コンフィギュレーション・デバイスが5.0Vで動作するか、3.3Vで動作するかは、オプションとなっているVCCSELピンでコントロールされます。VCCSELをGNDに接続した場合、デバイスは5.0Vで動作し、このピンをV_{CC}に接続した場合には3.3Vで動作します。
- VPPSELピン 通常、EPC2のVPPプログラミング・パワー・ピンはV_{CC}と接続されます。3.3Vの電源で動作しているEPC2の場合は、5.0V電源からVPPを供給することによって、EPC2のイン・システム・プログラミング時間を短縮することができます。他のすべてのデバイスの場合は、VPPピンをV_{CC}に接続する必要があります。EPC2デバイスのVPPSELピンに対する設定は、EPC2のVPPピンの設定に従って行う必要があります。VPPピンが5.0Vの電源に接続されている場合は、VPPSELをGNDに接続する必要があり、VPPピンが3.3Vの電源に接続されている場合は、VPPSELピンをV_{CC}に接続する必要があります。

表 5 はV_{CC}とV_{PP}の電圧レベルの関係と、VCCSELとVPPSELに要求されるロジック・レベルをHighまたはLowで示したものです。

表 5 EPC2のVCCSELピンとVPPSELピンの関係			
V _{CC} 電圧レベル (V)	V _{PP} 電圧レベル (V)	VCCSEL ピン・ロジック・レベル	VPPSEL ピン・ロジック・レベル
3.3	3.3	High	High
3.3	5.0	High	Low
5.0	5.0	Low	Low

EPC1とEPC1441コンフィギュレーション・デバイスが3.3Vで動作するか、5.0Vで動作するかは、POF内にある特定のプログラミング・ビットの状態によってコントロールされます。このプログラミング・ビットの値はMAX+PLUS IIによるデザインのコンパイル時にターゲットとなるデバイスのコア電源電圧によって決定されます。例えば、3.3VのV_{CC}を使用するFLEX 10KAデバイスをコンフィギュレーションする場合は、EPC1が3.3Vのモードで動作するように自動的にプログラムされます。この場合は、EPC1のVCCピンを3.3Vの電源に接続します。

APEXまたはFLEXデバイスのMultiVolt™機能を使用するときでも、コンフィギュレーション・デバイスの電源電圧を低電圧モードに設定することができます。このMultiVolt機能により、APEXまたはFLEXデバイスで動作電圧の異なるシステム間をブリッジする機能を実現することができます。3.3V動作のFLEX 6000デバイスをコンパイルするときは、コンフィギュレーション・デバイスも低電圧で動作するように設定します。EPC1およびEPC1441コンフィギュレーション・デバイスが低電圧で動作する設定を行うときは、MAX+PLUS IIの「Global Project Device Options」のダイアログ・ボックス (Assignメニュー) で、「Low-Voltage I/O」のオプションをオンに設定します。

複数の電圧レベルが使用されるチェーンのコンフィギュレーション

EPC2またはEPC1デバイスは、複数の電圧レベルが使用されているFLEXおよびAPEXデバイスのチェーンをコンフィギュレーションすることができます。3.3Vまたは2.5V動作のすべてのFLEXおよびAPEXデバイスは、コア電源電圧よりも高い電圧レベルの信号でドライブできるようになっています。

複数の電源電圧を使用しているFLEXおよびAPEXデバイスのチェーンをコンフィギュレーションするときは、FLEXおよびAPEXデバイスのVCCINTとVCCIOピンを各デバイスによって、2.5V、3.3Vまたは5.0Vに接続できます。コンフィギュレーション・デバイスの電源は3.3Vまたは5.0Vに接続します。EPC1、EPC1441、EPC1213、EPC1064またはEPC1064Vのコンフィギュレーション・デバイスの電源電圧が3.3Vになっている場合は、FLEXおよびAPEXデバイスのnSTATUSピンとCONF_DONEピンのプルアップ抵抗を3.3Vに接続する必要があります。また、これらのコンフィギュレーション・デバイスの電源電圧が5.0Vになっている場合は、nSTATUSピンとCONF_DONEピンのプルアップ抵抗を3.3Vまたは5.0Vに接続できます。

EPC2が3.3Vで動作している場合でも、DATA、DCLK、nCASC、TDOを除くEPC2のすべての入力ピンは、5.0Vの入力電圧範囲に対応します。DATA、DCLK、nCEOの各ピンは、コンフィギュレーション時にEPC2とAPEX 20K、FLEX 10KまたはFLEX 6000デバイス間のインタフェースにのみ使用され、TDOは出力としてのみ使用されます。5.0Vおよび3.3Vの動作において、EPC2の各ピンが対応できる電圧レベルが、表 6 に示されています。

表 6 EPC2の入力および双方向ピン対応電圧レベル

ピン名	5.0V 動作		3.3V 動作	
	5.0V 対応	3.3V 対応	5.0V 対応	3.3V 対応
DATA	√	√		√
DCLK	√	√		√
nCASC	√	√		√
OE	√	√	√	√
nCS	√	√	√	√
VCCSEL	√	√	√	√
VPPSEL	√	√	√	√
nINIT_CONF	√	√	√	√
TDI	√	√	√	√
TMS	√	√	√	√
TCK	√	√	√	√
TDO	√	√		√



APEX 20K、FLEX 10K、FLEX 8000、FLEX 6000の各デバイスの詳細については、下記のデータシートを参照してください。なお、これらのデータシートは、日本語版でも刊行されています。

- 「APEX 20K Programmable Logic Device Family」のデータシート
- 「FLEX 10K Embedded Programmable Logic Family」のデータシート
- 「FLEX 10KE Embedded Programmable Logic Family」のデータシート
- 「FLEX 8000 Programmable Logic Device Family」のデータシート
- 「FLEX 6000 Programmable Logic Device Family」のデータシート

プログラミング およびコンフィ ギュレーション・ ファイルに対す るサポート

MAX+PLUS II およびQuartus開発システムはアルテラのコンフィギュレーション・デバイスに対するプログラミング・サポートを提供しています。QuartusおよびMAX+PLUS II はプロジェクト内のコンフィギュレーション・デバイスをプログラムするためのPOFを自動的に生成します。また、複数のデバイスを使用するプロジェクトに対しては、MAX+PLUS II またはQuartusのソフトウェアが各デバイスに対するプログラミング・ファイルを結合して、1個または複数のコンフィギュレーション・デバイスをプログラムするためのファイルを作成することができます。MAX+PLUS II またはQuartus のソフトウェアを使用することにより、各デバイスにもっとも効率的にデータをストアできる適切なコンフィギュレーション・デバイスを選択することができます。さらに、FLEX 10KA、FLEX 10KEまたはAPEX 20Kデバイスのデザインがコンパイルされるときは、EPC1または

EPC1441を3.3Vの動作モードにするためのプログラミング・ビットがセットされたPOFが自動的に生成されます。

アルテラのすべてのコンフィギュレーション・デバイスは、MAX+PLUS IIまたはQuartusのソフトウェアとアルテラのプログラミング・ハードウェアを使用してプログラムすることができます。また、多くのプログラマ・ベンダもアルテラのコンフィギュレーション・デバイスをサポートしたプログラミング・ハードウェアを供給しています。

業界標準となっている4ピンのJTAGインターフェースを使用して、EPC2コンフィギュレーション・デバイスをイン・システムでプログラムすることができます。EPC2デバイスのイン・システム・プログラマビリティ（ISP）機能を活用することによって、試作やFLEXまたはAPEXデバイス内部の設計変更を簡単に行うことができます。EPC2コンフィギュレーション・デバイスは、SVFファイル、Jamファイル（.jam）またはJam Byte-Codeファイル（.jbc）を使用したテスト機器、プログラミング/テスト用言語、Jamを使用したエンベデッド・プロセッサ、あるいはMAX+PLUS IIまたはQuartusのソフトウェアとByteBlasterMV、ByteBlasterまたはBitBlasterダウンロード・ケーブルを使用して、イン・システムでプログラムすることもできます。JTAGチェーンに接続された複数のEPC2デバイスをプログラミングする場合でも、MAX+PLUS IIまたはQuartusのソフトウェアとプログラミング手法により、複数のデバイスを同時にプログラムするコンカレント・プログラミングが実現されるため、全体のプログラミング時間が短縮されます。EPC2デバイスは100回までプログラミング・イレースのサイクルをサポートします。

EPC2に対するイン・システムでのプログラムの完了後、EPC2のJTAG命令などの方法で、FLEXまたはAPEXデバイスに対するコンフィギュレーションを開始させることができます。詳細は21ページの表7を参照してください。



プログラミング・ハードウェアの詳細については、下記の資料を参照してください。

- 「*Altera Programming Hardware*」のデータシート
- 「*Programming Hardware Manufacturers*」
- 「*ByteBlasterMV Parallel Port Download Cable*」のデータシート
- 「*ByteBlaster Parallel Port Download Cable*」のデータシート
(なおByteBlasterは、現在この機能をカバーするByteBlasterMVに置き換えられています。)
- 「*BitBlaster Serial Download Cable*」のデータシート

IEEE Std. 1149.1 (JTAG) バウンダリ・ スキャン・ テスト

EPC2デバイスには、IEEE Std. 1149.1-1990の仕様に準拠したJTAGバウンダリ・スキャン・テスト (BST) の機能が提供されています。JTAGバウンダリ・スキャン・テストはコンフィギュレーションの実行前と実行後に行えますが、コンフィギュレーションの実行中に行うことはできません。EPC2がサポートしているJTAG命令を表7に示します。

JTAG 命令	説 明
SAMPLE/PRELOAD	通常の動作を行っているデバイスのピンから信号を取り込んでテストすることができます。また、最初のデータ・パターンをピンに出力させることができます。
EXTEST	出力ピンにテスト・パターンを強制的に与え、入力ピンのデータを取り込んでテスト結果を比較することで、外部回路との接続やボード・レベルでの配線がテストできる。
BYPASS	指定したデバイスのTDIピンとTDOピンとの間に1ビットのバイパス・レジスタを配置することによって、このデバイスに通常の動作をさせながら、BSTデータが指定したデバイスをバイパスして隣接したデバイスに同期転送されるようにすることができます。
IDCODE	TDIピンとTDOピンとの間にIDCODEレジスタを配置し、このレジスタを選択することによって、IDCODEをTDOピンにシリアルにシフト・アウトさせることができます。EPC2のIDCODEは次の通り。 0000 0001 0000 0000 0010 00001101110 0
USERCODE	TDIピンとTDOピンとの間にUSERCODEレジスタを配置し、このレジスタを選択することによって、USERCODEをTDOピンにシリアルにシフト・アウトさせることができます。32ビットのUSERCODEはユーザ規定のプログラマブル・パターンとなっている。
ISP関連命令	これらの命令は、JTAGポートを通じて、ByteBlasterMV、ByteBlasterまたはBitBlasterの各ダウンロード・ケーブル、あるいはJamファイル(.jam)やJamバイト・コード・ファイル(.jbc)、SVFファイルを使用したエンベデッド・プロセッサで、EPC2デバイスをプログラムするときに用いられる。
INIT_CONF	nINIT_CONFピンをAPEXまたはFLEXデバイスのnCONFIGピンに接続し、この命令を与えることによって、APEXまたはFLEXデバイスのコンフィギュレーションを開始させることができる。この命令が実行されると、nINIT_CONFピンはLowレベルにドライブされる。そして、この命令がクリアされると、nINIT_CONFピンがリリースされ、APEXまたはFLEXデバイスのコンフィギュレーションが開始される。この命令はMAX+PLUS IIおよびQuartusソフトウェア、Jamファイル、JBCファイルにより使用される。



詳細は、アプリケーション・ノート AN 39 「IEEE 1149.1 (JTAG) Boundary-Scan Testing in Altera Devices」で確認してください。

図9は、JTAG信号に要求されるタイミングを示したものです。

図9 EPC2のJTAG信号タイミング波形

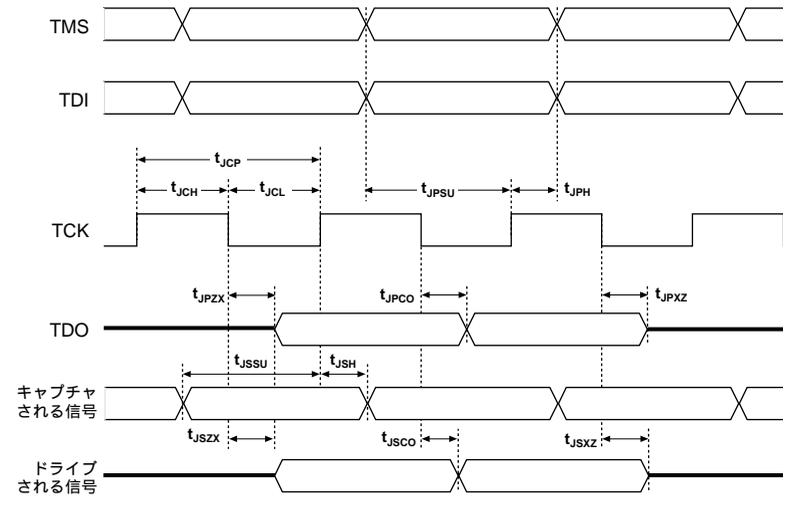


表8は、コンフィギュレーション・デバイスのJTAGに関連したタイミング・パラメータとその値を示したものです。

表8 JTAGタイミング・パラメータと規格				
シンボル	パラメータ	最小	最大	単位
t_{JCP}	TCKクロック・サイクル	100		ns
t_{JCH}	TCKクロックのHigh期間	50		ns
t_{JCL}	TCKクロックのLow期間	50		ns
t_{JPSU}	JTAGポートのセットアップ・タイム	20		ns
t_{JPH}	JTAGポートのホールド・タイム	45		ns
t_{JPCO}	JTAGポートの「Clock-to-Output」遅延		25	ns
t_{JPZX}	JTAGポートのハイ・インピーダンスから確定出力までの遅延		25	ns
t_{JPXZ}	JTAGポートの確定出力からハイ・インピーダンスまでの遅延		25	ns
t_{JSSU}	キャプチャ・レジスタのセットアップ・タイム	20		ns
t_{JSH}	キャプチャ・レジスタのホールド・タイム	45		ns
t_{JSCO}	アップデート・レジスタの「Clock-to-Output」遅延		25	ns
t_{JSZX}	アップデート・レジスタのハイ・インピーダンスから確定出力までの遅延		25	ns
t_{JSXZ}	アップデート・レジスタの確定出力からハイ・インピーダンスまでの遅延		25	ns

動作条件

表9～16はコンフィギュレーション・デバイスの絶対最大定格、推奨動作条件、DC特性、およびキャパシタンスを示したものです。

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	供給電圧	GNDに対して 注(2)	- 2.0	7.0	V
V_I	DC入力電圧	GNDに対して 注(2)	- 2.0	7.0	V
I_{MAX}	DC V_{CC} またはGND電流			50	mA
I_{OUT}	ピンあたりのDC出力電流		- 25	25	mA
P_D	消費電力			250	mW
T_{STG}	保存温度	バイアスなし	- 65	150	
T_{AMB}	周囲温度	バイアス時	- 65	135	
T_J	接合温度	バイアス時		135	

シンボル	パラメータ	条件	最小	最大	単位
V_{CC}	5.0Vデバイスの供給電圧	注(3)、(4)	4.75 (4.50)	5.25 (5.50)	V
	3.3Vデバイスの供給電圧	注(3)、(4)	3.0 (3.0)	3.6 (3.6)	V
V_I	入力電圧	GNDに対して 注(2)	- 0.3	$V_{CC} + 0.3$ 注(5)	V
V_O	出力電圧		0	V_{CC}	V
T_A	動作温度範囲	一般用	0	70	
		工業用	- 40	85	
t_R	入力の立ち上がり時間			20	ns
t_F	入力の立ち下がり時間			20	ns

シンボル	パラメータ	条件	最小	最大	単位
V_{IH}	Highレベル入力電圧		2.0	$V_{CC} + 0.3$ 注(5)	V
V_{IL}	Lowレベル入力電圧		- 0.3	0.8	V
V_{OH}	5.0VモードのHighレベルTTL出力電圧	$I_{OH} = - 4mA$ DC、注(8)	2.4		V
	3.3VモードのHighレベルCMOS出力電圧	$I_{OH} = - 0.1mA$ DC、注(8)	$V_{CC} - 0.2$		V
V_{OL}	Lowレベル出力電圧	$I_{OL} = 4mA$ DC、注(8)		0.45	V
I_I	入力リーク電流	$V_I = V_{CC}$ or ground	- 10	10	μA
I_{OZ}	トライ・ステート出力OFF電流	$V_O = V_{CC}$ or ground	- 10	10	μA

表12 EPC1213、EPC1064、EPC1064Vの I_{CC} 供給電流 注(6)

シンボル	パラメータ	条件	最小	標準	最大	単位
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)			100	200	μA
I_{CC1}	V_{CC} 供給電流 (コンフィギュレーション時)			10	50	mA

表13 EPC2の I_{CC} 供給電流 注(6)

シンボル	パラメータ	条件	最小	標準	最大	単位
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)	$V_{CC} = 5.0V$ または $3.3V$		50	100	μA
I_{CC1}	V_{CC} 供給電流 (コンフィギュレーション時)	$V_{CC} = 5.0V$ または $3.3V$		18	50	mA

表14 EPC1の I_{CC} 供給電流 注(6)

シンボル	パラメータ	条件	最小	標準	最大	単位
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)			50	100	μA
I_{CC1}	V_{CC} 供給電流 (コンフィギュレーション時)	$V_{CC} = 5.0V$		30	50	mA
		$V_{CC} = 3.3V$		10	16.5	mA

表15 EPC1441の I_{CC} 供給電流 注(6)

シンボル	パラメータ	条件	最小	標準	最大	単位
I_{CC0}	V_{CC} 供給電流 (スタンバイ時)			30	60	μA
I_{CC1}	V_{CC} 供給電流 (コンフィギュレーション時)	$V_{CC} = 5.0V$		15	30	mA
I_{CC1}	V_{CC} 供給電流 (コンフィギュレーション時)	$V_{CC} = 3.3V$		5	10	mA

表16 キャパシタンス 注(9)

シンボル	パラメータ	条件	最小	最大	単位
C_{IN}	入力ピンのキャパシタンス	$V_{IN} = 0V$, $f = 1.0MHz$		10	pF
C_{OUT}	出力ピンのキャパシタンス	$V_{OUT} = 0V$, $f = 1.0MHz$		10	pF

表中の注：

- (1) 絶対最大定格については、「*Operating Requirements for Altera Devices*」の資料（日本語版「アルテラ・デバイス使用上の注意」）を参照してください。
- (2) 最低DC入力電圧は - 0.3Vです。無負荷の条件で20ns未満の幅、入力電流が100mA以下であれば過渡状態の期間に入力が - 2.0Vまでアンダシュート、または7.0Vまでオーバシュートしても構いません。
- (3) カッコ内の数値は工業用温度範囲のデバイスのもので、
- (4) V_{CC} の最大立ち上がり時間は100msです。
- (5) EPC2が3.3Vの V_{CC} で動作している場合は、特定のピンを5.75Vまでドライブすることができます。詳細は19ページの表6を参照してください。
- (6) 標準値は $T_A=25$ 、 $V_{CC}=5.0V$ の条件のときのものです。
- (7) これらの値は23ページの表10に示される「推奨動作条件」を基準に規定されています。
- (8) I_{OH} のパラメータはHighレベルTTLまたはCMOS出力電流として参照され、 I_{OL} のパラメータはLowレベルTTL出力電流として参照されます。
- (9) キャパシタンスはサンプル・テストのみです。

表17～21はAPEX 20K、FLEX 10K、FLEX 8000およびFLEX 6000デバイスに対するコンフィギュレーション・パラメータを示したものです。

表17 5.0VのEPC2を使用したときのFLEX 10K、FLEX 6000デバイスのコンフィギュレーション・パラメータ						
シンボル	パラメータ	条件	最小	標準	最大	単位
t_{CE}	OEのHighから最初のクロックまでの遅延				200	ns
t_{OEZX}	OEのHighからデータ出力イネーブルまでの遅延				50	ns
t_{CO}	DCLKからデータ出力までの遅延				20	ns
t_{MCH}	コンフィギュレーション・チェーンの最初のデバイスにおけるDCLK High時間		30	50	75	ns
t_{MCL}	コンフィギュレーション・チェーンの最初のデバイスにおけるDCLK Low時間		30	50	75	ns
t_{SCH}	スレーブ・デバイスのDCLK High時間		30			ns
t_{SCL}	スレーブ・デバイスのDCLK Low時間		30			ns
t_{CASC}	CLKの立ち上がりエッジからnCASCまで				20	ns
t_{CCA}	nCSからnCASCまでのカスケード遅延				10	ns
t_{CDOE}	CLKからデータ・イネーブル/ディセーブルまで				20	ns
t_{OEC}	OEのLowからCLKディセーブルまでの遅延				20	ns
t_{NRCAS}	OEのLow（リセット）からnCASCへの遅延				25	ns
t_{NRR}	OEのLow（リセット）の最小時間		100			ns

表18 3.3VのEPC2を使用したときのAPEX 20K、FLEX 10K、FLEX 6000デバイスのコンフィギュレーション・パラメータ

シンボル	パラメータ	条件	最小	標準	最大	単位
t _{CE}	OEのHighから最初のクロックまでの遅延				300	ns
t _{OEZX}	OEのHighからデータ出力イネーブルまでの遅延				80	ns
t _{CO}	DCLKからデータ出力までの遅延				30	ns
t _{MCH}	コンフィギュレーション・チェーンの最初のデバイスにおけるDCLK High時間		40	65	100	ns
t _{MCL}	コンフィギュレーション・チェーンの最初のデバイスにおけるDCLK Low時間		40	65	100	ns
t _{SCH}	スレープ・デバイスのDCLK High時間		30			ns
t _{SCL}	スレープ・デバイスのDCLK Low時間		30			ns
t _{CASC}	CLKの立ち上がりエッジからnCASCまで				25	ns
t _{CCA}	nCSからnCASCまでのカスケード遅延				15	ns
f _{CDOE}	CLKからデータ・イネーブル/ディセーブルまで				30	ns
t _{OEC}	OEのLowからCLKディセーブルまでの遅延				30	ns
t _{NRCAS}	OEのLow (リセット) からnCASCへの遅延				30	ns
t _{NRR}	OEのLow (リセット) の最小時間		100			ns

表19 5.0VのEPC1またはEPC1441を使用したときのFLEX 10KおよびFLEX 6000デバイスのコンフィギュレーション・パラメータ

シンボル	パラメータ	条件	最小	標準	最大	単位
t _{CE}	OEのHighから最初のクロックまでの遅延				200	ns
t _{OEZX}	OEのHighからデータ出力イネーブルまでの遅延				50	ns
t _{CO}	DCLKからデータ出力までの遅延				20	ns
t _{MCH}	コンフィギュレーション・チェーンの最初のデバイスにおけるDCLK High時間		30	50	75	ns
t _{MCL}	コンフィギュレーション・チェーンの最初のデバイスにおけるDCLK Low時間		30	50	75	ns
t _{SCH}	スレープ・デバイスのDCLK High時間		30			ns
t _{SCL}	スレープ・デバイスのDCLK Low時間		30			ns
t _{CASC}	CLKの立ち上がりエッジからnCASCまで				20	ns
t _{CCA}	nCSからnCASCまでのカスケード遅延				10	ns
f _{CDOE}	CLKからデータ・イネーブル/ディセーブルまで				20	ns
t _{OEC}	OEのLowからCLKディセーブルまでの遅延				20	ns
t _{NRCAS}	OEのLow (リセット) からnCASCへの遅延				25	ns
t _{NRR}	OEのLow (リセット) の最小時間		100			ns

表20 3.3VのEPC1またはEPC1441を使用したときのFLEX 10KおよびFLEX 6000デバイスの コンフィギュレーション・パラメータ						
シンボル	パラメータ	条件	最小	標準	最大	単位
t_{CE}	OEのHighから最初のクロックまでの遅延				300	ns
t_{OEZX}	OEのHighからデータ出力イネーブルまでの遅延				80	ns
t_{CO}	DCLKからデータ出力までの遅延				30	ns
t_{MCH}	コンフィギュレーション・チェインの最初のデバイスにおけるDCLK High時間		50	125	250	ns
t_{MCL}	コンフィギュレーション・チェインの最初のデバイスにおけるDCLK Low時間		50	125	250	ns
t_{SCH}	スレーブ・デバイスのDCLK High時間		50			ns
t_{SCL}	スレーブ・デバイスのDCLK Low時間		50			ns
t_{CASC}	CLKの立ち上がりエッジからnCASCまで				25	ns
t_{CCA}	nCSからnCASCまでのカスケード遅延				15	ns
t_{CDOE}	CLKからデータ・イネーブル/ディセーブルまで				30	ns
t_{OEC}	OEのLowからCLKディセーブルまでの遅延				30	ns
t_{NRCAS}	OEのLow (リセット) からnCASCへの遅延				30	ns
t_{NRR}	OEのLow (リセット) の最小時間		100			ns

Configuration Devices for APEX & FLEX Devices Data Sheet-

表21 EPC1、EPC1441、EPC1213、EPC1064、EPC1064Vを使用したときのFLEX 8000のデバイス・コンフィギュレーション・パラメータ

シンボル	パラメータ	条件	EPC1064V		EPC1064 EPC1213		EPC1 EPC1441		単位
			最小	最大	最小	最大	最小	最大	
			t_{OEZX}	OEのHighからDATA出力カインェブルまでの遅延		75		50	
t_{CSZX}	nCSのLowからDATA出力カインェブルまでの遅延		75		50		50	ns	
t_{CSZX}	nCSのHighからDATA出力ディセーブルまでの遅延		75		50		50	ns	
t_{CSS}	DCLKの最初の立ち上がりエッジに対するnCS Lowのセットアップ・タイム		150		100		50	ns	
t_{CSH}	DCLKの立ち上がりエッジからのnCS Lowのホールド・タイム		0		0		0	ns	
t_{DSU}	DCLKの立ち上がりエッジに対するデータのセットアップ・タイム		75		50		50	ns	
t_{DH}	DCLKの立ち上がりエッジからのデータ・ホールド・タイム		0		0		0	ns	
t_{CO}	DCLKからDATA出力までの遅延		100		75		75	ns	
t_{CK}	クロック期間		240		160		100	ns	
f_{CK}	クロック周波数		4		6		8	MHz	
t_{CL}	DCLK Low期間		120		80		50	ns	
t_{CH}	DCLK High期間		120		80		50	ns	
t_{XZ}	OEのLowまたはnCSのHighからDATA出力ディセーブルまでの遅延		75		50		50	ns	
t_{OEW}	カウンタのリセットが保証されるOEの最小パルス幅		150		100		100	ns	
t_{CASC}	最後のDCLK+1からnCASC Lowまでの遅延		90		60		50	ns	
t_{CKXZ}	最後のDCLK+1からDATAトライ・ステートまでの遅延		75		50		50	ns	
t_{CEOUT}	nCSのHighからnCASC Highまでの遅延		150		100		100	ns	

Altera, BitBlaster, ByteBlaster, ByteBlasterMV, Jam, MultiVolt, MAX, MAX+PLUS, MAX+PLUS II, FLEX, FLEX 10K, FLEX 10KE, FLEX 10KA, FLEX 8000, FLEX 6000, FLEX 6000A, EPC2, EPC1, EPC1064, EPC1064V, EPC1213, EPC1441, EPF10K10, EPF10K10A, EPF10K20, EPF10K30, EPF10K30A, EPF10K30E, EPF10K40, EPF10K50, EPF10K50V, EPF10K50E, EPF10K70, EPF10K100, EPF10K100A, EPF10K100E, EPF10K100B, EPF10K130E, EPF10K130V, EPF10K200E, EPF10K250A, EPF8282A, EPF8282AV, EPF8452A, EPF8636A, EPF8820A, EPF81188A, EPF81500A, EPF6010, EPF6010A, EPF6016, EPF6016A, EPF6024Aは、Altera Corporationの米国および該当各国における商標またはservice markです。この資料に記載されているその他の製品名などは該当各社のtrademarkです。Altera warrants performance of its semiconductor products to current specifications in accordance with Altera's standard warranty, but reserves the right to make changes to any products and services at any time without notice. Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services.

Copyright © 1999 Altera Corporation. All rights reserved.



ALTERA
日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料に記載された内容は予告なく変更されることがあります。最新の情報は、アルテラのウェブ・サイト (<http://www.altera.com>) でご確認ください。この資料はアルテラが発行した英文のデータ・シートを日本語化したものであり、アルテラが保証する規格、仕様は英文オリジナルのものです。