



概要

アルテラのデバイスは優れた性能と高い信頼性を提供する最先端のCMOSプロセス技術を使用して、ユニークなプログラマブル・ロジック・アーキテクチャを実現しています。このアルテラのデバイスが持つ性能と信頼性を最高のレベルに維持するためには、次に示す動作上の各項目について、十分な配慮が必要です。

- 動作条件
- ピン印加電圧
- 出力負荷
- 電源への配慮
- デバイスのプログラミングとイレーズ（消去）

動作条件

アルテラの各デバイスの性能は複数の動作パラメータの条件下で保証されており、デバイスを実際のシステムに使用する場合は、これらの動作パラメータの条件を守る必要があります。これらの動作パラメータとは、各デバイスのデータシートで規定されている絶対最大定格（Absolute Maximum Ratings）、推奨動作条件（Recommended Operating Conditions）、DCおよびACの特性（DC and AC Operating Conditions）です。

絶対最大定格（Absolute Maximum Ratings）

絶対最大定格はアルテラの各デバイスが破壊に耐えうる限界を規定したものです。これらの値はデバイスが破壊に至るまでの理論的なモデル、破壊のメカニズム、デバイスが持つ特性を実際に試験した結果に基いたものです。これらはデバイスに与えられるストレス量に関する規格であり、規定された条件下やデータシートで規定されている「推奨動作条件」を越える範囲でデバイスの正常な動作を保証するものではありません。例えば、 I_{OUT} は出力ピンに許容される最大電流を表すものであり、出力ピンの駆動能力を表すものではありません。出力ピンの駆動能力を示すソース電流とシンク電流は、各データシートのDC特性規格の欄に、 I_{OH} 、 I_{OL} として表示されています。

アルテラのデバイスを各デバイス・ファミリのデータシート内で規定されている「絶対最大定格」の条件の下で一定の時間、連続動作させた場合、デバイスの信頼性が低下することがあります。また、この絶対最大定格を超える条件下での動作は、デバイスの破壊の原因となります。

推奨動作条件 (Recommended Operating Conditions)

各デバイス・ファミリのデータシートの「推奨動作条件」とは、アルテラのデバイスが正常に動作する範囲を示し、この推奨動作条件にはDC、ACパラメータの限界値が規定されています。これらデータシートで示されている各パラメータが意味する内容は、適用される規格によって異なります。例えば、この推奨動作条件で規定されている V_{CC} の範囲は、DCおよびAC特性の規格が保証される範囲であり、絶対最大定格で規定されている V_{CC} の範囲は、これを超えるとデバイスが破壊されることを意味します。

DC特性 (DC Operating Conditions)

アルテラのデバイスから出力される定常状態の電流と電圧の値は、各デバイス・ファミリのデータシートにおいてDC特性の表で規定されています。このDC特性の規格には、入力のスレッシュホールド電圧 (V_{IH} 、 V_{IL})、出力電圧 (V_{OH} 、 V_{OL})、出力電流 (I_{OH} 、 I_{OL})、入力と出力のリーク電流 (I_I 、 I_{OZ}) などが含まれます。

AC特性 (AC Operating Conditions)

アルテラ・デバイスの外部および内部タイミング特性は、各デバイス・ファミリのデータシートにおいてAC特性の表で規定されています。これらのパラメータは、推奨動作条件の表で示された範囲で規定されています。内部タイミング・パラメータはデバイス・アーキテクチャを構成する各部によって発生する遅延時間を表しています。デバイスの性能は、信号のソースからディスティネーションまでの信号パスをトレースし、この間の対応する内部タイミング・パラメータを加算することによって推定することができます。外部タイミング・パラメータは、デバイスがこれらの条件の範囲で動作しているときに保証されるピン間の最大遅延時間です。

タイミング・パラメータは最大値 (Max) または最小値 (Min) で規定され、標準値 (Typ) が表示されることもあります。最大値で示されるタイミング・パラメータは、デバイスの遅延が規定された時間を超えないことを示します。また、セットアップ/ホールド・タイム、メモリのサイクル・タイム、パルス幅などのタイミング・パラメータは、デバイスの安定動作のためにシステム側が守らなければならない最小値として規定されています。標準値はデバイス特性から期待される標準的な値として示されているもので、実際の値とは異なります。

ピン印加電圧

デバイスの各ピンには、その動作中または取扱い中に危険な高電圧が印加される可能性があります。まず、デバイスの取扱い中には、静電気破壊の原因となる高電圧の静電気放電（ESD）がピンに与えられる可能性があります。また、デバイスの動作中においては、VCCピンおよびGNDピンに対して電源のスパイクが与えられたり、システム内の異常なロジック・レベルによって、 V_{CC} の数倍にあたる電圧ストレス（0V～15V）が発生することがあります。これらのハザードの発生を最小にするためには、次の条件について注意する必要があります。

- ピン間の接続
- ラッチアップ
- 活線挿抜（Hot Socketing）
- ESD

ピン間の接続

アルテラのソフトウェア、MAX+PLUS® II でプロジェクトのコンパイルを行うと、デバイスのリソースの使用状況を示すリポート・ファイル（.rpt）が生成されます。このファイルには、プロジェクトに使用されるデバイスのピン配置、デバイス間の接続に関する情報が含まれています。リポート・ファイルに含まれるピン配置図には、ユーザの指定した信号ピン、VCCINT、VCCIO、VCC、GNDIO、GNDINTおよびGNDの各ピン、専用ピン、未使用のピンの位置が表示されます。

VCCINT、VCCIO、VCC、GNDINT、GNDIO、GNDの各ピンは、それぞれプリント基板（PCB）上の対応する V_{CC} またはグラウンド・プレーンに接続される必要があります。デザイン内で使用される入力専用ピンと入力に指定されたI/Oピンは、常時アクティブな信号源からドライブされる状態になっている必要があります。また、双方向の入出力ピンに指定されているI/Oピンが入力として使用されるときは、このピンが外部からドライブ可能になっている必要があります。使用されていない入力専用ピンとI/Oピンはリポート・ファイルの中で、それぞれGND、RESERVEDとして表示されます。使用されない入力専用ピンはグラウンド・プレーンに接続しておく必要があります。これらのピンをオープン状態のままにしておくと、不確定なフローティング状態となり、デバイス内のDC電流を増加させたり、システム内にノイズを誘導する可能性があります。使用されないI/Oピンがフローティング状態になるのを防ぐためには、このピンが内部信号によってドライブされるようにし、RESERVEDのピンとしてリポートされるようにします。RESERVEDに指定されたすべてのI/Oピンは未使用の状態にしておく必要があります。RESERVEDに指定されたI/Oピンが V_{CC} またはグラウンドに接続されると、ロジックの競合が起き、デバイスの出力ドライバが破壊されることがあります。

アルテラの製品群にはMultiVolt™の機能をサポートしているデバイスが数多く含まれており、これらのデバイスは電源電圧の異なるシステムとインタフェースすることができます。これらのデバイスでは、電源ピンがVCCIO（I/Oの電源）とVCCINT（内部電源）のピンに分離されています。各電源ピンの電圧範囲は各デバイス・ファミリのデータシートに記載されている V_{CCIO} と V_{CCINT} の値で確認してください。

デバイスが適切な動作を行うためには、各入力ピンと出力ピンの信号レベルは次の範囲でなければなりません。

$$\text{Ground} \leq (V_{\text{IN}} \text{ or } V_{\text{OUT}}) \leq V_{\text{CCINT}}$$

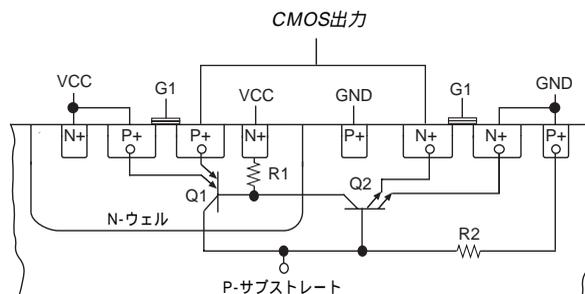
3.3V動作の一部のデバイスでは、 V_{CCINT} よりも高い電圧の信号を入力することが可能になっています。各デバイスの入力電圧 V_{IN} の許容範囲は、個別のデータシートで確認してください。

GNDIOとGNDINTがそれぞれ異なるグラウンド・プレーンに接続される場合は、GNDIOとGNDINT間の電位差が常に1.0V以下になるようにする必要があります。この条件が守られていない場合は、不正なデバイス動作が発生する可能性があります。

ラッチアップ

CMOSデバイスの基本構造に存在する寄生バイポーラ・トランジスタが、デバイスの破壊につながる過電流パスを生成することがあります。通常、これらのトランジスタのベース・エミッタ間、ベース・コレクタ間の接合面が順方向にバイアスされることはないため、これらのトランジスタが導通状態になることはありません。図1はCMOSウェハの断面図と生成される寄生トランジスタの構造(Q1とQ2)を示したものです。すべての接合面が確実に逆バイアス状態になるようにするためには、P-タイプのサブストレートがデバイス内の最も低い電位(グラウンド)に接続され、N-タイプのウェル構造がチップ内の最も高い電位(V_{CC})に接続されている必要があります。図1にはCMOS構造に生成される寄生抵抗(R1とR2)も示されています。

図1 CMOS構造の寄生バイポーラ・トランジスタ



寄生構造が導通状態になると、その効果はデバイスを破壊するような過電流が流れるまでさらに増幅され、最終的にデバイスの致命的な故障につながるようになります。2つの寄生トランジスタは1つのSCR(Silicon-Controlled Rectifier)を形成します。このSCRが導通すると、ラッチアップ効果が発生し、このCMOSデバイスに過電流が流れます。

また、このSCRはCMOSデバイス内のゲートや出力に発生する過渡電圧によっても、導通状態となることがあります。I/Oピンは入力と出力のバッファと接続されているため、ラッチアップはいずれのバッファでも発生しません。

I/Oパッドがグランドよりも低い電圧または V_{CCINT} よりも高い電圧でドライブされている場合も、ラッチアップが発生する可能性があります (FLEX[®] 10KA、MAX[®] 7000Aファミリのデバイスなどの3.3V動作のほとんどの製品は V_{CCINT} を超える入力電圧に耐えるように設計されていますが、あるレベルをこえた入力を与えることでデバイスが破壊されてしまう可能性があります。保証されている入力電圧の範囲を各デバイス・ファミリのデータシートで確認してください)。出力のパッドがグランドよりも低い電圧でドライブされると、寄生トランジスタQ2のエミッタの電位がベースの電位よりも低くなり、このQ2がオンになります。これによって、Q1のエミッタの電位がコレクタの電位よりも低くなるため、Q1もオンになります。そして、Q1を流れる電流が寄生抵抗R2の両端に電圧降下を生成し、Q2のベースの電位をさらに高くします。そして、Q2を流れる電流が寄生抵抗R1による電圧降下を生成するため、Q1ベースの電位はさらに低下します。Q1とQ2の双方のトランジスタに流れる電流は、これらをさらに増幅するようになり、寄生抵抗によって発生する電圧降下はさらに増大します。このような状態がいったん発生すると、このサイクルは過電流によってデバイスが破壊されるか、デバイスの電源がダウンするまで継続されることとなります。

入力バッファのパッドがグランドよりも低い電位でドライブされると、ESD対策用の拡散抵抗を通じてサブストレートの電流が注入されます (7ページの「ESD」を参照)。この電流はQ2のベースの電圧レベルを上昇させ、ラッチアップの現象を開始させる可能性があります。この場合も同様に、このような状態がいったん発生すると、このサイクルは過電流によってデバイスが破壊されるか、デバイスの電源がダウンするまで継続されることとなります。

逆にI/Oパッドが V_{CC} よりも高い電圧でドライブされると、Q1のエミッタの電位がベースよりも高くなるため、Q1がオンになります。この場合にもアンダシュートに同じような現象が発生します。

外部信号のリングングやオーバシュートやアンダシュートによって、I/Oパッドが V_{CC} よりも高い電圧やグランドよりも低い電圧でドライブされることがあります。したがって、このような信号のオーバシュートやアンダシュートが最小になり、ラッチアップの発生が防止されるようなボードの設計が必要です。

アルテラのデバイスは電源やI/Oピンの過渡電圧によって生じるラッチアップの発生が最小になるように設計されています。アルテラのすべてのデバイスは、推奨動作条件の下でGND - 1Vから $V_{CCINT} + 1V$ までの入力電圧範囲、デバイス・ピンあたり最大100mAまでの入力電流に耐えることができます。



電源の投入時にラッチアップが発生する可能性を最小に抑えるためには、デバイスにまずグランド・レベルを与え、次に V_{CCINT} と V_{CCIO} 、そして最後に入力信号を与えるようにし、電源を落とす場合には、逆に最初に入力をデバイスから切り離し、次に V_{CCINT} と V_{CCIO} 、最後にグランドのラインを切り離すようにしてください。デバイスによっては、 V_{CCINT} と V_{CCIO} を供給する前に入力をドライブすることが可能となっています。詳細は各デバイス・ファミリのデータシートで確認してください。

電源の投入時にデバイスに対して V_{CCINT} と V_{CCIO} が入力信号と同時に与えられる可能性があるアプリケーションでは、 V_{CCINT} と V_{CCIO} の立ち上がり時間が規定されている最大立ち上がり時間以内にならなければ、問題は発生しません。ただし、常に入力信号の立ち上がりが V_{CCINT} と V_{CCIO} のピンの立ち上がり時間より早くならないように注意してください。

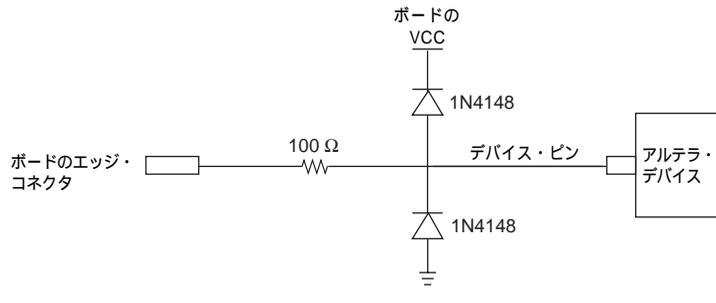
活線挿抜 (Hot Socketing)

ラッチアップ現象は、動作中のハードウェアにサブシステムを接続したり、取り外したりする、いわゆる活線挿抜を行った時にも発生します。活線挿抜が行われると、ボード上のサブシステムの V_{CC} とグランドの間に電流が流れるよりも先に、搭載されているデバイスにロジック・レベルが与えられてしまう可能性があり、この条件の時にラッチアップが発生する危険性があります。

V_{CC} とグランドのコネクタの接続パターンを長くすることによって、活線挿抜の際にラッチアップが発生する可能性を減少させることができます。ボードの接続個所にフィンガ状のメタル・エッジ・パターンを使用する場合、カード・エッジの V_{CC} とグランドのパターンの先端をロジック信号のパターンより長くしておきます。このパターンの長さの違いにより、デバイスにロジック・レベルよりも電源が先に与えられ、ラッチアップの防止が期待できます。 V_{CC} とグランドの接続部分が長くなっている市販のコネクタを使用した場合でも同じような効果が期待できます。

また、図2に示す回路を付加することによって、活線挿抜の際に生じるラッチアップからデバイスを保護することもできます。ここでダイオードは入力信号の電圧レベルをクランプする働きをするため、電源電圧ラインに対して入力信号の振幅がダイオード1個の電圧降下分を超えないようにすることができます ($-0.7V \sim V_{CC} + 0.7V$)。また、直列抵抗がデバイスの入力ピンとクランプ・ダイオードに流れる電流を制限するため、ラッチアップの発生する可能性がさらに低下します。この保護回路を付加することはラッチアップに対して最も効果的な対策となりますが、この回路は一般的にデバイスに対する各入力信号がエッジ・コネクタと直接接続されている場合にのみ必要になります。デバイスの入力ピンが同一ボード上にある他の回路部品からドライブされている場合は、これらの部品がロジック・レベルの確定までに一定の遅延時間を持つため、一般的にラッチアップが問題になることはありません。

図 2 活線挿抜のための保護回路



ESD

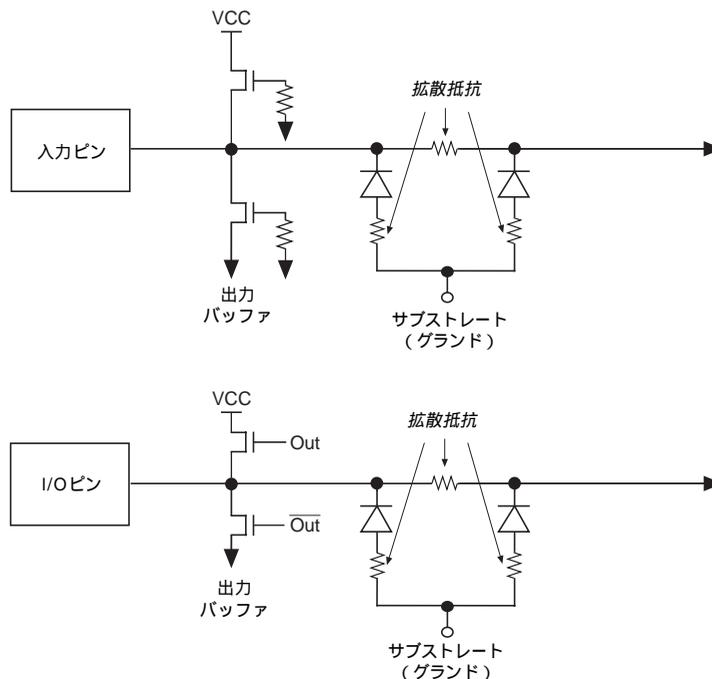
不適切なデバイスの取り扱いによって発生する静電気放電 (Electro Static Discharge: ESD) は、下記のような故障モードの原因となる場合があります。

- ファンクション不良
- I/O性能の劣化
- 信頼性の低下

デバイスのプログラミングを行う工程では、静電気による故障を発生させる危険性が特に高くなります。化学合成繊維を材質にした衣服は大量の静電気を蓄積する危険性が高く、ESDを発生させる原因になります。通常、人体が発生する静電気電圧は最大10kVのオーダにも達します。このため、デバイスの取り扱い時には接地されたリスト・ストラップを着用し、またデバイスを取り扱う作業台の表面全体を接地することによって、静電気によるダメージを受ける危険性が最小になるような対策が必要になります。

アルテラのデバイスには、各ピンにおけるESDの影響が最小になるような特別な構造が採用されています。図3は代表的なアルテラ・デバイスの入力構造を示したものです。図の中のダイオードと出力バッファがデバイス内部に過電流が流れる前に危険な高電圧をグランド側にバイパスします。アルテラのデバイスは通常、2kVを超えるESD電圧に耐えますが、すべてのデバイスに対して保証されているESD電圧は最大1kVまでです。ESDに対する各デバイスの特性はアルテラの信頼性レポートに掲載されています。

図3 アルテラ・デバイスの入力保護回路



出力負荷

出力の負荷は通常、抵抗性が容量性、またはその双方の性質を含むものになります。設計者は、開発段階からターゲット・デバイスがこれらの負荷をドライブするのに必要な電流とスピードの双方を満足することを確認しておく必要があります。

抵抗性負荷

デバイスの出力が安定した状態で電流をソースまたはシンクしている時、負荷は常に抵抗性となります (TTL入力を持つデバイス、終端されているバス、バイポーラのトランジスタなどはこの抵抗性負荷に含まれます)。

出力のドライブ特性 (I_{OH} 、 I_{OL}) は、出力電圧 (V_{OH} 、 V_{OL}) の関数として、各デバイスのデータシートに示されています。このデータシートのDC特性の欄に示されている出力電流の値は、規定の出力電圧を維持できる最小抵抗負荷の値を決定します。LEDやリレーなどをドライブする時のように、高い駆動電流が要求されるシステムでは、高電流バッファ、またはディスクリートの電流スイッチをデバイスの外部に接続する必要があります。

I_{OH} 、 I_{OL} が絶対最大定格の I_{OUT} を超えるような短絡条件は、デバイスを永久に破壊してしまうことがあります。

容量性負荷

データシートのAC特性の表では、外部性能に関連したパラメータに対して出力の負荷容量の条件 (C1) が規定されています。ほとんどのアルテラのデバイスのC1の値は通常のアクティブ信号で35pF、出力バッファのディセーブルに関連したパラメータで5pFとなっています。

負荷容量の主要な部分を占めるのは、デバイスのパッケージとボードの配線パターンが持つキャパシタンスです。ここで規定されている35pFの負荷条件は、ほとんどのCMOS回路に対する標準的な値となっています。大きな容量を持つデバイスをドライブするようなアプリケーションでは、容量負荷の増大と共にその性能が低下します。

デバイス・ソケットは、容量性および誘導性の負荷となります。量産用の設計が確定している場合には、可能な限りソケットを取り除き、デバイスをプリント基板に直接実装してください。プリント基板にデバイスを直接実装することで容量性負荷と誘導性負荷の双方の値、およびソケット・コンタクトからのノイズを低減することができます。

最高の回路性能を得るためには、デバイス出力の容量を最小に抑える必要があります。プリント基板の配線パターン、デバイスの入力ピン、そしてデバイス・パッケージなどはすべて負荷容量となるため、次のような注意が必要です。

- 各信号が互いに直角に走るようなボード・レイアウトにし、容量結合の影響が最小になるようにする。また、信号ラインの配線パターンをできるだけ短くする。
- 1つの信号源で多くの負荷をドライブするような回路には高電流の駆動が可能なバッファを使用し、大きな負荷をドライブする信号のスピードを上げる。

V_{CC} とグラウンドの専用プレーンがないプリント基板や極端に長い配線パターンが、ロジック信号に対するノイズの誘導結合や、信号の品質に影響を及ぼす伝送ライン効果などの問題を引き起こす原因になることがあります。ロジック・レベルに影響を及ぼすリンギングやノイズは回路の信頼性を低下させます。伝送ライン効果を低減させるための推奨されるパターン・レイアウトが実現できない場合は、信号ラインに10~30 の直列抵抗を挿入することで、オーバシュート、アンダシュートの振幅を押しさえることができます。この抵抗はボード上の長い配線パターンによって発生するリンギングを抑え、トリガ・エラーの発生を防止します。



詳細についてはアプリケーション・ノート、AN 75「*High-Speed Board Designs*」(日本語版:「*高速動作ボードの設計*」)を参照してください。

電源への配慮

アルテラのデバイスはノイズの発生と影響が最小になるように設計されていますが、他のCMOSデバイスと同じように電源と入力ラインの変動による影響を受けます。

これらの変動による影響を最小に押さえるためには、次に上げる点に特別な注意を払う必要があります。

- V_{CC} とグラウンドのプレーン
- デカップリング・キャパシタ
- V_{CC} の立ち上がり時間
- 消費電流

VCCとグラウンドのプレーン

各プリント基板の V_{CC} とグラウンドのプレーンとを完全に分離することによって、電源ノイズとグラウンド・バウンスの最小化、高い電流の引込み能力、ノイズに対する保護、ボード上の信号に対するシールド効果などが得られます。基板全体の各1層を V_{CC} とグラウンドの専用プレーンに割当てられない場合には、これらの配線パターンが基板全体にわたって可能な限り広い面積を占めるようにする必要があります。信号ラインに使用するような狭い幅の配線パターンを電源のラインに使用してはいけません。 V_{CC} とグラウンドのプレーンを広くとることによって、容量性の負荷が増加する傾向がありますが、システムのノイズが大幅に低減され、システムの信頼性が飛躍的に向上することになります。

デカップリング・キャパシタ

デバイスの各VCCピンとGNDピンは、それぞれプリント基板の V_{CC} プレーンとグラウンドのプレーンに直接接続される必要があります。デカップリングの必要性はデバイス内で使用されるロジックの規模とスイッチングする出力の本数などによって異なります。使用されるI/O数が増加したり、ピンの負荷容量が大きくなるほど、多くのデカップリング・キャパシタが必要になります。VCCとGNDのピンのすべてのペアに対しては0.2 μ Fのキャパシタを接続して電源のデカップリングを行い、このキャパシタがアルテラ・デバイスのできるだけ近くに配置されるようにする必要があります。VCCがVCCINTとVCCIOのピンに分離されているデバイスでは、VCCINTとGNDINT、VCCIOとGNDIOの各ペアに対して、0.2 μ Fのキャパシタを接続する必要があります。また、VCCがVCCINTとVCCIOのピンに分離されていて、グラウンドがGNDINTとGNDIOに分離されていないデバイスでは、 V_{CCINT} と V_{CCIO} からグラウンドに対して0.2 μ Fのキャパシタを接続してデカップリングを行ってください。ロジックの規模が小さいデザインに対しては、キャパシタの数を減らすことが可能です。デカップリング・キャパシタには、セラミック・キャパシタのように周波数特性の良いものを使用することが必要です。

プリント基板には、電源の安定化のために大容量の電解コンデンサが使用されます。まず、プリント基板に対して外部から電源を供給する場合には、100 μ Fの電解コンデンサを電源ラインが接続されるポイントのすぐ近くに接続します。また、プリント基板上のトランスやレギュレータによって供給電圧レベルを変換している場合には、デバイスの電源が生成される最終段に近い位置にキャパシタを接続する必要があります。このキャパシタには、回路内にある多数のノードが同時にスイッチングした場合に追加の電流を供給して、電源電圧レベルを安定化させる効果があります。ただし、電源ラインに大きな容量のキャパシタを使用すると、 V_{CC} が規定の動作電圧の最大値に達するまでの時間が長くなります。したがって、接続されるキャパシタの容量は、 V_{CC} の立ち上がり時間が規定されている最大値を越えないような値に設定される必要があります。

V_{CC} の立ち上がり時間

アルテラのデバイスに電源が供給されると、通常 V_{CC} が約1.5Vから2.0Vに達した時点で、デバイスがパワー・オン・リセット (POR) の動作を開始します。PORの動作は、 V_{CC} が一定の時間内 (規定の V_{CC} 最大立ち上がり時間の範囲) に推奨動作条件に達した時のみ行われます。この立ち上がり時間が遅くなると、不正確なイニシャライズ動作やファンクション不良の原因となります。アルテラのデバイスの V_{CC} 許容最大立ち上がり時間は各デバイス・ファミリのデータシート内の「推奨動作条件」 (Recommended Operating Conditions) のセクションで規定されています。

PORの時間は、 V_{CC} が推奨動作条件に達してからレジスタのクリア、I/Oピンのコンフィギュレーション、トライ・ステートのリリースの動作を行うのに必要な時間です。そして、この初期化動作が完了すると、デバイスは通常のロジック動作を開始できる状態となります。PORの時間は100ms以下です。

消費電流

アルテラのデバイスは高い性能を提供しながら、その消費電力が最小となるように設計されています。これら2つの設計目標は、互いに背反する性格を持っていますが、アルテラのデバイスとソフトウェア・ツールにより、設計者はデバイスに組み込まれた機能を使って電流をモニタ、コントロールすることができます。

MAX 7000ファミリとMAX 9000ファミリのデバイスの各マクロセルは、デザインの入力時に高性能モードあるいはロー・パワー・モードのいずれかに個別に設定することができます。マクロセル内の「Turbo Bit™」をオンに設定すると、そのマクロセルは規定された動作条件での高性能モードとなります。また、このTurbo Bitをオフにすると、マクロセルは性能を多少犠牲にした消費電流の少ないロー・パワー・モードとなります。

ロー・パワー・モードで動作するMAX 7000とMAX 9000ファミリのデバイスの消費電流は最小となります。このときの電源電流 (I_{CC}) は、設計および動作周波数によって異なりますが、最高50%まで低減できます。ほとんどのMAX 7000およびMAX 9000ファミリのデータシートには、 I_{CC} と動作周波数との関係を示すグラフが記載されています。ターボ・ビット・オプションを持っているデバイスでは、グラフに2つのカーブが示されています。一方はすべてのマクロセルのターボ・ビットがオンにセットされた条件のもので、もう一方はすべてのターボ・ビットがオフにセットされた条件のときのものです。通常のアプリケーションでは、ターボ・ビットがオンになるマクロセルとオフになるマクロセルが混在するため、各データシートには I_{CC} を設定動作モードごとのマクロセル数と動作周波数から計算するための公式とグラフが示されています。このグラフと公式で示される値は、出力に負荷が接続されていない状態のときのものです、デバイス動作で消費される電流のみを表しています。

また、Classic™ファミリの多くのデバイスにもTurbo Bitのオプションが提供されています。ロー・パワー・モードで動作するClassicファミリのデバイスは、入力や出力が変化しないイン・アクティブの状態になると、100ns後にスタンバイ・モードに入ります。入力信号の変化によって、デバイスはスタンバイ・モードから抜け、次のスタンバイ・モードの期間まで通常のデバイス動作を続けます。ただし、このスタンバイ・モードを中止させる入力信号には追加の遅延時間が発生し、このときの追加遅延が各デバイスのデータシートで「non-turbo delay adder」として規定されています。

デバイスのプログラミングとイレーズ (消去)

アルテラのMAX 900Q、MAX 700Q、MAX 500Q、Classicファミリの各デバイス、およびコンフィギュレーションEPROMは、コンフィギュレーション・データのストアに不揮発性で再プログラム可能なEPROMまたはEEPROMのメモリ・エレメントを使用しています。このため、システムの電源投入時にコンフィギュレーション・データを外部から再ロードする必要はありません。EPROMとEEPROMのメモリ・セルは同じようなプログラミング特性を持っていますが、イレーズ (消去) のメカニズムは異なります。

EEPROMのセルを使用しているアルテラのすべてのデバイスは、再度プログラムすることができます。EEPROMのメモリ・セルは電気的なイレーズが可能となっているため、パッケージにイレーズのための窓 (ウィンドウ) がありません。EEPROMベースのデバイスはプログラミング前に短時間で自動的にイレーズすることができ、100回までの再プログラムが保証されています。ほとんどのデバイスでは、この規定回数を超えるプログラミングを問題なく行うことができます。EEPROMのセルは、プログラミング時に外部からプログラミング用の高電圧を供給するための特別なVPPピンを必要としません。これらのデバイスでは、プログラミングに必要な電圧が内部で生成されるようになっています。

EPROMをベースにしたアルテラのデバイスは、プラスチック・パッケージとセラミック・パッケージで供給されています。プラスチック・パッケージを使用したEPROMデバイスは、ワン・タイム・プログラマブル (OTP) のデバイスです。ウィンドウ付きのセラミック・パッケージを使用したデバイスは紫外線の照射によってデータの消去が可能です。アルテラのEPROMベースのデバイスは、4,000 より短い波長の光が照射された時に消去を開始します。蛍光灯の光や太陽光線の波長はこの範囲に入るため、デバイスのウィンドウの上に遮光ラベルを貼り付けて長期間にわたるデバイスの信頼性の確保をすることが必要です。デバイスの消去を確実にを行うため、波長が2,540 の紫外線を使用してください。12,000 $\mu\text{W}/\text{cm}^2$ のパワーを持つレーザーを使用した場合には、約1時間でデバイスの消去が可能です。輝度の強い紫外線を長時間にわたってアルテラのデバイスに照射した場合には、デバイスが破壊される可能性があります。

アルテラはEPROMベースのデバイスに対して、推奨する条件の下で25回までのプログラムとイレーズを保証しています。ただし、アルテラのほとんどのデバイスはこの保証回数を超えても再プログラムとイレーズが行えます。



Notes:



Notes:



日本アルテラ株式会社

〒163-0436
東京都新宿区西新宿2-1-1
新宿三井ビル私書箱261号
TEL. 03-3340-9480 FAX. 03-3340-9487
<http://www.altera.com/japan/>

本社 **Altera Corporation**

101 Innovation Drive,
San Jose, CA 95134
TEL : (408) 544-7000
<http://www.altera.com>

この資料はアルテラが発行した英文のデータシートを日本語化したものです。アルテラが各デバイスに対して保証する仕様、規格は英文オリジナルの内容です。なお、本資料に記載された内容は予告なく変更される場合があります。最新の情報はアルテラのワールド・ワイド・ウェブ・サイト (<http://www.altera.com>) でご確認下さい。