

# Virtex DLL と比較した APEX PLL の利点



**APEX™**  
Altera Corporation  
101 Innovation Drive  
San Jose, CA 95134  
(408)544-7000  
<http://www.altera.com>  
<https://websupport.altera.com>

日本アルテラ株式会社  
〒163-1332  
東京都新宿区西新宿 6-5-1  
新宿アイランドタワー 32F  
私書箱 1594 号  
TEL. 03-3340-9480  
FAX. 03-3340-9487  
<http://www.altera.com/japan>  
E-mail: [japan@altera.com](mailto:japan@altera.com)

アルテラは APEX™ デバイスの PLL (Phase-Locked Loop) 機能をさらに強化してデバイスおよびボード・レベルの性能を向上させました。PLL はクロックのスキューと遅延を最小にし、クロック周波数を合成するアプリケーションをサポートします。複数のクロックを使用した system-on-a-programmable chip のデザインをサポートするため、アルテラは APEX 20KE デバイスに最大 4 個までの PLL 回路を内蔵させました。クロックの遅延とスキューは、システムのタイミングとプリント基板 (PCB) の信頼性に影響を与えます。これらの問題を解決するための方法としては、APEX デバイスに内蔵されている PLL を使用するか、ザイリンクスの Virtex デバイスに組み込まれている DLL (Delay-Locked Loop) のいずれかを採用することができます。PLL と DLL は双方共にシステム・クロックのスキューと遅延の量を減少させますが、周波数合成のアプリケーションに対しては、PLL のほうが DLL よりも高い柔軟性を発揮します。このテクニカル・ブリーフでは、PLL が DLL よりもいかに優れた性能を実現するかについて解説します。

APEX デバイスに内蔵されている PLL は、複数のシステム・レベル機能をシングル・デバイス上に集積するときに必要なクロック・マネージメント機能を実現します。APEX のアーキテクチャはデバイスあたり最大 4 個の PLL を内蔵しており、これら PLL により性能の向上やクロック周波数の柔軟性に富んだ乗算や除算などの機能を実現する ClockLock™、ClockBoost™、および ClockShift™ 回路を構成することができます。表 1 はこれら回路の機能が示されています。

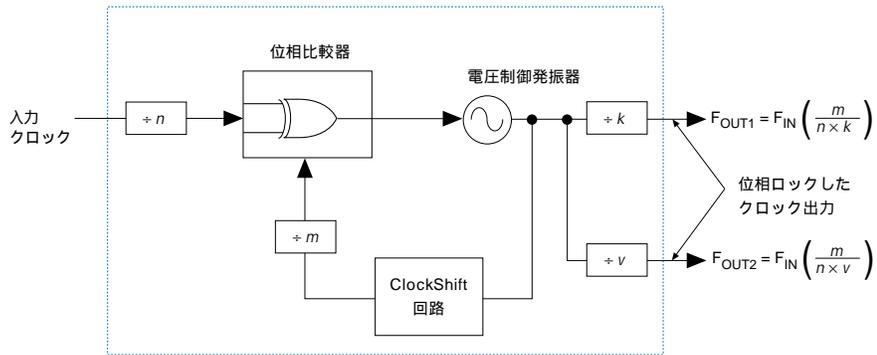
表 1 APEX の PLL 回路が実現する機能

回路	説明
ClockLock	クロックの内部遅延と PCB 上に実装された他のデバイス間のクロック・スキューを低減。
ClockBoost	クロック周波数のプログラマブルな乗算と除算、およびタイム・ドメインのマルチプレクシングを実現。
ClockShift	プログラマブルな位相シフト機能とクロック遅延の精密なコントロールを実現。

## PLL の基本動作

PLL はシステム・クロックのようなリファレンス信号をモニタして、クロックのコントロールや他のクロックとの同期化を行います。PLL では、位相比較器 (Phase Comparator) が外部のリファレンス信号と内部のフィードバック信号との間の位相と周波数の違いを測定します。位相比較器は、この違いに応じてタイミング信号を生成する電圧制御発振器 (VCO: Voltage-Controlled Oscillator) を調整し、生成された信号が位相比較器にフィードバックされます。そして、この信号が入力されたリファレンス信号と比較されます。リファレンス信号と VCO からのフィードバック信号が一致すれば、PLL がリファレンス信号とロックしたことになります。PLL は継続的にリファレンス信号をモニタし、VCO の出力を調整して温度や電圧による変動分を補正します。図 1 は APEX デバイスの PLL をブロック図で示したものです。

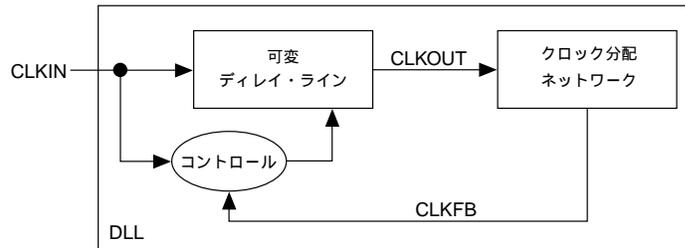
図1 APEXデバイスのPLL回路



### DLLの基本動作

DLL回路もリファレンス信号をモニタして、クロックをコントロールします。DLLは、出力するタイミング信号の生成にVCOではなくディレイ・ラインを使用する点を除いて、基本的にPLLと同じ動きをします。DLLは入力クロックとフィードバックされたクロックとの間に遅延時間を挿入して、2つの信号の立ち上がりエッジが揃うようにします。図2は、Virtex デバイスに内蔵されている DLL 回路をブロック図で示したものです。

図2 VirtexデバイスのDLL回路 注(1)



注：

(1) 出典：Xilinx XAPP 132: Using the Virtex Delay-Locked Loop

### VirtexのDLLと比較したAPEX PLLの利点

APEX 20KE デバイスの PLL は、Virtex-E デバイスの DLL に比較して、下記のような利点があります。

- APEX 20KE の PLL はクロック周波数の乗算、除算機能をフル・サポート
- ClockShift 回路がクロックの位相と遅延を精密にコントロールする機能を実現
- APEX 20KE の PLL は LVDS ( Low-Voltage Differential Signaling ) の標準規格をサポートし、最高 622Mbps ( Megabits per second ) までのデータ転送レートを実現
- APEX 20KE の PLL は低周波数の入力クロックもサポート ( 最低 1.5MHz )
- APEX 20KE の PLL は T1/E1 変換をサポート
- APEX 20KE の PLL は出力から高周波ジッタをフィルタすることが可能

表2は、APEX デバイスの PLL と、Virtex デバイスの DLL の機能を比較したものです。

項目	APEX 20KE PLL	Virtex-E DLL(1)
回路構成	アナログ	デジタル
PLL(DLL)の内蔵数	最大4個	8個
クロック周波数の乗算	133までの任意の倍数で可能	1×、2×(2)
クロック周波数の除算	106までの任意の除数で可能	1.5、2、2.5、3、4、5、8または16のみ
クロック位相の粗調整 (Coarse clock Adjustment) 機能	90°、180°、270°	90°、180°、270°(3)
クロック位相の微調整 (Fine clock Adjustment) 機能	0.5nsの分解能可能 (360°まで)	なし
入力の周波数範囲	1.5MHzから160MHz	25MHzから200MHz
出力の周波数範囲	1.5MHzから622MHz(4)	1.5MHzから320MHz
622MbpsのLVDSに対する サポート	あり	なし
T1/E1変換機能	あり	なし

注:

(1) 出典: Virtex data sheet

(2) ザイリンクス社は2個のDLLをカスケード接続して4倍の乗算がサポートされると説明

(3) 高周波信号には、90°と270°が使用不可能

(4) 622MHzの最高出力周波数はLVDS用の場合。汎用PLLの最高出力周波数は200MHz

### プログラマブルなクロック合成を実現する ClockBoost

システム・クロックの周波数が、PCB上に搭載されている他の部品のクロック周波数と異なることがあります。例えば、CPUにはシステムI/Oバスのクロックよりも数倍も高速の内部クロックが必要になることがあります。APEX 20KEデバイスのアナログPLLは $m/n$ のスケーリングを実現しており、133までの任意の数による乗算と106までの任意の数による除算をサポートしています。この最新機能はプログラマブルなクロック合成機能を実現し、デザインの柔軟性と性能を大幅に向上させます。これに対して、Virtex-EのデジタルDLLは表2に示されているように、1倍と2倍の乗算のみを、また1.5、2、2.5、3、4、5、8または16による除算のみをサポートしています。このようにVirtex-EのDLLの合成機能には制限があり、高性能デザインのニーズに対応していません。

### 精密な位相と時間遅延のコントロールを実現する ClockShift

APEX 20KEデバイスのClockShift回路は、位相シフトと時間遅延をプログラマブルにコントロールする機能を実現しています。クロックの微調整により、0.5nsから1.0nsステップで遅延時間をコントロールする機能が実現されており、入力クロックに対して出力クロックを360°まで進めたり、遅らせたりすることができます。また、クロックの粗調整機能により、90°、180°、または270°までクロックの位相をコントロールすることができます。さらに、プログラマブルな遅延時間調整機能により、クロックの調整機能なしでは達成できないような厳しいタイミング・マージンを実現することもできます。また、この機能を利用して、 $t_{CO}$ と $t_{SU}$ の時間を高速インタフェースの要求に適合するように改善することもできます。Virtex-EデバイスのDLLでは、クロックの位相調整機能が90°、180°、270°にのみ限定されており、厳しいタイミング要求があるデザインに必要なクロックの微調整機能は提供されていません。

### LVDSのサポート

LVDSは最高622Mbpsまでのデータ・レートをサポートしている高速の標準I/Oインタフェースです。現在、ディスクリット・チップを使用して実現されている標準LVDSでは、クロック周波数を7倍または8倍する機能が要求されます。APEX 20KEデバイスには、クロック・スキューを取り除く特別な回路と専用のパラレル-シリアル変換機能、622MbpsのLVDSをサポートするために必要な8倍およびそれ以上の倍数での乗算機能を実現するPLLが内蔵されています。ザイリンクスはDLLの最高クロック出力周波数が320MHzであると説明しています。ただし、このDLLはデジタル方式であるため、622MbpsのLVDSをサポートするために必要な8倍のクロック乗算をサポートすることができません。

### T1/E1 のレート変換

APEX 20KE デバイスの汎用 PLL には T1/E1 変換をサポートするための特別な回路が内蔵されています。T1 のテレコミュニケーション規格 (米国で使用) には 1.544MHz のクロック・レートが使用されるのに対して、E1 のテレコミュニケーション規格 (欧州で使用) には 2.048MHz のクロック・レートが使用されます。APEX 20KE デバイスの PLL は T1 から E1、およびその逆方向のクロック・レート変換を行う特別なモードをサポートしています。これに対して、Virtex-E の DLL はこうした変換機能をサポートしていません。

### PLL の高周波ジッタ除去機能

APEX 20KE デバイスのアナログ PLL は連続時間伝達関数を実現していることとなります。この伝達関数は、PLL の入力周波数に対するフィルタの役割を果たしており、高周波ジッタの振幅を減衰させます。デジタル DLL のディスクリート・ディレイ・ラインのアーキテクチャは、入力クロック上のジッタをフィルタリングする機能は持っていません。DLL では、入力のジッタが出力に累積されます。ザイリンクスの DLL では、出力ジッタの規格 (サイクル間) が  $\pm 60\text{ps}$  となっていますが、これは入力のジッタが 0 の条件のときです。すべての入力ジッタは出力に伝送されます。例えば、入力クロックに  $\pm 200\text{ps}$  のジッタがあった場合、DLL の出力クロックは  $\pm 260\text{ps}$  のジッタを持つこととなります。

### まとめ

最新の ClockLock、ClockBoost、ClockShift 回路がサポートされている APEX デバイスの PLL はシステム性能の大幅な改善を実現し、クロックのスキューや遅延を最小にしてデザインの適応性をさらに高めます。APEX デバイスの PLL が実現した柔軟性に富んだクロック合成機能と強力なクロック・シフト機能は、位相と遅延に対する精密な調整を可能にしています。 $t_{CO}$  と  $t_{SU}$  を最小にすることによって、システム性能を向上させることができます。APEX デバイスの PLL は LVDS のような高性能 I/O 標準規格をサポートし、Virtex-E デバイスの DLL では対応できない高い柔軟性と能力を実現しています。これらの利点を備えている APEX デバイスの PLL はシステム性能を劇的に向上させます。



日本アルテラ株式会社

〒163-1332 東京都新宿区西新宿 6-5-1  
新宿アイランドタワー 32F 私書箱 1594 号  
TEL. 03-3340-9480 FAX. 03-3340-9487  
<http://www.altera.com/japan>  
E-mail: [japan@altera.com](mailto:japan@altera.com)

Copyright©1999, 2000 Altera Corporation. Altera, Quartus, APEX, APEX 20K, APEX 20KE, ClockLock, ClockBoost, ClockShift は、Altera Corporation の米国および該当各国における trademark または service mark です。その他のブランド名、製品名は該当各社の trademark です。Virtex は Xilinx, Inc. の trademark です。ここに記載された内容は予告なく変更されることがあります。最新の情報をアルテラの web サイト、<http://www.altera.com> で確認してください。Altera assumes no responsibility or liability arising out of the application or use of any information, product, or service described herein except as expressly agreed to in writing by Altera Corporation. Altera customers are advised to obtain the latest version of device specifications before relying on any published information and before placing orders for products or services. All rights reserved.