

## 概要描述

Astro 是一款可配置的片上系统 (CSoC)，在一块单芯片中集成了 MCU，存储单元，可编程逻辑和具有数字功能的外围设备。它提供了一个高性能的 8051 MCU，包括 I<sup>2</sup>C，SPI 和 USART 接口的高性能可配置数字系统。它具有简单可配置逻辑阵列，所有的 I/O 都可灵活布线。设计人员运用 Primace™ 软件能轻易的实现系统级的设计。当然同样支持第三方 EDA 工具。Astro 系列提供了全新的数字集成方案，同时通过简单的固件升级就可在最短的时间内轻松地实现设计变更。

利用内嵌的 OTP，加上反克隆和加密/解密机制，保证了用户的安全性。

## 特性

- 基于 SRAM 的 FPGA
  - 多达 1024 个可编程逻辑单元
  - 基于 4 输入查找表+ DFF 结构
  - 专用运算逻辑电路
  - 层次化结构布线资源
- 增强型 8051 MCU
  - 缩短指令周期时间(标准 80C51 是 12 个时钟周期一条指令) 最高可达 100MHz
  - 乘除指令
  - 支持扩展指令: MOV A,ACC
  - 片上调试系统 (OCDS)
  - 8 个外部中断源
  - 49 个外部可用 SFR
  - 支持最大 8Mbit 数据存储/程序存储
  - 可配置多个数据存储/程序存储
  - 支持软件复位
- 标准外围设备:
  - 3 个 16 位定时器，1 个 16 位 WDT 定时器
  - 1 个 I<sup>2</sup>C 接口
  - 1 个 SPI 接口
  - 2 个全双工串口 (USART)
- 2 个 JTAG 接口:
  - 用于芯片配置的 JTAG
  - 用于 8051 MCU 调试的 JTAG
- 支持多配置的图像
- 支持多设备配置
- 1Mbit 一次编程存储(OTP)
- 可选的 4Mbit 内部 Flash
- 2 个 9Kbit 的可配置双口 RAM
  - 真正的双口 RAM
  - 字节使能
- 校验位
- 可配置数据宽度
- 1 PLL
  - 倍频，分频，相移，自动校验
  - 输入时钟频率范围: 5MHz ~ 350 MHz
  - 输出时钟频率范围: 10MHz ~ 350 MHz
- 多达 8 条 De-skew 全局时钟 (或复位信号) 树
- 支持内部晶振
- 灵活的 I/O 配置
  - 可软件编程 I/O
  - 最大允许 5V 输入
  - 当不用时可分离
  - 3.3/2.5/1.8V LVCMOS/LVTTL 多种电压兼容
  - 1/2/4/8/12/16 mA 驱动能力
- 内嵌安全机制
  - 配置比特流加密
  - 基于 KEY 的 Flash 存取控制
  - 反存取保护
  - 配置链保护
- 电源管理机制
- 0.13 微米制程
- 温度: 商业级和工业级
- 封装
  - TQFP-100 内嵌 Flash, 16x16 mm<sup>2</sup>, 59 个用户 I/O
  - TQFP-100 不带 Flash, 16x16 mm<sup>2</sup>, 59 个用户 I/O
  - LQFP-144 内嵌 Flash, 22x22 mm<sup>2</sup>, 97 个用户 I/O
  - LQFP-144 不带 Flash, 22x22 mm<sup>2</sup>, 97 个用户 I/O

## 1 结构框架

具有 1024 可编程 LUT/寄存器逻辑单元，RAM，OTP，增强型 8051 MCU (R8051XC)；Agate Logic 的 Astro 做为一款 CSoC (可配置片上系统)其优点是成本低，可灵活运用于工业控制，消费类和医学领域。

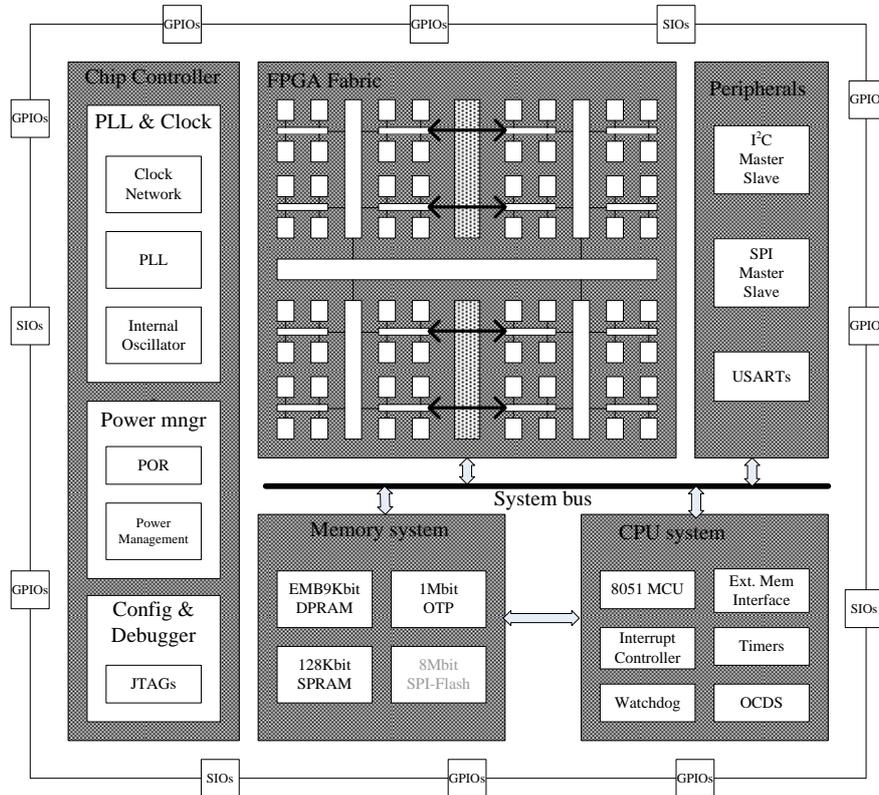


图 1-1 Astro 结构框图

图 1-1 为 Astro 芯片的结构框图:

- 8051 CPU 系统
- FPGA 结构
- 片上 DPRAM & SPRAM
- 非易失性存储器
- 内置的外围设备
- JTAG 接口
- PLL & 时钟
- 电源管理
- 用户 I/O

## 2 引脚分配

有 2 种封装类型：LQFP-144 和 TQFP-100。每一封装又有 2 种类型：带 Flash 和不带 Flash。



图 2-1 TQFP-100 引脚图

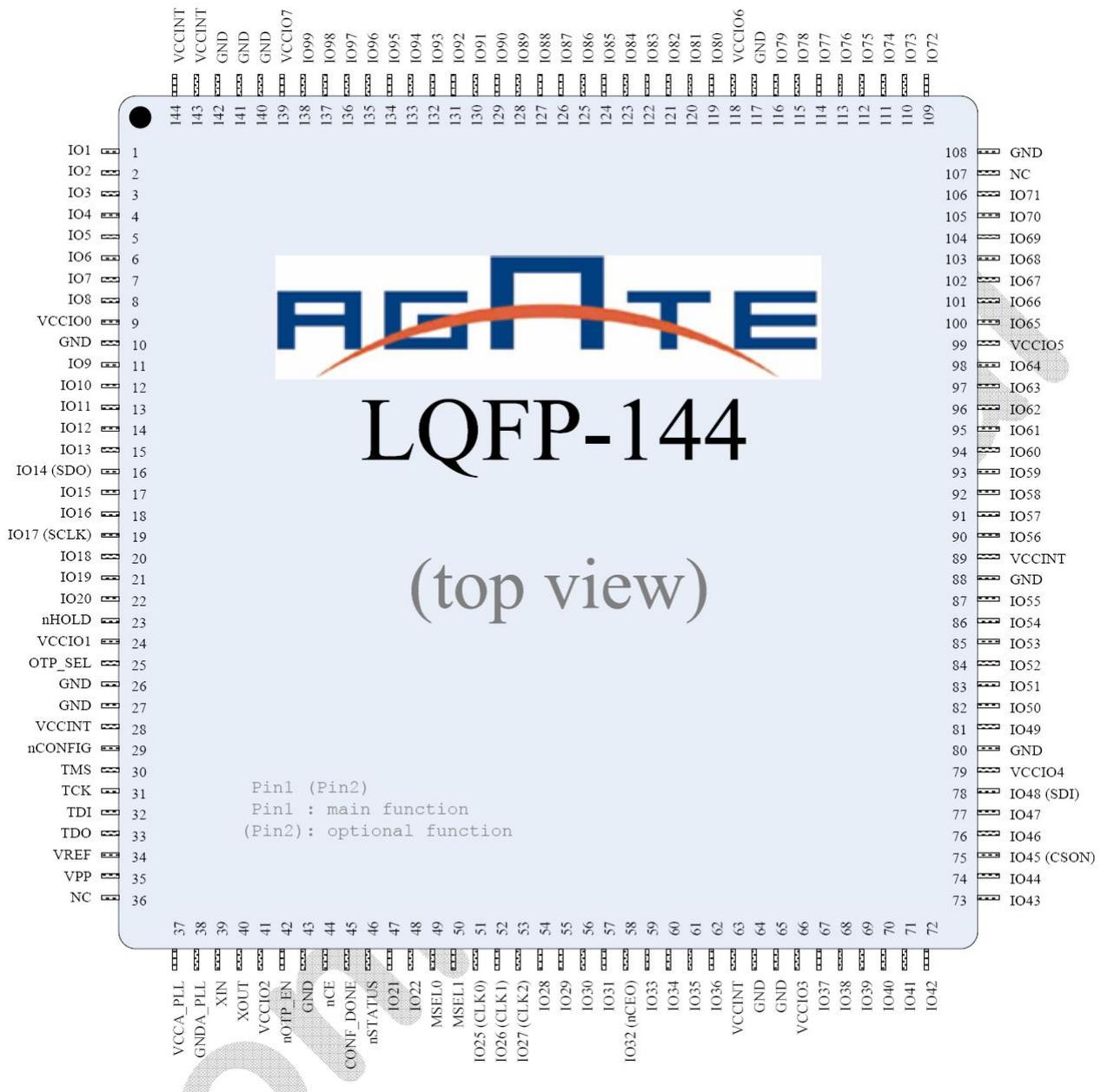


图 2-2 LQFP-144 引脚图

图 2-1 和 图 2-2 的左上角印有小黑点处为第 1 pin。每张图都代表了 2 种独立的封装。不带 Flash 封装（例如 AS1E5F1KL144），和带 Flash 的封装（例如 AS1E5F1KAL144）。引脚名称只有一个的为单一功能，（）中的为可选功能。

例如

- IO17(SCLK):
  - 主要功能: IO17
  - 可选功能: SCLK (JTAG 接口)

### 3 引脚描述

#### 3.1 封装类型

Astro 有 4 种不同的型号，即 3-1 种不同的封装。如表 3-1 描述：

表 3-1 封装类型

序号	封装类型	型号	用户 I/O	备注
1	TQFP-100	AS1E5F1KT100C7	59	100-Pin, Thin Quad Flat Package without flash
2	TQFP-100	AS1E5F1KAT100C7	59	100-Pin, Thin Quad Flat Package with flash
3	LQFP-144	AS1E5F1KL144C7	97	144-Pin, Low-profile Quad Flat Package without flash
4	LQFP-144	AS1E5F1KAL144C7	97	144-Pin, Low-profile Quad Flat Package with flash

#### 3.2 引脚类型

Astro 有 13 种引脚类型。

表 3-2 引脚类型表

引脚类型	种类	备注
AGGNDA	地	模拟电路地
AGGNDD	地	1.2v 电路(内核)地
AGGNDH	地	IO 地，支持 3.3/2.5/1.8v
AGIO	GPIO	普通 I/O
AGVDDA	电源	模拟电路 VDD
AGVDDD	电源	1.2v 电路(内核) VDD
AGVDDH	电源	IO 的 VDD，支持 3.3/2.5/1.8v
AGVPP	电源	可编程 OTP 的 VDD
AGVREF	电源	OTP 读相关电压，只用于测试目的。
CLOCK	时钟	芯片全局时钟输入，当不作为时钟输入时可当普通用户输入使用。
Fixed inout	双向 (开漏)	固定的双向引脚 (开漏)，相关引脚的特殊配置，不是普通用户 IO。
Fixed input	I/O, 输入	固定的输入引脚，用户无法配置。
Fixed output	I/O, 输出	固定的输出引脚，用户无法配置。

#### 3.3 Special pin table

Astro 的大多数引脚都是复用的，用户定义的 I/O。有一些特殊功能的引脚，可分为 3 类，见表 3-3。

表 3-3 特殊引脚表

引脚名称	引脚类型	备注
电源和基准电压引脚		
VPP	AGVPP	OTP VPP, 6 - 7 V
VCCIO#	AGVDDH	IO 的数字 VDD 支持 1.8/2.5/3.3V
VCCINT#	AGVDDD	CORE 的数字 VDD 1.2V

GND	AGGNDH	数字地
VCCA_PLL	AGVDDA	PLL 的模拟电源。如果 PLL 不用则接到 1.5V。
GND_A_PLL	AGGND_A	PLL 的模拟地。可以直接接到 PCB 板的地平面。
配置和 JTAG 引脚		
OTP_SEL	Fixed input	是否使用 OTP。高代表使用 OTP，低代表不使用 OTP。
XIN	Fixed input	晶振输入。如果外部 CMOS 时钟过载，则为系统时钟输入。
XOUT	Fixed output	晶振输出。激励驱动输出。
nCONFIG	Fixed input	芯片全局复位输入。低电平有效
nSTATUS	Fixed inout	配置状态专用引脚，非用户 I/O
CONF_DONE	Fixed inout	配置状态专用引脚，非用户 I/O
MSEL0/1	Fixed input	专用模式选择控制引脚，用于设备的模式配置，非用户 I/O： 00: Active Serial (自动配置), 01 Passive Serial 11 TEST MODE，当选择 JTAG 时忽略这 2 位
nCE	Fixed input	配置使能。低电平有效
nCEO	Fixed output	当设备配置完成后输出驱动低电平。 当多设备配置时，此引脚为后继设备的 CEn 引脚。 当单这边配置或者多设备的最后一个设备时，此引脚会被使用
TMS	Fixed input	JTAG 输入引脚
TDI	Fixed input	JTAG 输入引脚
TCK	Fixed input	JTAG 输入引脚
TDO	Fixed output	JTAG 输出引脚
SCLK	AGIO	输入 (PS 模式) 输出 (AS 模式),  PS 配置模式, SCLK 做为时钟输入用于从外设源到 CLD 设备的时钟配置数据。 (CLD 在此模式下是主设备)
SDI	Fixed input	配置数据输入专用引脚
SDO	Fixed output	AS 模式从 CLD 设备的数据输出。PS 模式配置下此引脚为用户 I/O。
nCSO	Fixed output	芯片选择输出引脚是否可用，当禁用后做为一个串行配置设备。 当 AS 配置模式时，用于输出。 在 PS 配置模式时，则为用户 I/O。
nHOLD	Fixed inout	SPI 接口的信号。在未选中情况下暂停所有通信。低电平有效。
时钟和 PLL 引脚		
CLK	Fixed input	全局时钟输入，如果不做为时钟输入，则为用户 I/O 引脚。

注意:大多数特殊引脚都与普通用户 I/O 复用。

## 3.4 用户 I/O 的电压限制

Astro 的用户 I/O(VCCIO#)可兼容 1.8V、2.5V 和 3.3V:

- 所有的封装类型中，顶部和底部的 I/O 可以支持所有的电压类型
- 所有的封装类型中，左边的 I/O 只支持 3.3V
- 所有不带内部 Flash 的封装类型中，右边的 I/O 可以支持所有的电压类型
- 所有带内部 Flash 的封装类型中，右边的 I/O 只支持 3.3V

下图图示了用户 I/O 电源的电压限制:

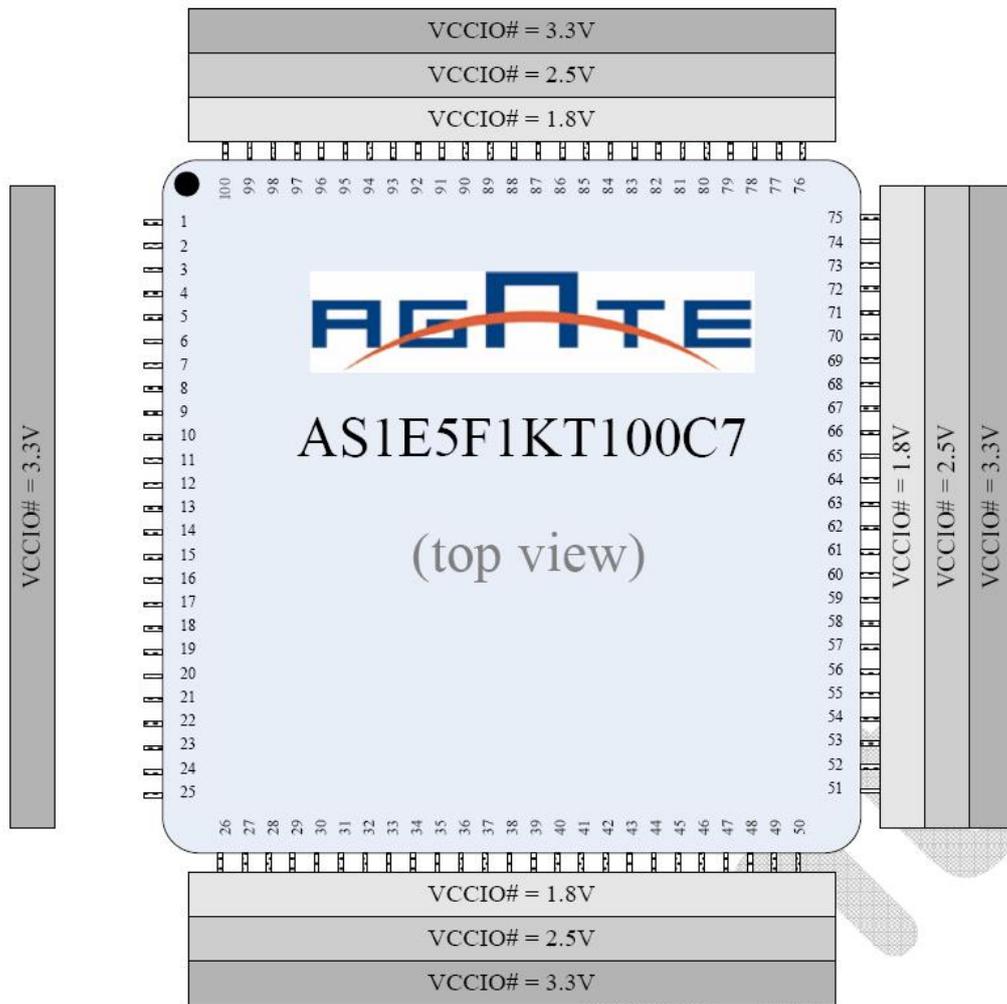


图 3-1 T100 不带 Flash 用户 I/O 电源的电压限制



图 3-2 T100 带 Flash 用户 I/O 电源的电压限制

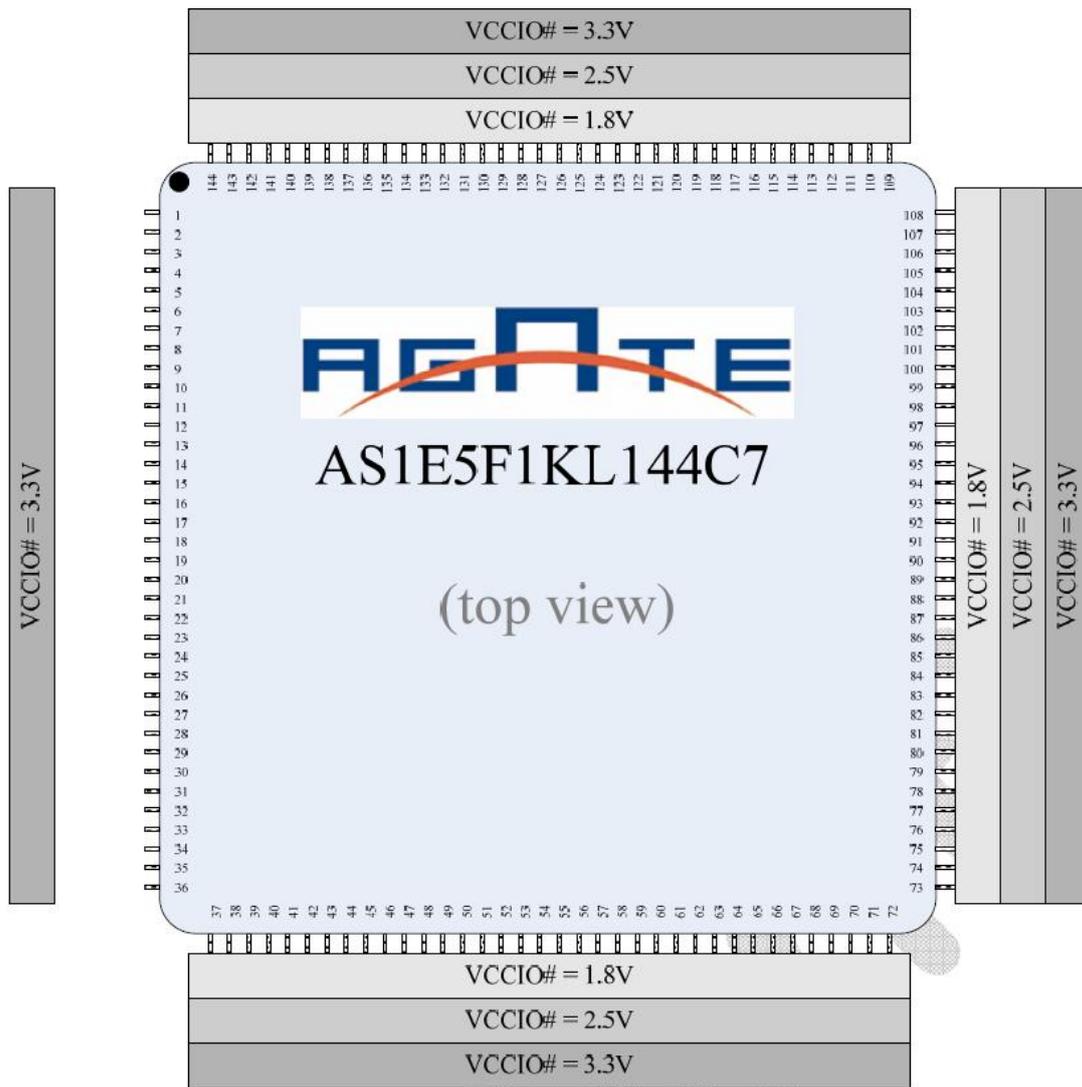


图 3-3 L144 不带 Flash 用户 I/O 电源的电压限制

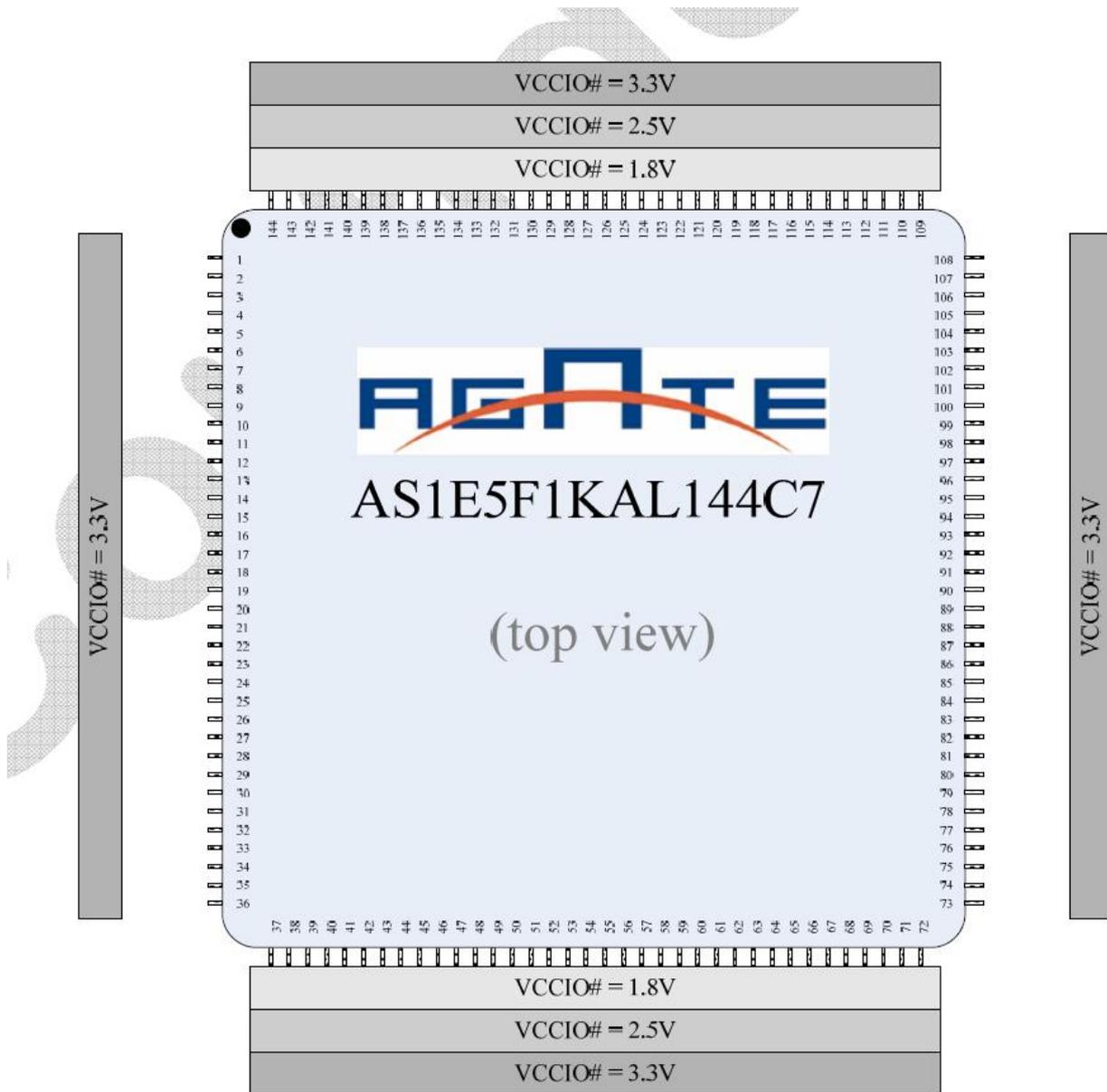


图 3-4 L144 带 Flash 用户 I/O 电源的电压限制

## 3.5 引脚列表

Astro 系列有 4 种封装类型：LQFP-144 带 Flash, LQFP-144 不带 Flash, TQFP-100 带 Flash 和 TQFP-100 不带 Flash。

### 3.5.1 TQFP-100 封装引脚列表

表 3-1 TQFP-100 引脚列表

编号	引脚名	可选功能	引脚类型	编号	引脚名	可选功能	引脚类型
1	IO1		AGIO	40	IO17		AGIO
2	IO2		AGIO	41	IO18	nCEO	AGIO
3	IO3		AGIO	42	IO19		AGIO
4	IO4		AGIO	43	VCCINT		AGVDDD
5	IO5		AGIO	44	GND		AGGNDD
6	IO6		AGIO	45	GND		AGGNDH
7	VCCIO0		AGVDDH	46	VCCIO3		AGVDDH
8	GND		AGGNDH	47	IO20		AGIO
9	IO7		AGIO	48	IO21		AGIO
10	IO8		AGIO	49	IO22		AGIO
11	IO9		AGIO	50	IO23		AGIO
12	IO10	SDO	AGIO	51	IO24		AGIO
13	IO11	SCLK	AGIO	52	IO25		AGIO
14	nHOLD		Fixed inout	53	IO26	CSON	AGIO
15	VCCIO1		AGVDDH	54	IO27		AGIO
16	OTP_SEL		Fixed input	55	IO28		AGIO
17	GND		AGGNDH	56	IO29	SDI	AGIO
18	GND		AGVDDD	57	VCCIO4		AGVDDH
19	VCCINT		AGGNDD	58	GND		AGGNDH
20	nCONFIG		Fixed input	59	IO30		AGIO
21	TMS		Fixed input	60	IO31		AGIO
22	TCK		Fixed input	61	IO32		AGIO
23	TDI		Fixed input	62	IO33		AGIO
24	TDO		Fixed output	63	GND		AGGNDD
25	VPP		AGVPP	64	VCCINT		AGVDDD
26	VCCA_PLL		AGVDDA	65	IO34		AGIO
27	GNDA_PLL		AGGNDA	66	IO35		AGIO
28	XIN		Fixed input	67	VCCIO5		AGVDDH
29	XOUT		Fixed output	68	IO36		AGIO
30	VCCIO2		AGVDDH	69	IO37		AGIO
31	GND		AGGNDH	70	IO38		AGIO
32	nCE		Fixed input	71	IO39		AGIO
33	CONF_DONE		Fixed Inout	72	IO40		AGIO
34	nSTATUS		Fixed Inout	73	IO41		AGIO
35	MSEL0		Fixed input	74	IO42		AGIO
36	MSEL1		Fixed input	75	GND		AGGNDH
37	IO14	CLK0	CLOCK	76	IO43		AGIO
38	IO15	CLK1	CLOCK	77	IO44		AGIO
39	IO16	CLK2	CLOCK	78	IO45		AGIO

编号	引脚名	可选功能	引脚类型
79	IO46		AGIO
80	IO47		AGIO
81	IO48		AGIO
82	IO49		AGIO
83	IO50		AGIO
84	GND		AGGNDH
85	VCCIO6		AGVDDH
86	IO51		AGIO
87	IO52		AGIO
88	IO53		AGIO
89	IO54		AGIO

编号	引脚名	可选功能	引脚类型
90	IO55		AGIO
91	IO56		AGIO
92	IO57		AGIO
93	IO58		AGIO
94	IO59		AGIO
95	IO60		AGIO
96	IO61		AGIO
97	VCCIO7		AGVDDH
98	GND		AGGNDH
99	GND		AGGNDD
100	VCCINT		AGVDDD

### 3.5.2 LQFP-144 封装引脚列表

表 3-2 LQFP-144 引脚列表

编号	引脚名	可选功能	引脚类型
1	IO1		AGIO
2	IO2		AGIO
3	IO3		AGIO
4	IO4		AGIO
5	IO5		AGIO
6	IO6		AGIO
7	IO7		AGIO
8	IO8		AGIO
9	VCCIO0		AGVDDH
10	GND		AGGNDH
11	IO9		AGIO
12	IO10		AGIO
13	IO11		AGIO
14	IO12		AGIO
15	IO13		AGIO
16	IO14	SDO	AGIO
17	IO15		AGIO
18	IO16		AGIO
19	IO17	SCLK	AGIO
20	IO18		AGIO
21	IO19		AGIO
22	IO20		AGIO
23	nHOLD		Fixed inout
24	VCCIO1		AGVDDH

编号	引脚名	可选功能	引脚类型
25	OTP_SEL		Fixed input
26	GND		AGGNDH
27	GND		AGGNDD
28	VCCINT		AGVDDD
29	nCONFIG		Fixed input
30	TMS		Fixed input
31	TCK		Fixed input
32	TDI		Fixed input
33	TDO		Fixed output
34	VREF		AGVREF
35	VPP		AGVPP
36	NC		NC
37	VCCA_PLL		AGVDDH
38	GND_A_PLL		AGVDDA
39	XIN		Fixed input
40	XOUT		Fixed output
41	VCCIO2		AGVDDH
42	nOTP_EN		Fixed input
43	GND		AGGNDH
44	nCE		Fixed input
45	CONF_DONE		Fixed Inout
46	nSTATUS		Fixed Inout
47	IO21		AGIO
48	IO22		AGIO

编号	引脚名	可选功能	引脚类型
49	MSEL0		Fixed input
50	MSEL1		Fixed input
51	IO25	CLK0	CLOCK
52	IO26	CLK1	CLOCK
53	IO27	CLK2	CLOCK
54	IO28		AGIO
55	IO29		AGIO
56	IO30		AGIO
57	IO31		AGIO
58	IO32	nCEO	AGIO
59	IO33		AGIO
60	IO34		AGIO
61	IO35		AGIO
62	IO36		AGVDDD
63	VCCINT		AGGND
64	GND		AGGNDH
65	GND		AGVDDH
66	VCCIO3		AGIO
67	IO37		AGIO
68	IO38		AGIO
69	IO39		AGIO
70	IO40		AGIO
71	IO41		AGIO
72	IO42		AGIO
73	IO43		AGIO
74	IO44		AGIO
75	IO45	CSON	AGIO
76	IO46		AGIO
77	IO47		AGIO
78	IO48	SDI	AGIO
79	VCCIO4		AGVDDH
80	GND		AGGNDH
81	IO49		AGIO
82	IO50		AGIO
83	IO51		AGIO
84	IO52		AGIO
85	IO53		AGIO
86	IO54		AGIO
87	IO55		AGIO
88	GND		AGGND

编号	引脚名	可选功能	引脚类型
89	VCCINT		AGVDDD
90	IO56		AGIO
91	IO57		AGIO
92	IO58		AGIO
93	IO59		AGIO
94	IO60		AGIO
95	IO61		AGIO
96	IO62		AGIO
97	IO63		AGIO
98	IO64		
99	VCCIO5		AGVDDH
100	IO65		AGIO
101	IO66		AGIO
102	IO67		AGIO
103	IO68		AGIO
104	IO69		AGIO
105	IO70		AGIO
106	IO71		AGIO
107	NC		NC
108	GND		AGGNDH
109	IO72		AGIO
110	IO73		AGIO
111	IO74		AGIO
112	IO75		AGIO
113	IO76		AGIO
114	IO77		AGIO
115	IO78		AGIO
116	IO79		AGIO
117	GND		AGGNDH
118	VCCIO6		AGVDDH
119	IO80		AGIO
120	IO81		AGIO
121	IO82		AGIO
122	IO83		AGIO
123	IO84		AGIO
124	IO85		AGIO
125	IO86		AGIO
126	IO87		AGIO
127	IO88		AGIO
128	IO89		AGIO

编号	引脚名	可选功能	引脚类型
129	IO90		AGIO
130	IO91		AGIO
131	IO92		AGIO
132	IO93		AGIO
133	IO94		AGIO
134	IO95		AGIO
135	IO96		AGIO
136	IO97		AGIO

编号	引脚名	可选功能	引脚类型
137	IO98		AGIO
138	IO99		AGIO
139	VCCIO7		AGVDDH
140	GND		AGGNDH
141	GND		AGGND
142	VCCINT		AGVDDD
143	VCCINT		AGVDDD
144			

## 4 CPU 中央处理器

Astro 有一颗单指令周期的增强型 8051 CPU (R8051XC) 做为中央处理器, 它与标准的 MCS - 51 完全兼容。R8051XC 的性能的改善率可达 7.0 DMIPS (测整数计算能力), 和英特尔设备工作的时钟频率相同, 当使用外部扩展改善后达到 9.6 (算法支持多 DPTR)。

8051 CPU 频率的最大值可以达到 100MHz。以下概要描述:

- 单周期 8051 CPU
- 最大可达 512Kbit OTP 存储空间, 4Mbit FLASH 存储, 和 128Kb SRAM
- 支持 8Mbit 外扩程序存储空间和 8Mbit 外扩数据存储空间
- 13 个中断源, 包括 8 个外部中断源
- 49 个外部可用 SFR
- 外部存储接口 (EMIF)

其他详情, 参见英文版相关文档介绍。

## 5 FPGA

Astro 芯片配置是通过 FPGA 配置完成的。图 5-1 是 FPGA 和 FPGA 相关模块示意图。示意图中, 所有连接点之间是利用最小绕线资源。

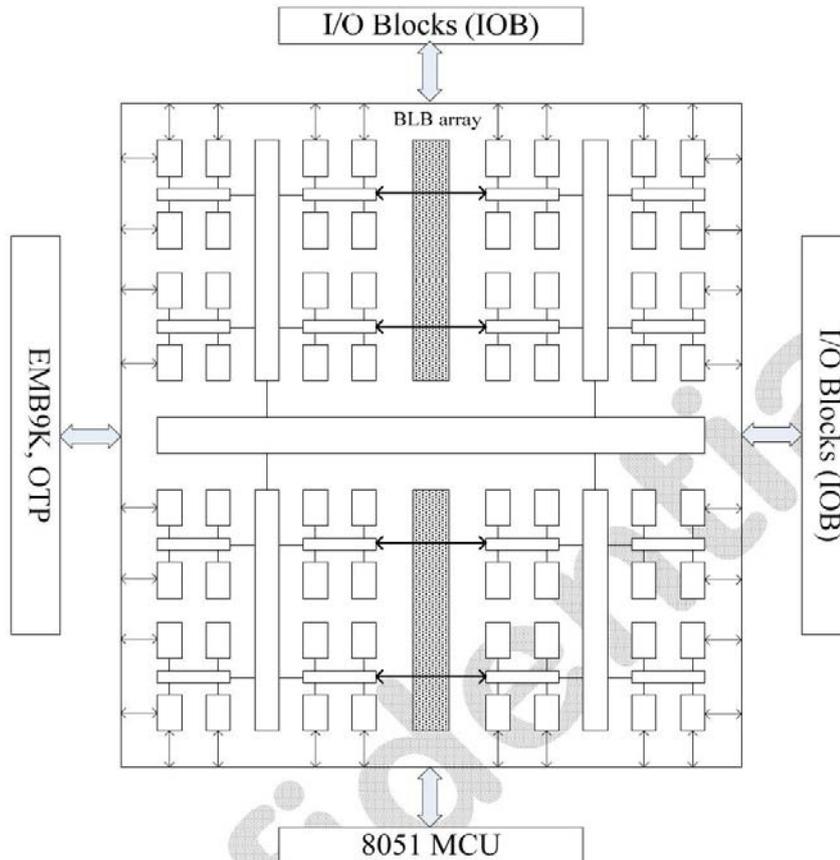


图 5-1 FPGA 略图

如上图所示，FPGA 结构是由 BLB（基本逻辑单元）阵列组成。FPGA 本身可连接其他组件：8051MCU，EMB9K dual-port memory, OTP memory, I/O 单元。FPGA 结构内所有连接单元在上电复位后进行配置。FPGA 是分层结构，BLB 是其基本单元。Astro 设备中有 64 个 BLB, 这些 BLB 利用具有 Quad-Tree 和平面交叉 2 种构造的混合结构彼此相连。在 Quad-Tree 结构下，4 个 BLB 组成 1 个 2 级单元，同样，4 个 2 级单元组成 1 个 3 级单元。总共有 1024 个逻辑单元，结构 4 级。

Astro 设备四周是 I/O Block（可编程输入/输出单元），IOB 以平面交叉结构连接到 FPGA 的逻辑阵列上。1 个 IOB 包含 4 个 I/O 单元。芯片的每一边有 8 个 IOB。Astro 设备，用户可用的 I/O 最大达 128 个（ $8 \times 4 \times 4 = 128$ ）。

其他详情，参见英文版相关文档介绍。

## 6 存储器

### 6.1 片上 SRAM

这里有 2x9Kbit 双通道存储器和 128 Kbit 的单通道。

- 9,216 bits
- 真正的双通道模式
- 简单的双通道模式
- 单通道模式 Single-port mode

- FIFO 缓冲区
- 组合时钟模式
- 允许字节访问
- 校验位
- 支持多种配置  $9k \times 1$ ,  $8K \times 1$ ,  $4k \times 2$ ,  $2k \times 4$ ,  $1k \times 8$ ,  $1k \times 9$ ,  $512 \times 16$ ,  $512 \times 18$

在系统中有22x9Kbit双通道存储区与128 Kbit 单通道存储区

### 6.1.1 EMB9K (dual-port)存储

#### (1). EMB9K 特性

EMB9K模式是双通道存储区，在Astro设备里有两个EMB9K模块，该EMB9K使用相当灵活：

$256 \times 32$ ,  $256 \times 36$

#### (2). EMB9K 应用

EMB9K 可以灵活运用在许多情况下

- 用于 FPGA 硬件设计
  - 作为 FIFO
  - 作为 缓存存储器
  - 作为只读存储器 ( 在 FPGA 配置时初始化)
- 用于8051 配置
  - 作为程序存储器
  - 作为数据存储器

#### (3). 存储模式

该 EMB9K 包括可同步写入输入寄存器。 EMB9K 提供了一个真正的双端口模式，支持任何两个端口操作的组合：两个读端口，两个写端口，或一读一写在两个不同的时钟频率。

### 6.1.2 128Kbit SRAM (单通道)存储器

在此128Kbit单通道SRAM主要用于8051单片机作为数据存储器。

其他详情，参见英文版相关文档介绍。

## 6.2 非易失性存储器

### 6.2.1 OTP 存储器

#### (1). OTP 优势

OTP 代表一次可编程，它是只读存储器，仅可以擦写一次，它可以提高最终产品的安全性，防止被篡改，在 Astro 设备中，由于有 OTP 的机制，用户的设计可以被保护，同时也为用户提供了一种低成本的方法

## (2). OTP 存储结构

OTP 存储器有 1Mbit 大小，被分为两部分，其中 512KBIT 用于 FPGA，另一 512KBIT 用于 8051 的 MCU，多比特流的配置和 8051 固件可以支持复制，如果大小小于 512 千位，见表 Table 6-9。

Table 6-9 在 OTP 的多镜像数目

镜像	大小	在 OTP 最大可能的副本
配置比特流	152K	3
8051 固件	<512K	2

### 6.2.1 SPI Flash 存储器

有的设备中已经有内部的 SPI-FLASH 存储器，这个 SPI-FLASH 可以用于存储配置比特流和用户数据，FLASH 也可以存储 8051 的 FIRMWARE，如果内部的 OTP 模式没有使用，FIRMWARE 可以自动加载到外部 SRAM 中。

## 6.3 外部存储器接口 (EMIF)

外部存储器接口是用作 8051 MCU 去扩展外部程序存储区与数据存储区，EMIF 支持同步存储，包括 FLASH 和 SRAM。

## 6.4 存储器映射

微控制器 R8051XC 采用哈佛结构，有独立的程序与数据存储空间，该结构类似于标准的 8051，有三个存储区：程序存储器（内部 OTP 或外部 Flash / SRAM 的），外部数据存储区和内部数据存储区。

该 R8051XC 单片机通过 8-BIT 页地址寄存器可以配置为更大程序存储器和外部数据存储器（独立），其高达 8MB。

其他详情，参见英文版相关文档介绍。

## 7 外围

外围设备包括一个 I2C，一个 SPI 和两个串口。（USART0 和 USART1）

其他详情，参见英文版相关文档介绍。

## 8 配置

### 8.1 模式配置

有三种模式：JTAG、AS 和 PS 模式，通过控制模式选择引脚：Msel0 和 Msel1，具体参见表 8-1。

表 8-1 模式配置

模式选择引脚		模式	Bitstream 选择引脚	描述
Msel1	Msel0		nOTP_EN	
0	0	AS	0	主动串行模式。芯片自动配置。 配置信息存储在 SPI Flash 中。

			1	主动串行模式。芯片自动配置。 配置信息存储在 OTP 中。
0	1	PS	-	芯片为从设备。 外部 SPI 控制器为芯片提供配置信息。
1	0	JTAG	-	基于 JTAG 配置。此模式的优先级高于 AS 模式和 PS 模式。
1	1	Reserved	-	保留

### 8.1.1 AS 模式

AS 配置模式下，芯片会在上电后配置为主设备并开始正确的配置过程。并根据引脚 nOTP\_EN 的状态来选择是从 OTP 还是 SPI Flash 配置比特流。

一旦选择了 SPI Flash，则内部配置控制器会从默认的地址 0x00 去获取配置信息；如果选择 OTP，则控制器会通过 ACF 选择位界定的默认地址 (2'b00: 0x0000, 2'b01: 0x04c0 and 2'b1x: 0x0980) 去获取信息。

### 8.1.2 PS mode

当设备没有比特流存储的直接控制时运用此模式。此模式下，芯片做为从设备被动接受配置数据。

### 8.1.3 JTAG mode

JTAG 模式仅用于通过 JTAG 接口进行操作（配置和调试）。在此模式下配置数据只可通过 JTAG 接口传输。JTAG 的接口具有比其他配置模式更高的优先级。也就是说，无论在何种配置模式下，JTAG 接口具有最高的优先级来获得配置的控制权；JTAG 模式的特殊设计仅为了通过 JTAG 接口进行配置和调试。

其他详情，参见英文版相关文档介绍。

## 9 时钟，重启和电源

参见英文版

## 10 宏定义模板

参见英文版相关文档介绍。

## 11 输入/输出 (I/O)

Astro 的 IO 支持以下特性：

- 3.3V/2.5V/1.8V 输入和输出；
- 最大支持 5V 输入；
- 施密特触发器输入；
- 可编程输入延时；
- 当未使用时 I/O 可与外部隔离；
- 支持 LVCMOS/LVTTL 类型的输入输出；
- 三态，转换速率控制；（低噪音）

- 可编程上拉电阻: 61~112 K $\Omega$ ;
- 可编程下拉电阻: 57~156 K $\Omega$ ;
- 可编程Bus-Keeper电阻: 57~156 K $\Omega$ ;
- 可编程每个I/O的驱动能力: 1, 2, 4, 8, 12, 16mA;
- 支持异步输入/输出;
- 支持和时钟的上升沿/下降沿同步输入/输出;

其他详情, 参见英文版相关文档介绍。

## 12 电气特性

参见其他相关内容

## 13 订购信息

### 13.1 Astro 系列列表

现在 Astro 系列有四种型号。参见表 4-1:

表 4-1 Astro 系列型号列表

序号	型号	封装	备注
1	AS1E5F1KL144C7	LQFP-144	LQFP-144 不带 Flash
2	AS1E5F1KAL144C7	LQFP-144	LQFP-144 带 Flash
3	AS1E5F1KT100C7	TQFP-100	TQFP-100 不带 Flash
4	AS1E5F1KAT100C7	TQFP-100	TQFP-100 带 Flash

### 13.2 命名规则

#### 系列命名

- AS Astro (CSoC-Based)系列
- AG Angelo (FPGA) 系列
- AM MP centric 系列

#### 技术工艺

- 1 130nm, CMOS
- 2 90nm, CMOS
- 3 65nm, CMOS

#### MCU型号

- E5 8051
- M7 ARM7

- M9 ARM9
- A8 ARM cortex A8

## FP LUT

- F256 256 LUTs
- F1K 1024 LUTs
- F4K 4096 LUTs

## 产品Sub-ID

- <space> No variant
- A To be defined
- B To be defined
- SX Security enhanced

## 封装信息:

- T Thin Quad Flat Pack (TQFP)
- L Low profile quad flat package (LQFP)
- Q Plastic Quad Flat Pack (PQFP)
- F Fineline BGA
- # 引脚数(208 为 208pin, 100 为 100pin...)

## RoHS :

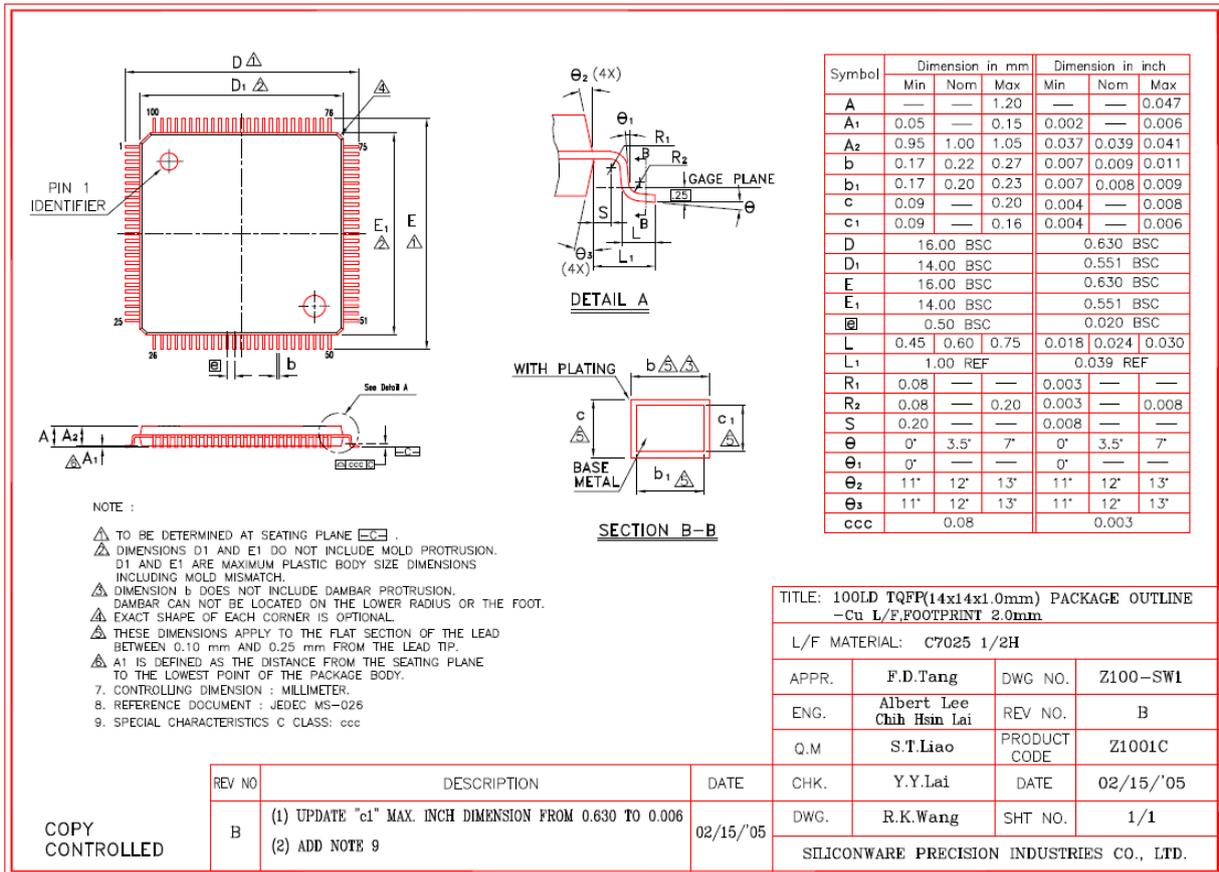
- G 无铅

## C//M 和速度

- C 商业级 (0°C,+85°C)
- I 工业级(-40°C, +100°C)
- M 军用级 (-55°C,+125°C)
- # 速度(8 为 8 速, 6 为 6 速,...)

## 14 封装信息

### TQFP-100 封装



REV.B

QI-5700-10

图 14-1 TQFP-100 封装

## LQFP-144 封装

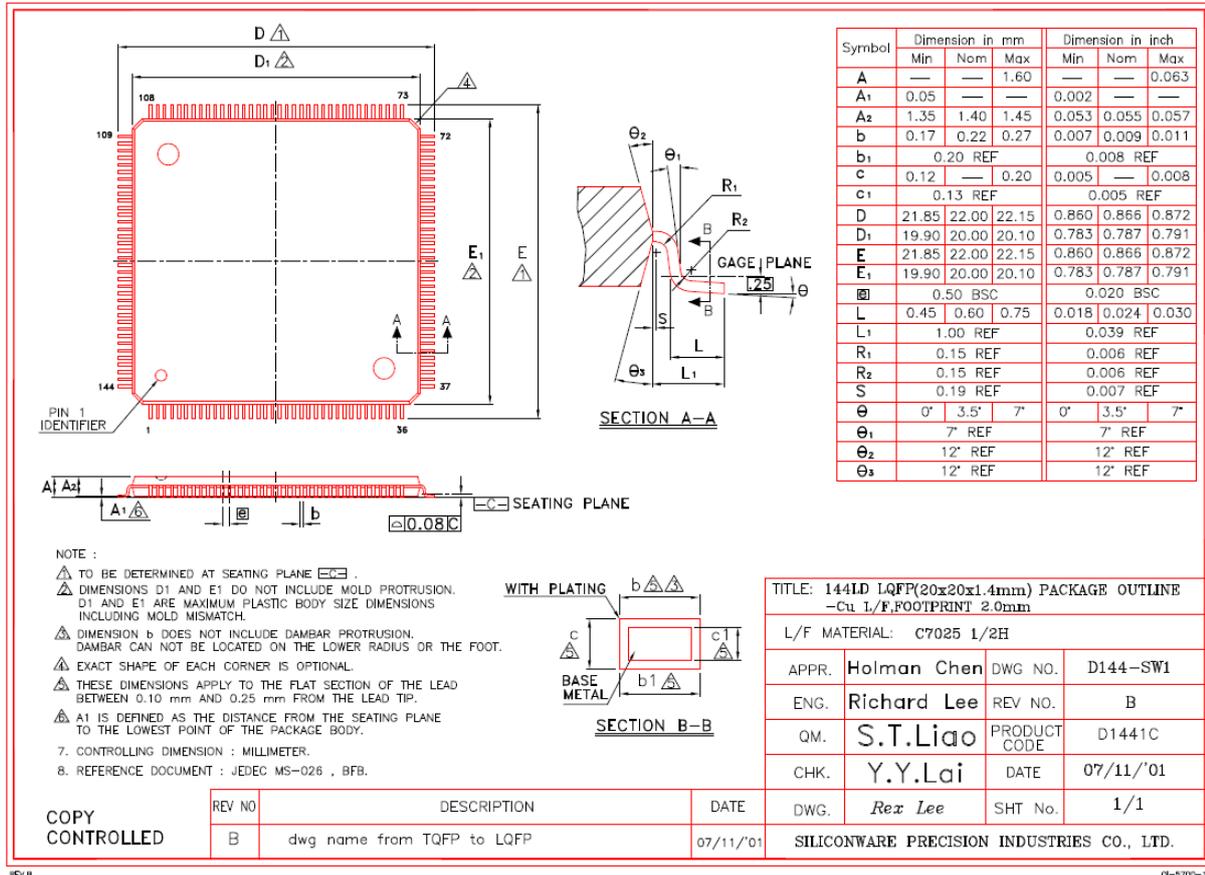


图 14-2 LQFP-144 封装

## 15 技术支持

### Primace 软件

Primace 软件最新版本为 v3.0，能支持 Astro 全系列的开发设计。并且版本还在持续更新中。更多资讯请访问：<http://www.agatelogic.com/chanpin/index.html>。

### 评估板

评估板系列为： Astro-EVB-\* 。能用于 Astro 系列产品方案的开发与测试。更多资讯请访问：<http://www.agatelogic.com/chanpin/index.html>。

### 技术支持

电话: +86 10 82150100  
传真: +86 10 82150076  
E-mail: support@agatelogic.com  
主页: <http://www.agatelogic.com>