

DC/DC 컨버터 기판 레이아웃의 기초

기판 레이아웃의 대원칙(1)

글/로움코리아(<https://www.rohm.co.kr/contactus>)

DC/DC 컨버터의 설계에 있어서, 회로 구성 및 부품 선택은 당연히 중요하지만, 실장 기판의 레이아웃 역시 중요하다. 회로 도면과 부품 정수가 적절하더라도 기판 레이아웃이 적절하지 못하면, 원하는 성능을 얻을 수 없을 뿐만 아니라, 정상적인 동작이 어려워진다. 프로토타입이 정상 동작하지 않는 경우의 대부분은 기판 레이아웃이 원인이다.

또한, 스위칭 전원이 노이즈가 많이 발생하지만, 일단 동작은 하는 상태일 경우, 어쨌든 전원으로 성립은 하겠지만, 발생 노이즈로 인해 시스템의 S/N이 저하되어, 시스템이 사양을 만족하지 못하는 문제로까지 발전하는 경우가 있다.

기판 레이아웃이 원인이 되어 발생하는 문제로는, 출력에 노이즈(스파이크 및 발진도 포함) 발생, 레귤레이션 악화, 동작 불안정 등이 있다. 이러한 문제는 기판 레이아웃을 최적화하여 해결할 수 있지만, 프로토타입 단계라고 해도 기판 설계의 수정은 시간과 비용, 노력의 큰 손실을 불러온다. 신속하고 확실한 설계를 위해서는 기판 레이아웃의 포인트를 이해하여 처음부터 양질의 기판 설계를 하는 것이 중요하다.

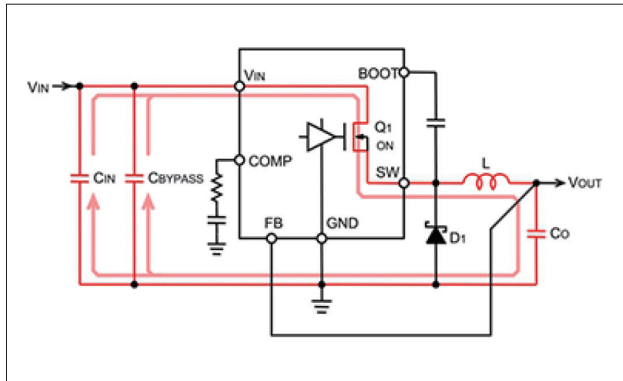
DC/DC 컨버터 동작 시의 전류 경로

스위칭 레귤레이터는 아날로그 회로이기는 하지만, 선형 동작이 중심인 회로와는 달리, 전류와 전압이 스위칭, 즉, ON/OFF 한다. 따라서 어떤 노드, 어떤 라인에 어떤 성질의 전압이 부가되어, 어떤 전류가 흐르는지를 고려하여, 최적의 부품 배치 및 전류 경로를 결정해야 한다.

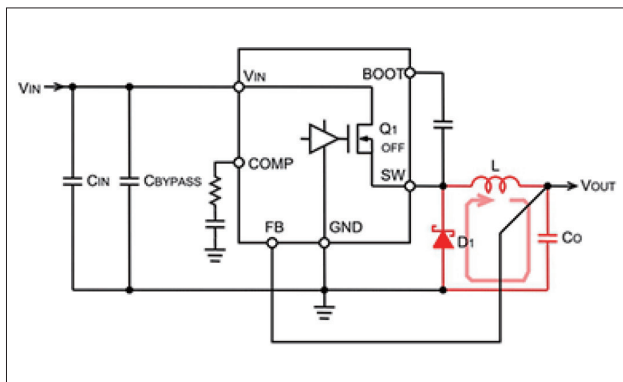
이는 회로 각 부분의 전압, 전류의 크기 및 성질이 기판 레이아웃에 크게 관련된다는 것을 의미한다. 따라서, 강압 컨버터 동작 시의 전류 경로와 성질을 이해하는 것이 중요하다.

그림 1은 다이오드 정류(비동기정류) 방식 강압 DC/DC 컨버터 회로이다. BOOT의 콘덴서는 내장 Nch MOSFET을 구동하기 위한 Bootstrap용이다. COMP 단자에 연결된 저항과 콘덴서는 위상보상용 부품이다. 이러한 단자는 IC에 따라 존재하지 않는 경우도 있다. 다른 단자 및 부품은 기본적인 단자와 필요한 외장 부품이다.

그림 1의 적색 라인은 스위치 $Q_1 = \text{ON}$ 시에 흐르는 주요 전류와 경로, 방향을 나타낸다. C_{BYPASS} 는 고주파용 디커플링 콘덴서이며, C_{IN} 은 대용량 콘덴서이다. 스위치 Q_1

그림 1. 스위칭 소자 $Q_1 = \text{ON}$ 시의 전류 경로

이 ON되는 순간 급격하게 전류가 흐른다. 그 전류의 대부분은 C_{BYPASS} 에서 공급되고, 다음으로 C_{IN} 에서 공급된다. 완만한 변화의 전류는 입력 전원에서 공급된다. **그림 2**의 적색 라인은 스위치 $Q_1 = \text{OFF}$ 시의 전류 경로이다. 다이오드 D_1 이 ON 되어, 인덕터 L에 축적된 에너지가 출력 측으로 방출된다.

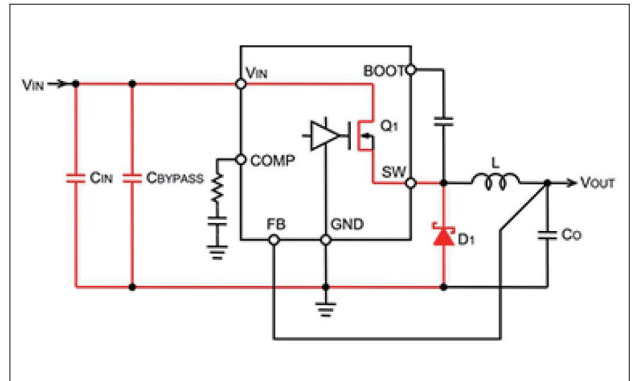
그림 2. 스위칭 소자 $Q_1 = \text{OFF}$ 시의 전류 경로

강압 컨버터는 출력에 인덕터가 직렬로 삽입되어 있으므로, 출력 콘덴서의 전류는 변동하지만 완만하다.

그림 3의 적색 라인은 **그림 1**과 **그림 2**의 차분을 나타낸다. 스위치 Q_1 이 OFF에서 ON으로, ON에서 OFF로 전환될 때 적색 라인의 전류는 급격하게 변화한다. 이러한 시스템은 변화가 급격하므로, 고조파를 많이 포함한 전류 파형이 된다.

이러한 차분은 중요 포인트로서, 기판 레이아웃에서는

그림 3. 전류의 차분, 레이아웃 상에서의 중요 포인트



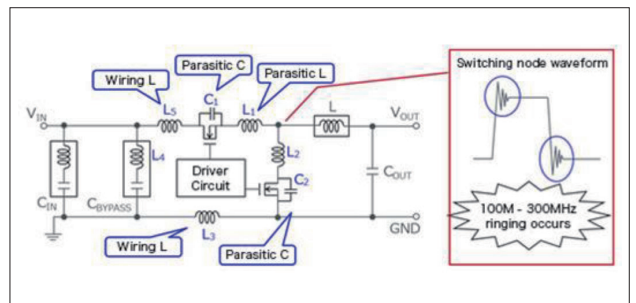
최대한 주의를 기울일 필요가 있다. 종합적으로는 스위칭 트랜지스터가 외장일 경우나 정류 다이오드를 트랜지스터로 대체한 동기 정류 방식일 경우에도 전류는 모두 동일하게 흐른다.

스위칭 노드의 링잉(ringing)

실제의 프린트 기판에는 기생 용량 및 인덕턴스가 존재한다. 이로 인한 영향은 생각보다 크다. 회로에는 문제가 없지만, 정상적으로 동작하지 않는 경우는, 레이아웃에서의 기생 성분에 대한 고려가 부족하기 때문이다. 실제로 배선 패턴을 작성할 때에는 기생 성분 등에 대한 대책이 곳곳에서 필요하게 된다.

그럼, 가장 주의가 필요하다고 할 수 있는 스위칭 노드를 예로 들어, 링잉 발생의 요인을 검증해 보겠다. **그림 4**는 동기정류 타입의 강압 DC/DC 컨버터 회로에서 기생

그림 4. 기판 상의 회로에 존재하는 기생 용량, 인덕턴스, 스위칭 노드 파형의 링잉 이미지



용량 및 인덕턴스를 나타낸 것이다. 청색으로 표시한 $C_1 \sim C_2$, $L_1 \sim L_5$ 가 이에 해당한다. 프린트 기판 상의 회로에는 기생 용량 및 인덕턴스가 존재하여, 스위치 ON/OFF 시에 적색으로 표시한 부분과 같은 고주파 링잉이 발생한다.

프린트 배선의 인덕턴스는 1mm 당 1nH 정도이다. 즉, 배선이 불필요하게 길면 배선 인덕턴스가 커진다. 또한, 스위칭용 MOSFET의 Rise time(t_r) 및 Fall time(t_f)은 일반적으로 수 ns이다. 기생 성분으로 인해 발생하는 전압과 전류는 하기 식으로 계산할 수 있다.

기본 계산식

$$I = C \times \frac{dV}{dt} \quad V = L \times \frac{dI}{dt}$$

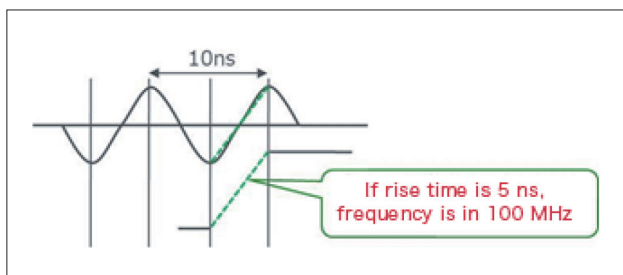
예: 스위칭 전압 = 5V, $C = 1000\text{pF}$

$$1000\text{pF} \times \frac{5\text{V}}{5\text{ns}} = 1\text{A} \quad 10\text{nH} \times \frac{1\text{A}}{5\text{ns}} = 2\text{V}$$

10nH의 대입은 약 10mm의 배선 길이를 가정하고 있다. 짧은 거리 같지만, 전류가 크면 큰 전압이 발생한다는 것을 알 수 있다. 또한, 식에서 MOSFET의 t_r 과 t_f 가 짧을수록 전류와 전압은 모두 커진다. t_r 과 t_f 가 고속이면 전환 손실이 줄어 효율을 향상시킬 수 있지만, 링잉 발생에 대해서는 민감해진다.

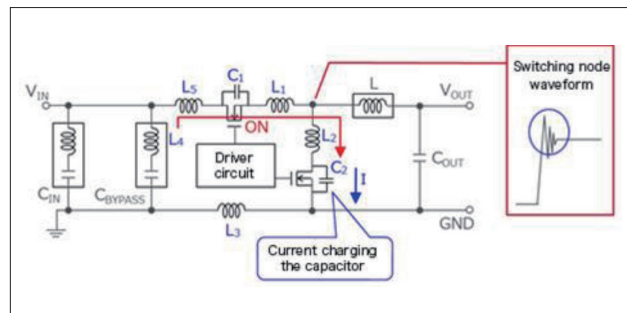
링잉의 주파수 대역은 $f = 1/\text{시간}$ 으로 계산할 수 있다. t_r 과 t_f 가 5ns 일 경우 주기는 10ns이므로, 주파수 대역은 100MHz가 된다. 일반적인 스위칭 주파수는 500kHz ~ 1MHz가 많으므로, 그 100 ~ 200배인 고주파가 발생한 것이다(그림 5).

그림 5. t_r 이 고속이 되면 링잉 주파수도 높아져 민감해진다.



그림, 그림 4 회로 모델의 기생 성분으로 인해, 어떤 전류가 흐르는지에 대해 설명하겠다. 그림 6은 하이 사이드 MOSFET ON 시이다. 기생 용량 C_2 가 충전되고, 기생 인덕턴스 $L_1 \sim L_5$ 에 에너지가 축적되어, 스위칭 노드의 전압이 V_{IN} 과 같아질 때 $L_1 \sim L_5$ 에 축적된 에너지가 C_2 와 공진을 일으켜, 큰 링잉이 발생한다.

그림 6. 하이 사이드 MOSFET ON 시의 전류경로와 링잉



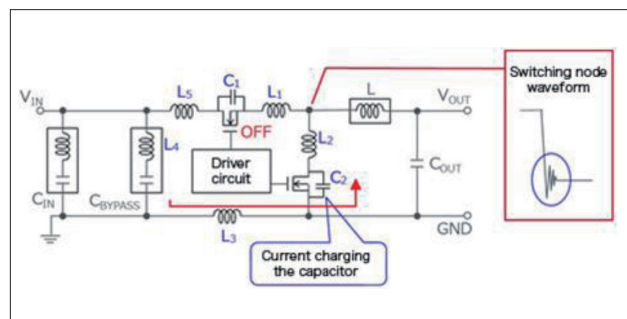
하이 사이드 MOSFET ON 시의 기생 인덕턴스 L 에 축적된 에너지 P_{ON} 과 공진 주파수 f_{ON} 은 하기 식으로 계산할 수 있다.

$$P_{ON} = \frac{1}{2} \times (L_1 + L_2 + L_3 + L_4 + L_5) \times I^2$$

$$f_{ON} = \frac{1}{2 \times \pi \times \sqrt{(L_1 + L_2 + L_3 + L_4 + L_5) \times C_2}}$$

그림 7은 하이 사이드 MOSFET가 OFF 일 경우이다.

그림 7. 하이 사이드 MOSFET OFF 시의 전류 경로와 링잉



하이 사이드 MOSFET OFF 시에도 인덕터는 계속해서 전류를 흘려 보내기 때문에 하이 사이드 MOSFET의 기생

용량 C_1 의 충전과 Low-side MOSFET의 기생 용량 C_2 가 방전되고, V_{OUT} 은 저하된다. V_{OUT} 이 Low-side MOSFET의 기생 다이오드 V_F 보다 낮아지면, 모든 인덕터 전류가 이 다이오드에 흘러, 하이 사이드 MOSFET의 기생 용량 C_1 의 충전은 zero가 되지만, 이때까지 기생 인덕턴스에 축적된 에너지가 C_1 과 공진을 일으켜, 큰 링잉이 발생한다. OFF 시의 기생 인덕턴스에너지 P_{OFF} 와 공진 주파수 f_{OFF} 는 하기 식으로 계산할 수 있다.

$$P_{OFF} = \frac{1}{2} \times (L_1 + L_2) \times I^2$$

$$f_{OFF} = \frac{1}{2 \times \pi \times \sqrt{(L_1 + L_2 + L_3 + L_4 + L_5) \times C_1}}$$

인덕턴스 L_4 는 C_{BYPASS} 의 특성에 따라 결정된다. 또한, L_3 와 L_5 는 기판 레이아웃에 따라 크게 달라진다. 이 회로는 스위칭 트랜지스터가 외장일 때의 예이며, 스위칭 트랜지스터가 내장된 IC를 사용하는 경우에는 L_1 , L_2 , C_2 는 해당 IC에의존하여 기판 레이아웃과는 관계없이 고정치가 된다.

이처럼 실제의 프린트 기판에는, 회로도에는 없는 성분이 존재한다. 따라서 스위칭 노드의 경우, 레이아웃이 적절하지 못하면 스위칭에 따라 큰 링잉이 발생하여, 정상 동작하지 않거나 노이즈가 많이 발생하는 등의 원인이 되는 경우가 있다.

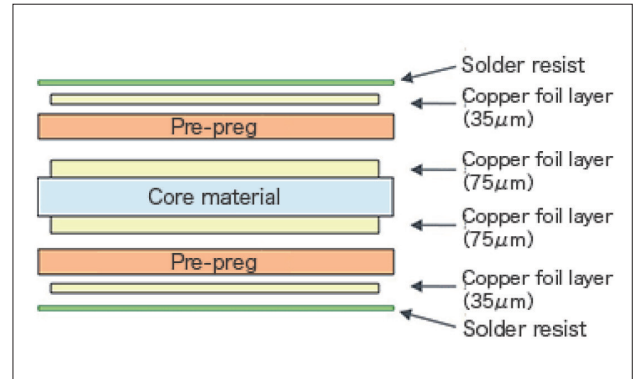
기판의 구조와 특징

최적의 기판 설계를 위해서는 레이아웃뿐만 아니라 기판 자체에 대해서도 알아야 할 것이 있다. **그림 8**은 기판 단면의 모식도이다.

기본적인 기판 구조와 특징은 아래와 같다.

- 표면, 이면의 동박은 내층과 두께가 다른 경우가 많다.
- 코어 재료의 동박이 두꺼운 경우가 많아, 방열성이 향상된다.
- 코어 재료는 범용적인 두께이며, Pre-preg로 두께를 조정한다.
- 코어 재료와 Pre-preg의 종류에 따라서는 마이그레이

그림 8. 프린트 기판의 기본 구조 (단면)



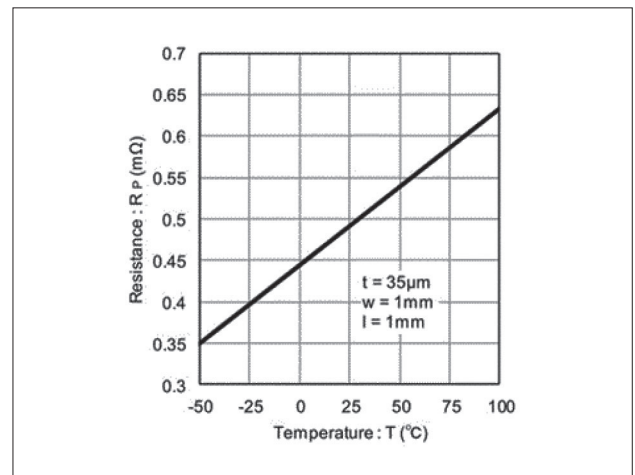
션(migration)이 발생하는 재질이 있어, 고습도 시험에 견딜 수 없는 경우가 많다.

동박의 저항

기판뿐만 아니라 패턴 배선인 동박에 대해서도 이해가 필요하다. 당연한 사실이지만, 동박에는 저항이 있다. 대전류가 흐르는 조건에서는 큰 도통 손실, 즉, 전압 강하 및 발열이 발생하므로, 동박의 저항치 고려해야 한다.

동박의 저항은 단위 면적으로 검토한다. **그림 9**는 동박의 단위 면적당 저항치를 나타낸 것이다. 조건으로는 일반적인 동박 두께 $35\mu\text{m}$, 폭 1mm , 길이 1mm 일 때의 저항치이다.

그림 9. 동박의 단위 면적당 저항치



일반적인 저항치 계산은 하기 식으로 나타낼 수 있다.

$$R = \frac{\rho \times l}{t \times w} \times 10 \text{ [m}\Omega\text{]}$$

L : 도체의 길이 [mm]

W : 도체의 폭 [mm]

T : 동박의 두께 [μm]

ρ : 동박의 비저항 [$\mu\Omega\text{cm}$]

$$\rho(T = 25^\circ\text{C}) = 1.72 \mu\Omega\text{cm}$$

$$\rho(T) = \rho(T_a = 25^\circ\text{C}) \times \{1 + 0.00385(T - 25)\} \text{ [}\mu\Omega\text{cm]}$$

T : 온도

그림 9의 단위 면적당 저항치 R_p 로 계산하면, 하기와 같다.

$$R = R_p \times \frac{l}{w} \times \frac{35}{t} \text{ [m}\Omega\text{]}$$

R_p : 그래프상의 저항치 [$\text{m}\Omega$]

예를 들어, 25°C 일 때, 폭 3mm, 길이 50mm 동박의 저항치는 하기의 계산식에서 8.17m Ω 이 된다.

$$R = R_p \times \frac{l}{w} \times \frac{35}{t} = 4.9 \times \frac{50}{3} \times \frac{35}{35} = 8.17 \text{ [m}\Omega\text{]}$$

이 저항치에서, 3A의 전류가 흐르는 경우의 전압 강하는 24.5mV가 된다. 또한, 온도가 100°C 로 상승하면, 저항치가 29% 증가한다는 것을 알 수 있다. 따라서, 전압 강하도 31.6mV로 증가한다.

이러한 동박으로 인한 전압 강하는, 요건에 따라서는 큰 문제가 되는 경우가 있으므로, 기본적으로 전류와 온도 조건을 바탕으로 배선 폭을 검토해야 한다.

동박의 인덕턴스

앞에서 설명한 바와 같이, 동박에는 인덕턴스가 존재한다. 기본적으로 저항, 용량, 인덕턴스와 같은 기생 성분은 존재한다. 동박의 인덕턴스는 다음 식으로 나타낼 수 있다.

$$L = 0.2 \times l \times \left(\ln \frac{2 \times l}{W + t} + 0.2235 \times \frac{W + t}{l} + 0.5 \right) \text{ [nH]}$$

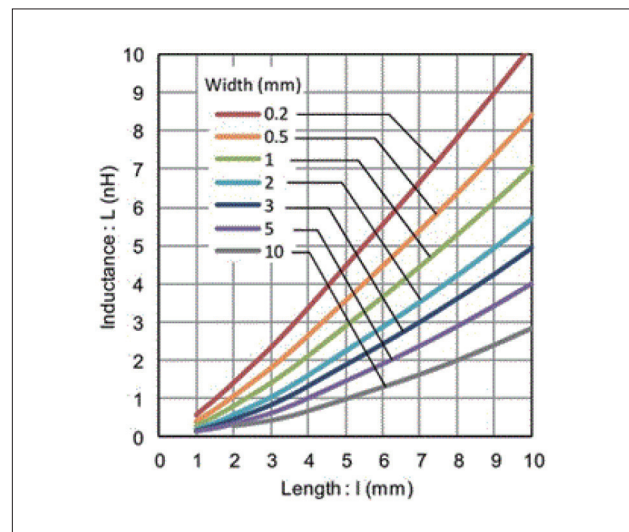
l : 도체의 길이 [mm]

w : 도체의 폭 [mm]

t : 동박의 두께 [μm]

이 식에서 인덕턴스는 동박의 두께에는 거의 의존하지 않는다는 사실을 알 수 있다. 그림 10은 동박의 인덕턴스 계산치를 나타낸 그래프이다. 그래프에서 알 수 있듯이, 선 폭을 2배로 늘려도 생각보다 인덕턴스가 저하되지 않는다.

그림 10. 동박의 인덕턴스



기생 인덕턴스의 영향을 억제하기 위해서는 배선 길이를 짧게 하는 것이 가장 좋은 해결책이다. 인덕턴스 L[H]의 프린트 배선을 흐르는 전류가 시간 t[s] 사이에 i[A] 변화한다고 하면, 그 프린트 배선의 양쪽 끝에는 하기와 같은 전압이 발생한다.

$$|V| = L \times \frac{di}{dt} \text{ [V]}$$

예를 들어, 기생 인덕턴스가 6nH인 프린트 배선에 2A의 전류가 10ns 간 흐르면, 하기와 같은 전압이 발생한다.

$$|V| = 6 \times 10^{-9} \times \frac{2}{10 \times 10^{-9}} = 1.2 \text{ [V]}$$

기생 인덕턴스도 조건에 따라서는 큰 전압을 발생시켜, 동작에 영향을 줄뿐만 아니라, 부품을 파손시키는 경우도 있으므로 주의가 필요하다. **SN**